R.31478.

# ELECTRONICA DIGITAL

## Algebra de Boole • Circuitos combinacionales y secuenciales • Automatismos • Memorias

**LUIS MIGUEL CUESTA GARCIA**
**ANTONIO JOSE GIL PADILLA**
**FERNANDO REMIRO DOMINGUEZ**
Profesores de Electrónica de Enseñanza Secundaria

**Revisión técnica:**
AGUSTIN MARTIN GARCIA
Profesor de Electrónica de Enseñanza Secundaria

BIBLIOTECA GENERAL - UNIVERSIDAD CARLOS III DE MADRID CAMPUS DE LEGANES

**McGraw-Hill**
MADRID • BUENOS AIRES • CARACAS • GUATEMALA • LISBOA • MEXICO
NUEVA YORK • PANAMA • SAN JUAN • SANTAFE DE BOGOTA • SANTIAGO • SAO PAULO

GITAL. Algebra de Boole. Circuitos combinacionales y secuenciales. emorias

a la reproducción total o parcial de este libro, ni su tratamiento transmisión de ninguna forma o por cualquier medio, ya sea elec-, por fotocopia, por registro u otros métodos, sin el permiso pre-le los titulares del Copyright.

:VADOS © 1992 respecto a la primera edición en español por
'ERAMERICANA DE ESPAÑA, S. A.
1.ª planta
adrid)

3-2
19.893-1992

a. Grafismo electrónico

Comp, S. A.
A. Industria gráfica

ÑA - PRINTED IN SPAIN

# Contenido

**Prólogo** ..... **ix**

**1. Algebra de Boole** ..... **1**

1.1. Algebra de Boole ..... 1
1.2. Representación de variables ..... 1
1.3. Operaciones y propiedades básicas ..... 1
1.4. Teoremas y leyes booleanas principales ..... 2
1.5. Formas canónicas de una función booleana ..... 3
1.6. Obtención de la ecuación de una función lógica partiendo de su tabla de verdad 3
1.7. Simplificación de ecuaciones booleanas ..... 4
Problemas resueltos ..... 4
Problemas propuestos ..... 23

**2. Métodos tabulares de simplificación de ecuaciones** ..... **27**

2.1. Métodos tabulares de simplificación ..... 27
2.2. Mapas de Karnaugh ..... 27
2.3. Representación de ecuaciones booleanas en mapas de Karnaugh ..... 28
2.4. Simplificación de ecuaciones en mapas de Karnaugh ..... 28
2.5. Tablas de Quine-McCluskey ..... 29
2.6. Términos indiferentes en una función booleana ..... 31
Problemas resueltos ..... 32
Problemas propuestos ..... 59

**3. Implementación de funciones booleanas** ..... **63**

3.1. Operadores lógicos ..... 63
3.2. Características comerciales de una puerta lógica integrada ..... 65
3.3. Familias lógicas ..... 66
3.4. Implementación de funciones lógicas ..... 66
3.5. Cronogramas de circuitos lógicos ..... 67
3.6. Diseño de circuitos digitales ..... 68
3.7. Simbología para la representación de puertas integradas ..... 68
Problemas resueltos ..... 69
Problemas propuestos ..... 115

**er. .s de numeración y códigos binarios** ..... **125**

. ntroducción ..... 125
. Sistema binario ..... 126
. Sistemas octal y hexadecimal ..... 126
. Conversión entre el sistema binario y los sistemas octal, decimal y hexadecimal . 127
. Conversión entre el sistema octal y los sistemas decimal binario y hexadecimal . 130
. Conversión entre el sistema hexadecimal y los sistemas binario, octal y decimal . 131
. Códigos binarios ..... 132
blemas resueltos ..... 135
bl. nas propuestos ..... 158

**uitos combinacionales MSI** ..... **164**

. Clasificación de los circuitos integrados digitales ..... 164
. Definición de circuito digital combinacional ..... 164
Clasificación de los circuitos combinacionales MSI ..... 165
Codificadores ..... 165
Decodificadores ..... 167
Implementación de funciones lógicas con decodificadores ..... 169
Convertidores de código ..... 171
Multiplexores ..... 171
Realización de funciones lógicas con multiplexores ..... 172
Comparadores binarios ..... 175
Circuito semisumador ..... 176
Circuito sumador total ..... 177
Circuitos restadores ..... 178
lemas resueltos ..... 179
l. nas propuestos ..... 219

**uitos secuenciales** ..... **228**

Introducción ..... 228
Biestables ..... 228
Biestables asíncronos ..... 228
Biestables síncronos activados por nivel ..... 229
Biestables síncronos activados por flanco ..... 231
Contadores ..... 232
Registros de desplazamiento ..... 234
l. nas resueltos ..... 235
lemas propuestos ..... 266

**n. .tas finitos** ..... **278**

Circuitos secuenciales síncronos ..... 278
Modelo de autómata de Moore ..... 278
Modelo de autómata de Mealy ..... 279
Etapas de diseño de circuitos secuenciales síncronos ..... 279
Diseño reducido ..... 286





7.6. Formas de arranque ..... 287
Problemas resueltos ..... 289
Problemas propuestos ..... 357

**8. Diseño de automatismos industriales** ..... **365**

8.1. Definición ..... 365
8.2. Clasificación de los automatismos ..... 365
8.3. Estructura básica de un automatismo industrial ..... 366
8.4. Métodos de diseño del circuito de mando de un automatismo ..... 366
8.5. Formas de funcionamiento de un automatismo y señales de control ..... 368
8.6. Automatismos sin ciclo de trabajo ..... 368
8.7. Automatismos con ciclo de trabajo ..... 368
8.8. Elementos empleados en automatismos industriales eléctricos y electrónicos .... 369
8.9. Principio de funcionamiento de un relé y contactor ..... 370
8.10. Normas para la implementación de funciones lógicas con contactores y pulsadores .. 371
Problemas resueltos ..... 372
Problemas propuestos ..... 400

**9. Memorias integradas VLSI** ..... **406**

9.1. Características ..... 406
9.2. Capacidad de una memoria ..... 406
9.3. Tipos de memoria ..... 408
9.4. Configuración externa de una memoria ..... 408
9.5. Expansión de la capacidad y de la longitud de palabra de una memoria ..... 409
9.6. Organización interna de una memoria ..... 410
Problemas resueltos ..... 413
Problemas propuestos ..... 425

**Apéndice: Encapsulados y características de la serie TTL de integrados digitales** ..... **428**

**Bibliografía** ..... **441**

**Indice analítico** ..... **443**

# Prólogo

La Electrónica, contemplada como una moderna especialidad tecnológica, se divide en dos grandes campos o áreas que ha adquirido su propia personalidad. La primera, y más clásica, es la Electrónica Analógica, a la cual hemos dedicado un volumen completo de esta misma serie, publicado un año antes que el que ahora presentamos. La segunda es la Electrónica Digital, de carácter más específico que la anterior, que ha adquirido una gran importancia gracias a los enormes avances producidos en el terreno de la integración de componentes en un solo chip y a las extraordinarias características de los mismos. El uso de dispositivos digitales, como cualquier experto sabe, ha generado cambios importantes en las etapas de proceso y control de los sistemas electrónicos.

Es tan amplio el campo de la Electrónica Digital que no ha sido posible contemplar en un solo volumen todas las técnicas y dispositivos que el mundo laboral utiliza actualmente. En el presente texto (como más adelante se comprobará) se recoge, fundamentalmente, la parte teórica, o más general, sobre la que se sustenta tanto la lógica cableada como la programada, así como toda la circuitería relativa a los bloques SSI y MSI, dejando para un posible tercer volumen todo lo relativo a la Electrónica basada en el microprocesador.

De la misma manera que sucedió con el libro dedicado a la Electrónica Analógica, pretendemos ayudar a profesores y alumnos ofreciendo un amplio repertorio de problemas (el 60 por 100 de los cuales están resueltos) correctamente clasificados y ordenados por materias y nivel de complejidad. Dentro de cada capítulo se exponen, de manera resumida, los contenidos básicos con las fórmulas y tablas necesarias para resolver todos los problemas.

El presente trabajo está dirigido, como en el caso del libro precedente, al sector educativo de Formación Profesional, o niveles equivalentes, así como a los alumnos del Bachillerato Técnico (en el futuro Tecnológico) y de los Módulos o Ciclos Educativos, actualmente en fase de experimentación. Puede también resultar de gran utilidad a profesores y alumnos de Escuelas de Ingeniería relacionadas con esta especialidad y a todos aquellos técnicos que deseen reforzar o actualizar sus conocimientos en esta materia.

El bloque formado por los cuatro primeros capítulos recoge los fundamentos teóricos, los métodos de resolución y los elementos básicos de la Electrónica Digital. El Capítulo 1 está dedicado en su totalidad al álgebra de Boole: funciones, propiedades, teoremas, etc. En el segundo se describen y aplican los métodos más operativos para simplificar funciones. En el tercero se contemplan las puertas lógicas integradas, las características de las tecnologías más utilizadas para su construcción y la implementación de funciones mediante dichos dispositivos. Por último, el Capítulo 4 está dedicado a los sistemas de numeración y a los códigos binarios más comunes

empleados en el diseño de circuitos y sistemas para almacenar, transmitir y, en general, tratar las señales eléctricas.

Los Capítulos 5 y 6, dedicados a los circuitos combinacionales y secuenciales, respectivamente, son pieza clave en el presente volumen. En ellos se recogen problemas relacionados con los dispositivos comerciales MSI y con las técnicas de diseño utilizadas para construir dichos dispositivos a partir de otros más elementales.

Mediante los Capítulos 7 y 8 intentamos aproximarnos al mundo real del diseño aplicando los conocimientos y habilidades adquiridos en los capítulos anteriores. En el primero de ellos se muestra, a partir de casos prácticos, el método general para definir cualquier tipo de sistema digital controlado por la síntesis de circuitos secuenciales y combinacionales. En el otro, se describe el diseño de automatismos industriales y las diferentes formas de materializar el diagrama lógico resultante.

El Capítulo 9, y último del libro, está dedicado al estudio de las memorias de gran capacidad, observadas como circuitos integrados LSI y VLSI. Este capítulo inicia el extenso campo dedicado a la lógica programable. En él se exponen, fundamentalmente, problemas relacionados con la estructura interna de estos dispositivos y con las técnicas más comúnmente empleadas para expandir la capacidad total o la longitud de la palabra que requiere un sistema. Con este capítulo se completa el análisis de los dispositivos capaces de almacenar información en forma binaria, iniciado en el primero seis con los biestables y los registros de desplazamiento.

Nuevamente queremos expresar nuestro agradecimiento a todas las personas que nos han ayudado para que el esfuerzo realizado se haya traducido en una realidad. A los editores que con el buen conocimiento de su oficio nos orientan para que el producto sea lo más acertado. A los dibujantes porque las figuras son pieza fundamental en un libro de estas características. Al revisor técnico, porque ha realizado un minucioso trabajo. A cada uno de los miembros de nuestra familia, por su comprensión ante nuestro aislamiento. En general, a todos aquellos que nos han prestado ayuda y nos han animado a formalizar el trabajo de bastantes años de actividad docente.

*Los autores*

# CAPITULO 1

# Algebra de Boole

## 1.1. ALGEBRA DE BOOLE

Es un tipo de álgebra que, basándose en la teoría de conjuntos, se aplica a sistemas matemáticos en los que sólo existen dos elementos posibles: el 0 y el 1.

De la anterior definición se deduce su posibilidad de ser aplicada al análisis y diseño de **circuitos digitales**, simplemente precisando el siguiente convenio:

— **Presencia de tensión = 1.**
— **Ausencia de tensión = 0.**

## 1.2. REPRESENTACION DE VARIABLES

Las variables que aparecen en las ecuaciones del álgebra de Boole **se pueden representar a través de letras mayúsculas o minúsculas**, preferentemente las primeras del alfabeto.

## 1.3. OPERACIONES Y PROPIEDADES BASICAS

En el álgebra de Boole sólo existen tres operaciones:

- Suma.
- Multiplicación.
- Complementación o inversión.

En la Tabla 1.1 se indican las formas de representación, así como sus postulados básicos. Las operaciones del álgebra de Boole cumplen las siguientes propiedades:

*a*) Conmutativa: $a + b = b + a$
$a \cdot b = b \cdot a$

*b*) Asociativa: $a + b + c = a + (b + c)$
$a \cdot b \cdot c = (a \cdot b) \cdot c$

*c*) Distributiva: $a \cdot (b + c) = a \cdot b + a \cdot c$
$a + (b \cdot c) = (a + b) \cdot (a + c)$

**Tabla 1.1.** Postulados de la suma, producto y complementación

| Operación | Forma de representarla | Postulados básicos |
|---|---|---|
| Suma | $F = a + b$ | $0 + 0 = 0 \quad a + 0 = a$<br>$0 + 1 = 1 \quad a + 1 = 1$<br>$1 + 1 = 1 \quad a + a = a$<br>$a + \bar{a} = 1$ |
| Multiplicación | $F = a \cdot b$<br>$F = ab$<br>$F = a * b$ | $0 \cdot 0 = 0 \quad a \cdot 0 = 0$<br>$0 \cdot 1 = 0 \quad a \cdot 1 = a$<br>$1 \cdot 1 = 1 \quad a \cdot a = a$<br>$a \cdot \bar{a} = 0$ |
| Complementación o inversión | $F = \bar{a}$<br>$F = \overline{a \cdot b}$ | $\bar{0} = 1 \quad \bar{\bar{a}} = a$<br>$\bar{1} = 0$ |

## I. TEOREMAS Y LEYES BOOLEANAS PRINCIPALES

teoremas del álgebra de Boole son demostrables, a diferencia de los del álgebra convencional, el **método de inducción completa**. Este método consiste en comprobar que la relación entre los nentos que el teorema define se cumplen en todos los casos posibles. Para poder realizar esto emplean las llamadas **tablas de verdad**, que no son otra cosa que representaciones gráficas de os los casos que pueden darse en una relación y de sus respectivos resultados.

Para comprender mejor lo anterior, demostremos la primera ley del álgebra de Boole, llamada **le absorción**; su expresión es la que sigue:

$$a + a \cdot b = a$$

demostración se encuentra en la Tabla 1.2.

**Tabla 1.2.** Tabla de verdad

| $a$ $b$ | $a + a \cdot b$ | $a$ |
|---|---|---|
| 0 0 | $0 + 0 \cdot 0 = 0$ | 0 |
| 0 1 | $0 + 0 \cdot 1 = 0$ | 0 |
| 1 0 | $1 + 1 \cdot 0 = 1$ | 1 |
| 1 1 | $1 + 1 \cdot 1 = 1$ | 1 |

xisten infinidad de teoremas en el álgebra de Boole, tantos como puedan ser demostrados por odo ya referido; sin embargo, hay una serie de ellos que, dada su utilidad, es importante La Tabla 1.3 muestra los más importantes.

otra parte, siempre que se cumple una ley o teorema en el álgebra de Boole, se cumple su llamada **forma dual**; es decir, *la expresión que se obtiene cambiando solamente las operaciones de suma por las de producto y las de producto por las de suma*. Las formas duales de las leyes y teoremas básicos también se indican en la Tabla 1.3.



**Tabla 1.3.** Principales teoremas y leyes booleanas

| Nombre de la ley | Forma básica | Forma dual | |
|---|---|---|---|
| Ley de absorción | $a + a \cdot b = a$ | $a \cdot (a + b) = a$ | (1) |
| Teorema de De Morgan | $\overline{(a + b + c + \cdots)} = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \cdots$ | $\overline{(a \cdot b \cdot c \cdot \cdots)} = \bar{a} + \bar{b} + \bar{c} + \cdots$ | (2) |
| Leyes de transposición | $a \cdot b + \bar{a} \cdot c = (a+c) \cdot (\bar{a}+b)$<br>$\bar{a} \cdot \bar{b} + a \cdot b = (\bar{a}+b) \cdot (a+\bar{b})$ | $(a+b) \cdot (\bar{a}+c) = a \cdot c + \bar{a} \cdot b$<br>$(\bar{a}+\bar{b}) \cdot (a+b) = \bar{a} \cdot b + a \cdot \bar{b}$ | (3)<br>(4) |
| Leyes varias | $a + \bar{a} \cdot b = a + b$<br>$\bar{a} + a \cdot b = \bar{a} + b$<br>$a \cdot b + a \cdot \bar{b} \cdot c = a \cdot b + a \cdot c$<br>$a \cdot b + \bar{a} \cdot c + b \cdot c = a \cdot b + \bar{a} \cdot c$<br>$a \cdot b + a \cdot \bar{b} = a$<br>$a \cdot b + a \cdot c = a \cdot (b + c)$ | $a \cdot (\bar{a} + b) = a \cdot b$<br>$\bar{a} \cdot (a + b) = \bar{a} \cdot b$<br>$(a+b) \cdot (a+\bar{b}+c) = (a+b) \cdot (a+c)$<br>$(a+b) \cdot (\bar{a}+c) \cdot (b+c) = (a+b) \cdot (\bar{a}+c)$<br>$(a+b) \cdot (a+\bar{b}) = a$<br>$(a+b) \cdot (a+c) = a + (b \cdot c)$ | (5)<br>(6)<br>(7)<br>(8)<br>(9)<br>(10) |

## 1.5. FORMAS CANONICAS DE UNA FUNCION BOOLEANA

Las ecuaciones o expresiones booleanas pueden adoptar dos estructuras o formas típicas, denominadas **formas canónicas**. Dichas formas son:

- **Ecuación con estructura minterms:** Esta ecuación está estructurada como una suma de términos en forma de productos de las diferentes variables que intervienen en la ecuación. Por ejemplo:

$$x = a \cdot \bar{b} \cdot c + \bar{a} \cdot b \cdot \bar{c} + a \cdot b \cdot c$$

- **Ecuación con estructura maxterms:** Se dispone como un producto de términos en forma de suma de las diferentes variables que intervienen en la ecuación. Por ejemplo:

$$y = (\bar{a} + b + c) \cdot (a + \bar{b} + \bar{c}) \cdot (\bar{a} + \bar{b} + \bar{c}) \cdot (a + \bar{b} + c)$$

Tanto en una estructura como en la otra, todos los términos han de contener todas las variables que intervienen en la ecuación.

## 1.6. OBTENCION DE LA ECUACION DE UNA FUNCION LOGICA PARTIENDO DE SU TABLA DE VERDAD

Dada la tabla de verdad que representa la respuesta binaria de una función lógica, existen dos métodos para obtener su ecuación en forma canónica. Estos métodos están expresados y resumidos en la Tabla 1.4.

**Tabla 1.4.** Métodos para obtener una ecuación lógica

| Tipo de ecuación | Método de obtención | Convenio a aplicar |
|---|---|---|
| Ecuación minterms | Obtener la suma de productos de variables cuyas combinaciones hacen 1 la función | 0 Variable negada<br>1 Variable sin negar |
| Ecuación maxterms | Obtener el producto de las sumas de variables cuyas combinaciones hacen 0 la función | 0 Variable sin negar<br>1 Variable negada |

## 1.7. SIMPLIFICACION DE ECUACIONES BOOLEANAS

Existen dos procedimientos básicos a la hora de simplificar las ecuaciones booleanas:

- **Método de simplificación algebraico:** Se realiza aplicando las leyes y teoremas del álgebra de Boole.
- **Métodos tabulares y gráficos:** Se analizarán en el Capítulo 2.

## PROBLEMAS RESUELTOS

**1.1.** Simplificar la siguiente ecuación:

$$f = (a \cdot 0) \cdot (b + b) + (b + \bar{b}) \cdot (a \cdot a) + (b + 1) \cdot (c \cdot \bar{c})$$

**Solución:** Aplicando los postulados básicos de la Tabla 1.1, se obtiene

$$f = 0 \cdot b + 1 \cdot a + 1 \cdot 0$$
$$f = 0 + a + 0$$

y, por fin, $f = a$.

**1.2.** Aplicar los postulados fundamentales del álgebra de Boole a la siguiente ecuación:

$$f = (b + 1) \cdot a \cdot \bar{a} + a + c \cdot c + b \cdot 0 + c$$

**Solución:** Si aplicamos los postulados de la Tabla 1.1, se obtiene

$$f = 1 \cdot 0 + a + c + 0 + c \quad \text{y también} \quad f = 0 + a + 0 + c + c$$

y, por fin, $f = a + c$.



**1.3.** Simplificar la siguiente ecuación booleana:

$$f = \bar{a} \cdot b \cdot \bar{c} + b \cdot c \cdot (\bar{c} + 1) + a \cdot b \cdot \bar{c} \cdot (a + \bar{a})$$

**Solución:** Apliquemos en primer lugar los postulados de la Tabla 1.1:

$$f = \bar{a} \cdot b \cdot \bar{c} + b \cdot c \cdot 1 + a \cdot b \cdot \bar{c} \cdot 1$$
$$f = \bar{a} \cdot b \cdot \bar{c} + b \cdot c + a \cdot b \cdot \bar{c}$$

Sacando seguidamente factor común $b \cdot \bar{c}$ al primer y tercer términos, quedará

$$f = b \cdot \bar{c} \cdot (\bar{a} + a) + b \cdot c \quad \text{y también} \quad f = b \cdot \bar{c} \cdot 1 + b \cdot c$$

Sacando ahora factor común $b$ tendremos

$$f = b \cdot (\bar{c} + c) = b \cdot 1$$

luego, por fin, $f = b$.

**1.4.** Reducir la siguiente expresión:

$$f = a \cdot \bar{b} + a \cdot b \cdot c + a \cdot \bar{b} \cdot c + a \cdot b$$

**Solución:** Sacando factor común $a \cdot \bar{b}$ a los términos primero y tercero y $a \cdot b$ a los términos segundo y cuarto, obtenemos

$$f = a \cdot \bar{b} \cdot (1 + c) + a \cdot b \cdot (c + 1)$$

Aplicando los postulados de la Tabla 1.1, queda

$$f = a \cdot \bar{b} \cdot 1 + a \cdot b \cdot 1 = a \cdot \bar{b} + a \cdot b$$

Sacando, por último, factor común $a$ se obtiene

$$f = a \cdot (\bar{b} + b) = a \cdot 1$$

luego $f = a$.

**1.5.** Aplicando las leyes de la Tabla 1.3, simplificar la siguiente ecuación:

$$f = a \cdot \bar{b} \cdot c + e + d \cdot (a \cdot \bar{b} \cdot c + e)$$

**Solución:** Agrupando términos, quedará

$$f = (a \cdot \bar{b} \cdot c + e) + d \cdot (a \cdot \bar{b} \cdot c + e)$$

Si denominamos $x = a \cdot \bar{b} \cdot c + e$ e $y = d$, la anterior ecuación se transforma en $f = x + y \cdot x$, ecuación a la que podemos aplicar la ley de absorción señalada en la Tabla 1.3 con (1), de lo que resultará $f = x$, o, lo que es igual, $f = a \cdot \bar{b} \cdot c + e$.

**1.6.** Simplificar la siguiente función:

$$f = a \cdot \bar{b} \cdot \bar{c} + a \cdot \bar{b} \cdot \bar{c} \cdot d + a \cdot \bar{b}$$

**Solución:** La ley de absorción que aparece en la Tabla 1.3 se puede generalizar del siguiente modo:

*Cuando en una expresión bajo la forma de suma de productos aparece un término que se encuentra incluido integramente en otros de mayor tamaño, todos los términos que lo contienen pueden ser eliminados de la suma.*

Aplicando esta generalización a nuestra función, diremos $f = \cancel{a \cdot \bar{b} \cdot \bar{c}} + \cancel{a \cdot \bar{b} \cdot \bar{c} \cdot d} + a \cdot \bar{b} = a \cdot \bar{b}$, ya que este término está contenido integramente en los otros sumandos.

Esta nueva ley, que constituye la generalización de la ley de absorción, se puede demostrar en nuestra función con sólo sacar factor común $a \cdot \bar{b}$ a los tres sumandos, con lo que tendremos

$$f = a \cdot \bar{b} \cdot (\bar{c} + \bar{c} \cdot d + 1)$$

y como, según los postulados de la Tabla 1.1, sumar 1 a cualquier variable o conjunto de variables da siempre 1, el resultado de la anterior función es

$$f = a \cdot \bar{b} \cdot 1 = a \cdot \bar{b}$$

**1.7.** Reducir la siguiente función booleana:

$$f = c \cdot d \cdot (a + b + c)$$

**Solución:** Aplicando la propiedad distributiva del producto respecto de la suma, obtenemos

$$f = c \cdot d \cdot a + c \cdot d \cdot b + c \cdot d \cdot c$$

y también

$$f = a \cdot c \cdot d + b \cdot c \cdot d + c \cdot d$$

Gracias a la generalización de la ley de absorción analizada en el Problema 1.6, la función se simplifica en $f = c \cdot d$.

**1.8.** Simplificar la siguiente ecuación booleana:

$$f = (a \cdot \bar{c} + c) \cdot \overline{(a + c)} \cdot (b \cdot c + a + \bar{a})$$

**Solución:** Si aplicamos la ley (5) de la Tabla 1.3 al primer factor, se obtiene

$$f = (a + c) \cdot \overline{(a + c)} \cdot (b \cdot c + a + \bar{a})$$

Considerando $x = (a + c)$, la anterior ecuación se transforma en

$$f = x \cdot \bar{x} \cdot (b \cdot c + a + \bar{a})$$

Según uno de los postulados del producto $x \cdot \bar{x} = 0$, resultará $f = 0 \cdot (b \cdot c + a + \bar{a}) = 0$.



**1.9.** Reducir la siguiente ecuación:

$$f = c \cdot d + a \cdot c \cdot \bar{d}$$

**Solución:** Sacando factor común $c$, se tendrá

$$f = c \cdot (d + a \cdot \bar{d})$$

Aplicando al paréntesis la ley (6) de la Tabla 1.3, tendremos por fin $f = c \cdot (\overline{d} + a)$.

**1.10.** Aplicar las leyes de De Morgan a la siguiente ecuación:

$$f = \bar{a} \cdot \bar{b} \cdot c + a \cdot d + \bar{b} \cdot c \cdot \bar{d}$$

**Solución:** Si sacamos factor común $\bar{b} \cdot c$ al primero y tercer términos, se obtiene

$$f = \bar{b} \cdot c \cdot (\bar{a} + \bar{d}) + a \cdot d$$

Observando la forma dual de la ley de De Morgan (2), nos damos cuenta de que el contenido del paréntesis de la ecuación $(\bar{a} + \bar{d})$ proviene de la aplicación de dicha ley a $\overline{(a \cdot d)}$, con lo que podemos escribir

$$(\bar{a} + \bar{d}) = \overline{(a \cdot d)} \quad \text{y, por tanto,} \quad f = \bar{b} \cdot c \cdot \overline{(a \cdot d)} + a \cdot d$$

Si ahora aplicamos la ley (5) de la Tabla 1.3, denominando $x = a \cdot d$, se tiene

$$f = \bar{b} \cdot c \cdot \bar{x} + x, \quad \text{de donde} \quad f = \bar{b} \cdot c + x$$

y, por fin, deshaciendo el cambio de variable

$$f = \bar{b} \cdot c + a \cdot d$$

**1.11.** Simplificar las siguientes ecuaciones:

**a)** $f = \bar{a} + \bar{b} + \bar{c} + \overline{a \cdot b \cdot c}$

**b)** $f = \overline{\bar{a} \cdot c + \bar{b} \cdot \bar{d} + a + c}$

**Solución:**

**a)** Aplicando en sentido inverso la forma dual de la ley de De Morgan (2), al igual que hicimos en el Problema 1.10, los tres primeros sumandos se transforman en

$$f = \overline{a \cdot b \cdot c} + \overline{a \cdot b \cdot c}$$

Aplicando seguidamente los postulados de la operación suma, si llamamos $x = \overline{a \cdot b \cdot c}$, se obtiene

$$f = x + x = x$$

con lo que, deshaciendo el cambio, queda

$$f = \overline{a \cdot b \cdot c}$$

**b)** Apliquemos en primer lugar la ley de absorción (1) a los sumandos primero y último:

$$f = \overline{c + \bar{b} \cdot \bar{d} + a}$$

Seguidamente se aplica al segundo sumando la inversa de la ley de De Morgan (2), con lo que se transforma en

$$f = \overline{\overline{c + (\bar{b} + \bar{d})} + a}$$

**1.12.** Aplicar el álgebra de Boole a la siguiente función:

$$f = \overline{[\bar{a} \cdot \bar{c} + (b + \bar{c})] \cdot \bar{d}}$$

**Solución:** Aplicando, a la inversa, la propiedad asociativa de la suma al corchete de la ecuación se obtiene

$$f = \overline{(\bar{a} \cdot \bar{c} + b + \bar{c}) \cdot \bar{d}}$$

A continuación aplicaremos la ley de absorción (1) al interior del paréntesis, con lo que quedará

$$f = \overline{(\bar{b} + \bar{c}) \cdot \bar{d}}$$

Si aplicamos la forma dual de la ley de De Morgan (2), tendremos

$$f = (\overline{\bar{b} + \bar{c}}) + \bar{d}$$

Aplicando al paréntesis anterior la forma básica de De Morgan, se obtiene por fin

$$f = \bar{b} \cdot \bar{\bar{c}} + \bar{d}, \quad \text{esto es,} \quad f = \bar{b} \cdot c + \bar{d}$$

**1.13.** Simplificar al máximo posible la función

$$f = \overline{a \cdot \bar{b} \cdot c + a \cdot \bar{c} + b}$$

**Solución:** Saquemos, en primer lugar, factor común $a$ a los dos primeros sumandos y apliquemos la ley (6) de la Tabla 1.3 al interior del paréntesis, de lo que resulta

$$f = \overline{a \cdot (\bar{b} \cdot c + \bar{c}) + b}$$
$$f = \overline{a \cdot (\bar{b} + \bar{c}) + b}$$

Deshagamos el paréntesis y utilicemos la ley (5) de la Tabla 1.3, con lo que tendremos

$$f = \overline{\overline{a \cdot \bar{b} + a \cdot \bar{c}} + b}$$
$$f = \overline{a + b + a \cdot \bar{c}}$$

Aplicando, por último, la ley de absorción (1) a los términos primero y tercero de la suma, se obtiene

$$f = \overline{a + b}$$



**1.14.** Complementar y simplificar la siguiente función:

$$f = a + b + c + d$$

donde $a = x \cdot y \cdot z$, $b = \bar{x} \cdot y \cdot z$, $c = x \cdot \bar{y} \cdot z$, $d = x \cdot y \cdot \bar{z}$.

**Solución:** Sustituyendo los valores de $a$, $b$, $c$ y $d$ en la función, quedará

$$f = x \cdot y \cdot z + \bar{x} \cdot y \cdot z + x \cdot \bar{y} \cdot z + x \cdot y \cdot \bar{z}$$

A continuación, se niegan o complementan ambos lados de la ecuación, obteniéndose

$$\bar{f} = \overline{(x \cdot y \cdot z + \bar{x} \cdot y \cdot z + x \cdot \bar{y} \cdot z + x \cdot y \cdot \bar{z})}$$

Por la forma básica de la ley de De Morgan (2), resulta

$$\bar{f} = \overline{x \cdot y \cdot z} \cdot \overline{\bar{x} \cdot y \cdot z} \cdot \overline{x \cdot \bar{y} \cdot z} \cdot \overline{x \cdot y \cdot \bar{z}}$$

Aplicando de nuevo De Morgan a cada factor, ahora en su forma dual, se obtiene

$$\bar{f} = (\bar{x} + \bar{y} + \bar{z}) \cdot (\bar{\bar{x}} + \bar{y} + \bar{z}) \cdot (\bar{x} + \bar{\bar{y}} + \bar{z}) \cdot (\bar{x} + \bar{y} + \bar{\bar{z}})$$

Si analizamos los términos segundo y tercero y les aplicamos la ley (10) en su forma dual, así como a los términos primero y cuarto la ley (9), se obtendrá

$$\bar{f} = (\bar{x} + \bar{y} + \bar{z}) \cdot (\bar{x} + \bar{y} + z) \cdot [(\bar{x} + y) \cdot (x + \bar{y}) + \bar{z}]$$
$$\bar{f} = (\bar{x} + \bar{y}) \cdot [(\bar{x} + y) \cdot (x + \bar{y}) + \bar{z}]$$

Realizando el producto de los dos paréntesis del interior del corchete se obtiene

$$\bar{f} = (\bar{x} + \bar{y}) \cdot (\bar{x} \cdot x + \bar{x} \cdot \bar{y} + x \cdot y + y \cdot \bar{y} + \bar{z})$$

Si multiplicamos, quedará

$$\bar{f} = (\bar{x} + \bar{y}) \cdot (\bar{x} \cdot \bar{y} + x \cdot y + \bar{z})$$

Por último, desarrollando el producto y simplificando, resulta

$$\bar{f} = \bar{x} \cdot \bar{x} \cdot \bar{y} + \cancel{\bar{x} \cdot x \cdot y} + \bar{x} \cdot \bar{z} + \bar{y} \cdot \bar{x} \cdot \bar{y} + \cancel{\bar{y} \cdot x \cdot y} + \bar{y} \cdot \bar{z}$$
$$\bar{f} = \bar{x} \cdot \bar{y} + \bar{x} \cdot \bar{z} + \bar{y} \cdot \bar{z}$$

**1.15.** Simplificar las siguientes ecuaciones:

**a)** $f = (a + c) \cdot (\bar{a} + b) \cdot (b + \bar{c} + d)$

**b)** $f = a \cdot c + \bar{a} \cdot b + b \cdot \bar{c}$

**Solución:**

**a)** Con la aplicación de la forma dual de la ley de transposición (3) resultará

$$f = (a \cdot b + \bar{a} \cdot c) \cdot (b + \bar{c} + d)$$

Realizando seguidamente el producto de ambos factores y simplificando, queda

$$f = a \cdot b \cdot b + a \cdot b \cdot \bar{c} + a \cdot b \cdot d + \bar{a} \cdot b \cdot c + \bar{a} \cdot c \cdot \bar{c} + \bar{a} \cdot c \cdot d$$

$$f = a \cdot b + a \cdot b \cdot \bar{c} + a \cdot b \cdot d + \bar{a} \cdot b \cdot c + \bar{a} \cdot c \cdot d$$

Aplicando a continuación la ley de absorción generalizada para el término $a \cdot b$, tal y como se hizo en el Problema 1.6, se obtiene

$$f = a \cdot b + \bar{a} \cdot b \cdot c + \bar{a} \cdot c \cdot d$$

Sacando, por último, factor común $b$ y aplicando la ley (5), se obtiene

$$f = b \cdot (a + \bar{a} \cdot c) + \bar{a} \cdot c \cdot d$$

$$f = b \cdot (a + c) + \bar{a} \cdot c \cdot d$$

**b)** Si sacamos factor común $b$ en los dos últimos sumandos, queda

$$f = a \cdot c + b \cdot (\bar{a} + \bar{c})$$

Aplicando, seguidamente, en sentido inverso la forma dual de la ley de De Morgan (2), resulta

$$f = a \cdot c + b \cdot \overline{(a \cdot c)}$$

Por fin, considerando $x = a \cdot c$ y por la aplicación de la ley (5) de la Tabla 1.3, queda

$$f = x + b \cdot \bar{x} = x + b$$

luego $f = a \cdot c + b$.

**1.16.** Reducir la siguiente ecuación al máximo posible:

$$f = a \cdot \bar{c} + a \cdot b \cdot \bar{c} + \bar{a} \cdot \bar{c} \cdot d + a \cdot c \cdot \bar{e} + a \cdot \bar{c} \cdot \bar{f}$$

**Solución:** Utilizaremos en primer lugar la ley de absorción generalizada con los sumandos primero, segundo y tercero, tal y como se explicó en el Problema 1.6

$$f = a \cdot \bar{c} + a \cdot b \cdot \bar{c} + \bar{a} \cdot \bar{c} \cdot d + a \cdot c \cdot \bar{e} + a \cdot \bar{c} \cdot \bar{f} = a \cdot \bar{c} + \bar{a} \cdot \bar{c} \cdot d + a \cdot c \cdot \bar{e}$$

A continuación aplicaremos la forma básica de la ley (7) a los sumandos primero y segundo, donde denominaremos

$$x = \bar{c},\ y = a, \quad \text{y, por último,} \quad z = d$$

con lo que quedará

$$f = x \cdot y + x \cdot \bar{y} \cdot z + a \cdot c \cdot \bar{e} = x \cdot y + x \cdot z + a \cdot c \cdot \bar{e} = \bar{c} \cdot a + \bar{c} \cdot d + a \cdot c \cdot \bar{e}$$

Procediendo de forma similar a la anterior con los sumandos primero y tercero, y considerando

$$x = a,\ y = \bar{c} \quad \text{y, por fin,} \quad z = \bar{e}$$



tendremos

$$f = x \cdot y + x \cdot \bar{y} \cdot z + \bar{c} \cdot d = x \cdot y + x \cdot z + \bar{c} \cdot d = a \cdot \bar{c} + a \cdot \bar{e} + \bar{c} \cdot d$$

**1.17.** Simplificar las siguientes ecuaciones:

**a)** $f = a \cdot b \cdot (c + \bar{a} \cdot b + \bar{a}) + \bar{c} + a \cdot c$

**b)** $a \cdot c + \bar{a} \cdot b \cdot \bar{d} \cdot e + b \cdot \bar{c} \cdot \bar{d}$

**Solución:**

**a)** Si aplicamos la ley de absorción al interior del paréntesis, tendremos

$$f = a \cdot b \cdot (c + \bar{a}) + \bar{c} + a \cdot c$$

Tras ello se aplicará la ley (6) de la Tabla 1.3 a los dos últimos sumandos

$$f = a \cdot b \cdot (c + \bar{a}) + \bar{c} + a$$

Operando y aplicando la ley de absorción generalizada, queda

$$f = a \cdot b \cdot c + a \cdot b \cdot \bar{a} + \bar{c} + a$$

$$f = \bar{c} + a$$

**b)** Sacando factor común $b \cdot \bar{d}$ a los últimos sumandos, se obtiene

$$f = a \cdot c + b \cdot \bar{d} \cdot (\bar{a} \cdot e + \bar{c})$$

Aplicando al paréntesis la forma dual de la ley (10) en sentido inverso, resulta

$$f = a \cdot c + b \cdot \bar{d} \cdot (\bar{c} + \bar{a}) \cdot (\bar{c} + e)$$

Si ahora, en sentido inverso, se hace lo mismo con la forma dual de la ley de De Morgan (2) en el primer paréntesis, queda

$$f = a \cdot c + b \cdot \bar{d} \cdot \overline{(a \cdot c)} \cdot (\bar{c} + e)$$

Denominando $x = a \cdot c$ y aplicando la ley (5) resulta, por fin,

$$f = x + \bar{x} \cdot b \cdot d \cdot (\bar{c} + e) = x + b \cdot d \cdot (\bar{c} + e)$$

$$f = a \cdot c + b \cdot d \cdot (\bar{c} + e)$$

**1.18.** Aplicar las leyes del álgebra de Boole a la siguiente ecuación para simplificarla:

$$f = (\bar{a} + c) \cdot (a + b) \cdot (\bar{b} + c + d) \cdot (c + d + e)$$

**Solución:** Considerando $x = c + d$ y aplicando la ley (10) en su forma dual a los dos últimos términos, resulta

$$f = (\bar{a} + c) \cdot (a + b) \cdot (\bar{b} + x) \cdot (x + e)$$

$$f = (\bar{a} + c) \cdot (a + b) \cdot (x + \bar{b} \cdot e)$$

$$f = (\bar{a} + c) \cdot (a + b) \cdot (c + d + \bar{b} \cdot e)$$

A continuación emplearemos la forma dual de la ley de transposición (3) en los dos primeros factores

$$f = (a \cdot c + \bar{a} \cdot b) \cdot (c + d + \bar{b} \cdot e)$$

Operando y aplicando la ley de absorción generalizada al término $a \cdot c$, resulta

$$f = a \cdot c \cdot c + a \cdot c \cdot d + a \cdot \bar{b} \cdot c \cdot e + \bar{a} \cdot b \cdot c + \bar{a} \cdot b \cdot d + \cancel{\bar{a} \cdot \bar{b} \cdot b \cdot c}$$

$$f = a \cdot c + a \cdot c \cdot d + a \cdot \bar{b} \cdot c \cdot e + \bar{a} \cdot b \cdot c + \bar{a} \cdot b \cdot d$$

$$f = a \cdot c + \bar{a} \cdot b \cdot c + \bar{a} \cdot b \cdot d$$

Por último, sacando factor común $c$ mediante la aplicación de la ley (5), se obtiene

$$f = c \cdot (a + \bar{a} \cdot b) + \bar{a} \cdot b \cdot d$$

$$f = c \cdot (a + b) + \bar{a} \cdot b \cdot d$$

**1.19.** Simplificar la siguiente ecuación:

$$f = \overline{(a \cdot c + \bar{a} \cdot b \cdot c \cdot \bar{d})} + b \cdot c \cdot \bar{d}$$

**Solución:** Sacando factor común $c$ en el interior del paréntesis y aplicando la ley (5) de la Tabla 1.3, se obtiene

$$f = \overline{[c \cdot (a + \bar{a} \cdot b \cdot \bar{d})]} + b \cdot c \cdot \bar{d}$$

$$f = \overline{[c \cdot (a + b \cdot \bar{d})]} + b \cdot c \cdot \bar{d}$$

Si desarrollamos el corchete y se aplica la ley de De Morgan en su interior, resulta

$$f = \overline{(a \cdot c + b \cdot c \cdot \bar{d})} + b \cdot c \cdot \bar{d}$$

$$f = [\overline{(a \cdot c)} \cdot \overline{(b \cdot c \cdot \bar{d})}] + b \cdot c \cdot \bar{d}$$

Estableciendo $x = b \cdot c \cdot \bar{d}$, y por la ley (5), se tiene

$$f = \overline{(a \cdot c)} \cdot \bar{x} + x = \overline{a \cdot c} + x, \quad \text{esto es,} \quad f = \overline{a \cdot c} + b \cdot c \cdot \bar{d}$$

Si aplicamos la forma dual de la ley de De Morgan para el primer sumando, resulta

$$f = \bar{a} + \bar{c} + b \cdot c \cdot \bar{d}$$

Por último, aplicando la ley (6) a los dos últimos sumandos, queda

$$f = \bar{a} + \bar{c} + b \cdot \bar{d}$$

**1.20.** Simplificar las siguientes ecuaciones:

**a)** $f = \overline{a \cdot \bar{b} \cdot c \cdot d + \bar{b} \cdot d \cdot \bar{e} + a \cdot d}$

**b)** $f = (\bar{a} + \bar{b} + c) \cdot (\bar{b} + c + \bar{d}) \cdot (a + d)$



**Solución:**

**a)** En primer lugar aplicaremos la ley de absorción (1) a los sumandos primero y tercero, de lo que resulta

$$f = \overline{a \cdot d + \bar{b} \cdot d \cdot \bar{e}}$$

Seguidamente, a través de la ley de De Morgan se obtiene

$$f = \overline{(a \cdot d)} \cdot \overline{(\bar{b} \cdot d \cdot \bar{e})}$$

y al aplicar la misma ley de nuevo:

$$f = (\bar{a} + \bar{d}) \cdot (b + \bar{d} + e)$$

Realizando, por último, el producto y simplificando, tendremos

$$f = \bar{a} \cdot b + \bar{a} \cdot \bar{d} + \bar{a} \cdot e + \bar{d} \cdot b + \bar{d} \cdot \bar{d} + \bar{d} \cdot e$$

$$f = \bar{a} \cdot b + \bar{a} \cdot e + \bar{d}$$

**b)** Si consideramos $x = \bar{b} + c$, y por la aplicación de la forma dual de la ley (10) a los dos primeros factores, quedará

$$f = (\bar{a} + x) \cdot (x + \bar{d}) \cdot (a + d) = (x + \bar{a} \cdot \bar{d}) \cdot (a + d)$$

$$f = (\bar{b} + c + \bar{a} \cdot \bar{d}) \cdot (a + d)$$

Aplicando ahora en sentido inverso la ley de De Morgan al término $\bar{a} \cdot \bar{d}$, resulta

$$f = [\bar{b} + c + \overline{(a + d)}] \cdot (a + d)$$

Si denominamos $y = a + d$ y aplicamos la forma dual de la ley (10), queda, por fin,

$$f = (\bar{b} + c + \bar{y}) \cdot y = (\bar{b} + c) \cdot y$$

$$f = (\bar{b} + c) \cdot (a + d)$$

**1.21.** Simplificar la siguiente ecuación y obtener la tabla de verdad que corresponde a su funcionamiento:

$$f = a \cdot b \cdot \bar{c} + \bar{a} \cdot \bar{b} \cdot d + a \cdot \bar{b}$$

**Solución:** Sacando factor común $a$ al primer y tercer sumandos y aplicando seguidamente la ley (6) de la Tabla 1.3, se obtiene

$$f = a \cdot (b \cdot \bar{c} + \bar{b}) + \bar{a} \cdot \bar{b} \cdot d$$

$$f = a \cdot (\bar{b} + \bar{c}) + \bar{a} \cdot \bar{b} \cdot d$$

Denominando $x = \bar{b} + \bar{c}$ e $y = \bar{b} \cdot d$, y a través de la ley de transposición (3), resulta

$$f = a \cdot x + \bar{a} \cdot y = (a + y) \cdot (\bar{a} + x)$$

$$f = (a + \bar{b} \cdot d) \cdot (\bar{a} + \bar{b} + \bar{c})$$

Por último, con la forma dual de la ley de De Morgan en inverso, tendremos

$$f = (a + \bar{b} \cdot d) \cdot \overline{a \cdot b \cdot c}$$

La tabla de verdad que representa esta ecuación aparece en la Tabla 1.5:

**Tabla 1.5.** Resultado del Problema 1.21

| a | b | c | d | f |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

Su cálculo se obtiene sustituyendo cada una de las posibilidades de entrada de $a$, $b$, $c$ y $d$ en la anterior ecuación, y calculando su resultado al aplicar los postulados de la suma, producto y complementación.

Si, por ejemplo, consideramos la combinación de entradas $a = 0$, $b = 1$, $c = 1$ y $d = 0$, se obtendrá el siguiente resultado:

$$f = (0 + \bar{1} \cdot 0) \cdot \overline{0 \cdot 1 \cdot 1}, \quad \text{esto es,} \quad f = (0 + 0 \cdot 0) \cdot \bar{0}$$

y, por fin, $f = (0 + 0) \cdot 1$, $f = 0 \cdot 1$, $f = 0$.

**1.22.** Realizar la tabla de verdad que representa a la siguiente ecuación simplificada:

$$f = a \cdot \bar{b} + a \cdot b \cdot c + \bar{a} \cdot \bar{b} \cdot e + a \cdot \bar{b} \cdot d$$

**Solución:** Apliquemos la ley de absorción (1) al primer y último términos, quedando

$$f = a \cdot \bar{b} + a \cdot b \cdot c + \bar{a} \cdot \bar{b} \cdot e$$

Sacando factor común $a$ en los dos primeros sumandos y por la aplicación de la ley (6) en el paréntesis resultante, tendremos

$$f = a \cdot (\bar{b} + b \cdot c) + \bar{a} \cdot \bar{b} \cdot e$$
$$f = a \cdot (\bar{b} + c) + \bar{a} \cdot \bar{b} \cdot e$$
$$f = a \cdot \bar{b} + a \cdot c + \bar{a} \cdot \bar{b} \cdot e$$



Realizando el mismo proceso anterior, ahora entre los términos primero y último, queda

$$f = \bar{b} \cdot (a + \bar{a} \cdot e) + a \cdot c$$
$$f = \bar{b} \cdot (a + e) + a \cdot c$$

La tabla de verdad que cumple esta ecuación está representada en la Tabla 1.6:

**Tabla 1.6.** Resultado del Problema 1.22

| a | b | c | e | f |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

**1.23.** Obtener la tabla de verdad de la siguiente ecuación simplificada:

$$f = a \cdot b \cdot e + \bar{b} \cdot d \cdot \bar{e} + \bar{b} \cdot c \cdot e + b \cdot \bar{e} \cdot a$$

**Solución:** Si aplicamos la ley de absorción (1) a los sumandos tercero y quinto, se obtiene

$$f = a \cdot b \cdot e + \bar{b} \cdot d \cdot \bar{e} + \bar{b} \cdot c \cdot e + b \cdot \bar{e}$$

Seguidamente aplicaremos la ley (7) a los sumandos segundo y cuarto:

$$f = a \cdot b \cdot e + \bar{b} \cdot c \cdot e + b \cdot \bar{e} + d \cdot \bar{e}$$

y de nuevo haremos lo mismo en los sumandos primero y tercero, quedando por fin

$$f = \bar{b} \cdot c \cdot e + d \cdot \bar{e} + b \cdot \bar{e} + b \cdot a$$

La tabla de verdad que representa a la anterior ecuación será la mostrada en la Tabla 1.7:

**Tabla 1.7.** Resultado del Problema 1.23

| *a* | *b* | *c* | *d* | *e* | *f* |
|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 |

**1.24.** Obtener la ecuación definida por la Tabla de verdad 1.8 en sus dos formas canónicas.

**Tabla 1.8.** Resultado del Problema 1.24

| *a* | *b* | *f* |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |



**Solución:** Para obtener la ecuación minterms se partirá, según nos indica la Tabla 1.4, de las combinaciones de las variables que hacen 1 la función, considerando los 0 como la variable negada y los 1 como la variable sin negar, y formaremos la suma de todos los términos constituidos por las combinaciones de variables de entrada que hacen 1 la función. Según lo dicho, se obtiene

$$f = \bar{a} \cdot b + a \cdot \bar{b}$$

Para llegar a la ecuación maxterms partiremos ahora de las combinaciones de variables que hacen 0 la función, considerando los 0 como la variable sin negar y los 1 como la variable negada, y formaremos el producto de todos los términos constituidos por la suma de las diferentes variables que componen cada combinación que hace 0 la función. Con ello, la ecuación maxterms será

$$f = (a + b) \cdot (\bar{a} + \bar{b})$$

**1.25.** Extraer la ecuación de la función indicada en la Tabla de verdad 1.9 en sus dos formas canónicas.

**Tabla 1.9.** Tabla de verdad del Problema 1.25

| *a* | *b* | *c* | *d* | *f* |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

**Solución:** Procediendo como en el Problema 1.24 y partiendo de los 1 e la salida, se obtiene la ecuación minterms

$$f = \bar{a} \cdot \bar{b} \cdot c \cdot d + \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot b \cdot c \cdot \bar{d} + \bar{a} \cdot b \cdot c \cdot d +$$
$$+ a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + a \cdot b \cdot \bar{c} \cdot \bar{d} + a \cdot b \cdot \bar{c} \cdot d + a \cdot b \cdot c \cdot d$$

De igual modo, partiendo de los 0 de la salida, se obtiene la forma maxterms

$$f = (a + b + c + d) \cdot (a + b + c + \bar{d}) \cdot (a + b + \bar{c} + d) \cdot (a + \bar{b} + c + \bar{d}) \cdot$$
$$\cdot (\bar{a} + b + c + \bar{d}) \cdot (\bar{a} + b + \bar{c} + d) \cdot (\bar{a} + b + \bar{c} + \bar{d}) \cdot (\bar{a} + \bar{b} + \bar{c} + d)$$

**1.26.** Obtener la ecuación simplificada de la función definida por la Tabla de verdad 1.10, partiendo de la forma maxterms.

**Tabla 1.10.** Tabla de verdad del Problema 1.26

| *a* | *b* | *c* | *f* |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

**Solución:** Procediendo como en el Problema 1.24, se obtiene

$$f = (a + b + \bar{c}) \cdot (a + \bar{b} + c) \cdot (a + \bar{b} + \bar{c}) \cdot (\bar{a} + b + c) \cdot (\bar{a} + \bar{b} + \bar{c})$$

Si aplicamos la forma dual de la ley (9) entre el tercero y el quinto factores, y considerando $x = \bar{b} + \bar{c}$, se obtiene

$$f = (a + b + \bar{c}) \cdot (a + \bar{b} + c) \cdot (\bar{a} + b + c) \cdot (a + x) \cdot (\bar{a} + x)$$
$$f = (a + b + \bar{c}) \cdot (a + \bar{b} + c) \cdot (\bar{a} + b + c) \cdot (x)$$
$$f = (a + b + \bar{c}) \cdot (a + \bar{b} + c) \cdot (\bar{a} + b + c) \cdot (\bar{b} + \bar{c})$$

Aplicando ahora la forma dual de la ley (10) entre los términos primero y segundo, y estableciendo $z = \bar{b} + c$ e $y = b + \bar{c}$, tendremos

$$f = (a + y) \cdot (a + z) \cdot (\bar{a} + b + c) \cdot (\bar{b} + \bar{c})$$
$$f = (a + y \cdot z) \cdot (\bar{a} + b + c) \cdot (\bar{b} + \bar{c})$$
$$f = [a + (b + \bar{c}) \cdot (\bar{b} + c)] \cdot (\bar{a} + b + c) \cdot (\bar{b} + \bar{c})$$

Si operamos en el interior del corchete, quedará

$$f = (a + \cancel{b\bar{b}} + b \cdot c + \bar{c}\cancel{c} + \bar{b} \cdot \bar{c}) \cdot (\bar{a} + b + c) \cdot (\bar{b} + \bar{c})$$
$$f = (a + b \cdot c + \bar{b} \cdot \bar{c}) \cdot (\bar{a} + b + c) \cdot (\bar{b} + \bar{c})$$

Aplicando a continuación la forma dual de la ley de transposición (3) a los términos segundo y tercero, y denominando $v = \bar{c}$ y $u = \bar{a} + c$, tendremos



$$f = (a + b \cdot c + \bar{b} \cdot \bar{c}) \cdot (b + u) \cdot (\bar{b} + v)$$
$$f = (a + b \cdot c + \bar{b} \cdot \bar{c}) \cdot (b \cdot v + \bar{b} \cdot u)$$
$$f = (a + b \cdot c + \bar{b} \cdot \bar{c}) \cdot [b \cdot \bar{c} + \bar{b} \cdot (\bar{a} + c)]$$

Por último, operando y simplificando, queda

$$f = (a + b \cdot c + \bar{b} \cdot \bar{c}) \cdot (b \cdot \bar{c} + \bar{b} \cdot \bar{a} + \bar{b} \cdot c)$$
$$f = a \cdot b \cdot \bar{c} + \cancel{a \cdot b \cdot \bar{a}} + a \cdot \bar{b} \cdot c + b \cdot \cancel{c \cdot b \cdot \bar{c}} + b \cdot \cancel{c \cdot b \cdot \bar{a}} +$$
$$+ b \cdot \cancel{c \cdot b \cdot c} + \bar{b} \cdot \cancel{\bar{c} \cdot b} \cdot \bar{c} + \bar{b} \cdot \bar{c} \cdot \bar{b} \cdot \bar{a} + \bar{b} \cdot \cancel{\bar{c} \cdot b \cdot c}$$
$$f = a \cdot b \cdot \bar{c} + a \cdot \bar{b} \cdot c + \bar{a} \cdot \bar{b} \cdot \bar{c}$$

Este resultado, tan laborioso de obtener, se podría haber logrado si hubiésemos partido de la forma canónica minterms. Veámoslo seguidamente, tomando las combinaciones que hacen 1 la función

$$f = \bar{a} \cdot \bar{b} \cdot \bar{c} + a \cdot \bar{b} \cdot c + a \cdot b \cdot \bar{c}$$

Esto nos enseña que en muchos casos es más sencilla una forma canónica que otra. *De ahora en adelante partiremos, como norma para obtener la ecuación de una tabla de verdad, de la forma canónica que menos términos contenga en la salida de dicha tabla.*

**1.27.** Obtener la ecuación simplificada de la función definida por la Tabla de verdad 1.11.

**Tabla 1.11.** Tabla de verdad del Problema 1.27

| *a* | *b* | *c* | *f* |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

**Solución:** Dado que el número de 1 en la salida de la tabla es menor que el de 0, obtendremos la ecuación minterms

$$f = \bar{a} \cdot b \cdot c + a \cdot \bar{b} \cdot \bar{c} + a \cdot b \cdot c$$

Considerando $x = b \cdot c$ y aplicando la ley (9) a los términos primero y tercero, se obtiene

$$f = \bar{a} \cdot x + a \cdot x + a \cdot \bar{b} \cdot \bar{c} = x + a \cdot \bar{b} \cdot \bar{c}$$
$$f = b \cdot c + a \cdot \bar{b} \cdot \bar{c}$$

**1.28.** Obtener la ecuación más simplificada de la Tabla de verdad 1.12.

**Tabla 1.12.** Tabla de verdad del Problema 1.28

| $a$ | $b$ | $c$ | $d$ | $f$ |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

**Solución:** Como el menor número de combinaciones de variables de entrada es el que hace 0 la función, obtendremos la forma maxterms

$$f = (a + b + \bar{c} + d) \cdot (a + \bar{b} + \bar{c} + d) \cdot (\bar{a} + b + \bar{c} + d)$$

Al aplicar la forma dual de la ley (9) entre el primer y el tercer factores, queda

$$f = (b + \bar{c} + d) \cdot (a + \bar{b} + \bar{c} + d)$$

Si establecemos $x = \bar{c} + d$, $y = b$ y $z = a + \bar{b}$, podremos aplicar la ley (10), y nos quedaría

$$f = (y + x) \cdot (z + x) = x + (y \cdot z)$$

$$f = (\bar{c} + d) + [b \cdot (a + \bar{b})]$$

$$f = (\bar{c} + d) + a \cdot b$$

**1.29.** Transformar en la forma canónica minterms la siguiente función:

$$f = a \cdot \bar{b} \cdot c + \bar{a} + b \cdot d$$

**Solución:** La transformación consiste en pasar de un minterms incompleto a un minterms completo. El método más sencillo es el de multiplicar cada sumando por el término $(a + \bar{a})$, $(b + \bar{b})$, $(c + \bar{c})$ o $(d + \bar{d})$, según sean la o las variables que faltan en cada sumando de la función. Por tanto, la anterior función se transforma en

$$f = a \cdot \bar{b} \cdot c \cdot (d + \bar{d}) + \bar{a} \cdot (b + \bar{b}) \cdot (c + \bar{c}) \cdot (d + \bar{d}) + b \cdot d \cdot (a + \bar{a}) \cdot (c + \bar{c})$$



A continuación realicemos los productos y simplifiquemos

$$f = a \cdot \bar{b} \cdot c \cdot d + a \cdot \bar{b} \cdot c \cdot \bar{d} + (\bar{a} \cdot b + \bar{a} \cdot \bar{b}) \cdot (c \cdot d + c \cdot \bar{d} + \bar{c} \cdot d + \bar{c} \cdot \bar{d}) +$$

$$+ b \cdot d \cdot (a \cdot c + a \cdot \bar{c} + \bar{a} \cdot c + \bar{a} \cdot \bar{c})$$

$$f = a \cdot \bar{b} \cdot c \cdot d + a \cdot \bar{b} \cdot c \cdot \bar{d} + \bar{a} \cdot b \cdot c \cdot d + \bar{a} \cdot b \cdot c \cdot \bar{d} + \bar{a} \cdot b \cdot \bar{c} \cdot d +$$

$$+ \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot \bar{b} \cdot c \cdot d + \bar{a} \cdot \bar{b} \cdot c \cdot \bar{d} + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} +$$

$$+ a \cdot b \cdot c \cdot d + a \cdot b \cdot \bar{c} \cdot d + \bar{a} \cdot b \cdot c \cdot \bar{d} + \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d}$$

Se recomienda ordenar, después de cada reducción, las variables en orden alfabético, como se expone a continuación:

$$f = a \cdot \bar{b} \cdot c \cdot d + a \cdot \bar{b} \cdot c \cdot \bar{d} + \bar{a} \cdot b \cdot c \cdot d + \bar{a} \cdot b \cdot c \cdot \bar{d} + \bar{a} \cdot b \cdot \bar{c} \cdot d + \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} +$$

$$+ \bar{a} \cdot \bar{b} \cdot c \cdot d + \bar{a} \cdot \bar{b} \cdot c \cdot \bar{d} + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + a \cdot b \cdot c \cdot d + a \cdot b \cdot \bar{c} \cdot d$$

**1.30.** Convertir en la forma canónica de suma de productos la siguiente expresión:

$$f = (a + b) \cdot (b + \bar{c}) \cdot (\bar{a} + \bar{c})$$

**Solución:** En este caso, en el que la expresión está dada en la forma maxterms, es necesario, en primer lugar, realizar el producto entre los factores que componen la ecuación. Se conseguirá así una suma de productos incompletos a la cual habrá que aplicar, a continuación, el mismo procedimiento que en el Problema 1.29 para llegar a la forma canónica minterms completa.

Procediendo según lo dicho, realizaremos el producto del paréntesis

$$f = (a \cdot b + a \cdot \bar{c} + b \cdot b + b \cdot \bar{c}) \cdot (\bar{a} + \bar{c})$$

Aplicando la ley de absorción generalizada al primer paréntesis, queda

$$f = (a \cdot \bar{c} + b) \cdot (\bar{a} + \bar{c})$$

$$f = a \cdot \bar{c} \cdot \bar{a} + a \cdot \bar{c} \cdot \bar{c} + b \cdot \bar{a} + b \cdot \bar{c}$$

$$f = a \cdot \bar{c} + \bar{a} \cdot b + b \cdot \bar{c}$$

Seguidamente multiplicaremos cada sumando por $(a + \bar{a})$, $(b + \bar{b})$ o $(c + \bar{c})$, según corresponda

$$f = a \cdot \bar{c} \cdot (b + \bar{b}) + \bar{a} \cdot b \cdot (c + \bar{c}) + b \cdot \bar{c} \cdot (a + \bar{a})$$

$$f = a \cdot b \cdot \bar{c} + a \cdot \bar{b} \cdot \bar{c} + \bar{a} \cdot b \cdot c + \bar{a} \cdot b \cdot \bar{c} + a \cdot b \cdot \bar{c} + \bar{a} \cdot b \cdot \bar{c}$$

$$f = a \cdot b \cdot \bar{c} + a \cdot \bar{b} \cdot \bar{c} + \bar{a} \cdot b \cdot c + \bar{a} \cdot b \cdot \bar{c}$$

**1.31.** Transformar en la forma canónica maxterms la siguiente función:

$$f = (a + \bar{b}) \cdot b \cdot (\bar{c} + b)$$

**Solución:** Este tipo de transformación consiste en obtener, partiendo de una ecuación maxterms incompleta, una ecuación maxterms completa. Para realizar tal transformación, se suma a cada factor el término $(a \cdot \bar{a})$, $(b \cdot \bar{b})$ o $(c \cdot \bar{c})$, según sean la o las variables que falten en cada factor del producto.

Procediendo como se ha indicado, se obtiene

$$f = (a + \bar{b} + c \cdot \bar{c}) \cdot (b + a \cdot \bar{a} + c \cdot \bar{c}) \cdot (\bar{c} + b + a \cdot \bar{a})$$

Aplicando dentro de cada factor la propiedad distributiva del producto, quedará

$$f = [(a + \bar{b} + c) \cdot (a + \bar{b} + \bar{c})] \cdot [(b + a) \cdot (b + \bar{a}) + c \cdot \bar{c}] \cdot [(a + b + \bar{c}) \cdot (\bar{a} + b + \bar{c})]$$

Si aplicamos nuevamente, y por dos veces, las propiedades distributivas, esta vez sólo al factor central, se obtiene

$$f = (a + \bar{b} + c) \cdot (a + \bar{b} + \bar{c}) \cdot [(b + a) \cdot (b + \bar{a}) + c] \cdot$$
$$\cdot [(b + a) \cdot (b + \bar{a}) + \bar{c}] \cdot (a + b + \bar{c}) \cdot (\bar{a} + b + \bar{c})$$

$$f = (a + \bar{b} + c) \cdot (a + \bar{b} + \bar{c}) \cdot (a + b + c) \cdot (\bar{a} + b + c) \cdot$$
$$\cdot (a + b + \bar{c}) \cdot (\bar{a} + b + \bar{c}) \cdot (a + b + \bar{c}) \cdot (\bar{a} + b + \bar{c})$$

$$f = (a + \bar{b} + c) \cdot (a + \bar{b} + \bar{c}) \cdot (a + b + c) \cdot (\bar{a} + b + c) \cdot (a + b + \bar{c}) \cdot (\bar{a} + b + \bar{c})$$

**1.32.** Transformar en la forma canónica maxterms la siguiente expresión:

$$f = a \cdot b + \bar{a} \cdot b \cdot \bar{c} + \bar{b} \cdot \bar{c}$$

**Solución:** Dado que la función está expresada bajo la forma minterms, deberemos, en primer lugar, agrupar términos para conseguir un producto de sumas incompleto (maxterms), al cual, aplicando el mismo procedimiento que en el Problema 1.31, tansformaremos en una estructura maxterms completa.

Comencemos, por tanto, a agrupar términos. Sacando factor común $\bar{c}$ a los dos últimos sumandos y utilizando en el paréntesis resultante la ley (6), se obtiene

$$f = a \cdot b + \bar{c} \cdot (\bar{a} \cdot b + \bar{b})$$
$$f = a \cdot b + \bar{c} \cdot (\bar{a} + \bar{b})$$

Aplicando, esta vez en inverso, la forma dual de la ley de De Morgan (2) al paréntesis, queda

$$f = a \cdot b + \bar{c} \cdot \overline{(a \cdot b)}$$

Si aplicamos la ley (5), estableciendo $x = a \cdot b$, se obtiene

$$f = x + \bar{c} \cdot \bar{x} = x + \bar{c} = a \cdot b + \bar{c}$$

Aplicando a continuación en inverso la forma dual de la ley (10), queda:

$$f = (a + \bar{c}) \cdot (b + \bar{c})$$

A esta estructura maxterms incompleta se le aplica el procedimiento de sumar a cada factor $a \cdot \bar{a}$, $b \cdot \bar{b}$ o $c \cdot \bar{c}$, al igual que se hizo en el Problema 1.31

$$f = (a + b \cdot \bar{b} + \bar{c}) \cdot (a \cdot \bar{a} + b + \bar{c})$$



Aplicando, por último, la propiedad distributiva del producto, resulta

$$f = (a + b + \bar{c}) \cdot (a + \bar{b} + \bar{c}) \cdot (a + b + \bar{c}) \cdot (\bar{a} + b + \bar{c})$$
$$f = (a + b + \bar{c}) \cdot (a + \bar{b} + \bar{c}) \cdot (\bar{a} + b + \bar{c})$$

## PROBLEMAS PROPUESTOS

**1.33.** Simplificar la siguiente función:

$$f = a + c \cdot \bar{c} + b + c \cdot 0 + \bar{b}$$

**Solución:** $f = 1$.

**1.34.** Reducir la siguiente expresión:

$$f = a \cdot b \cdot (c + \bar{a} \cdot \bar{b} + \bar{a})$$

**Solución:** $f = a \cdot b \cdot c$.

**1.35.** Aplicar las leyes del álgebra de Boole a la siguiente función:

$$f = a \cdot (a + a \cdot c) + b \cdot \bar{b} + b \cdot \bar{a} \cdot c + \bar{b} \cdot \bar{c} \cdot a$$

**Solución:** $f = a + b \cdot c$.

**1.36.** Simplificar la siguiente función:

$$f = a \cdot b \cdot \bar{c} + \bar{b} \cdot c \cdot (a + b \cdot c) + \bar{a} \cdot b \cdot c + a \cdot b \cdot c$$

**Solución:** $f = a \cdot b + b \cdot c + a \cdot c$

**1.37.** Aplicar el álgebra de Boole a la siguiente función:

$$f = (a \cdot \bar{b} + \bar{b} \cdot c) \cdot c \cdot (\bar{c} + \bar{b} \cdot c) + b \cdot \bar{b} + \overline{a \cdot b}$$

**Solución:** $f = \overline{a \cdot b}$.

**1.38.** Reducir la siguiente función:

$$f = a + \bar{b} + c \cdot \overline{(a + \bar{b})} + (a + \bar{b}) \cdot (a + \bar{b} + c)$$

**Solución:** $f = a + \bar{b} + c$.

**1.39.** Simplificar la siguiente ecuación lógica:

$$f = \overline{a \cdot \bar{b} \cdot c + a \cdot \bar{c}}$$

**Solución:** $f = \bar{a} + b \cdot c$.

**1.40.** Aplicar el álgebra de Boole a la siguiente expresión:

$$f = \overline{a \cdot (\bar{b} + c) + \bar{a} \cdot c + a \cdot \bar{c} \cdot \bar{d}}$$

**Solución:** $f = (\bar{a} + b \cdot d) \cdot \bar{c}$.

**1.41.** Reducir la siguiente función:

$$f = (a + c) \cdot (\bar{a} + b + \bar{d}) \cdot (b + \bar{c} + \bar{d})$$

**Solución:** $f = (a + c) \cdot (b + \bar{d})$.

**1.42.** Simplificar la expresión booleana siguiente:

$$f = \bar{a} \cdot \bar{b} \cdot c + \bar{a} \cdot c \cdot \bar{d} + b \cdot d$$

**Solución:** $f = \bar{a} \cdot c + b \cdot d$.

**1.43.** Reducir, aplicando el álgebra de Boole, la siguiente expresión:

$$f = (a + c + b \cdot d) \cdot (\bar{a} + c) \cdot (\bar{a} + c + e)$$

**Solución:** $f = c + \bar{a} \cdot b \cdot d$.

**1.44.** Aplicar el álgebra de Boole a la siguiente función:

$$f = (a + \bar{c}) \cdot (a + b + \bar{c}) \cdot (\bar{a} + \bar{c} + d) \cdot (a + c + e) \cdot (\bar{a} + c + f)$$

**Solución:** $f = (a + \bar{c}) \cdot (a + e) \cdot (\bar{c} + d) \cdot (\bar{a} + c + f)$.

**1.45.** Simplificar la siguiente ecuación:

$$f = (a + b) \cdot (\bar{a} + c) \cdot (\bar{b} + \bar{d}) \cdot (c + d)$$

**Solución:** $f = a \cdot \bar{b} \cdot c + b \cdot c \cdot d + \bar{a} \cdot b \cdot d$.

**1.46.** Aplicando el álgebra de Boole, reducir la siguiente expresión booleana:

$$f = (\bar{a} + \bar{b} + c) \cdot (\bar{a} + c + d + \bar{e}) \cdot (b + d)$$

**Solución:** $f = (b + d) \cdot (a + c) + \bar{b} \cdot d$.

**1.47.** Reducir la siguiente función:

$$f = \bar{a} \cdot \bar{c} + \bar{a} \cdot \bar{b} + \bar{c} \cdot d + \bar{b} \cdot d$$

**Solución:** $f = (\overline{b \cdot c}) \cdot (\bar{a} + d)$.



**1.48.** Aplicar las leyes del álgebra de Boole a la siguiente función booleana:

$$f = a \cdot b \cdot \bar{c} + \bar{a} \cdot (\bar{d} + e) + a$$

**Solución:** $f = a + \bar{d} + e$.

**1.49.** Obtener la ecuación simplificada que representa a la Tabla de verdad 1.13:

**Tabla 1.13.** Tabla de verdad del Problema 1.49

| *a* | *b* | *c* | *f* |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

**Solución:** $f = a + \bar{b}$.

**1.50.** Dada la Tabla de verdad 1.14, obtener las ecuaciones minterms y maxterms y simplificarlas.

**Tabla 1.14.** Tabla de verdad del Problema 1.50

| *a* | *b* | *c* | *d* | *f* |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

**Solución:**
$f = \bar{c} + a \cdot d$ (minterms reducido)
$f = (\bar{c} + d) \cdot (a + \bar{c})$ (maxterms reducido).

**1.51.** Obtener la ecuación simplificada que representa la Tabla de verdad 1.15.

**Tabla 1.15.** Tabla de verdad del Problema 1.51

| *a* | *b* | *c* | *d* | *f* |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

**Solución:** $f = \bar{a} \cdot \bar{b} + \bar{b} \cdot c + \bar{c} \cdot \bar{d}$.

**1.52.** Transformar la siguiente expresión en las formas canónicas minterms y maxterms:

$$f = a \cdot \bar{b} + a \cdot c + b \cdot \bar{c}$$

**Solución:** $f = \bar{a} \cdot b \cdot \bar{c} + a \cdot b \cdot \bar{c} + a \cdot \bar{b} \cdot \bar{c} + a \cdot b \cdot c + a \cdot \bar{b} \cdot c$.
$f = (a + b + c) \cdot (a + b + \bar{c}) \cdot (a + \bar{b} + \bar{c})$.

**1.53.** Transformar la siguiente función en la forma canónica de suma de productos y en la de productos de sumas:

$$f = \bar{a} + \overline{(b \cdot \bar{c})}$$

**Solución:** $f = \bar{a} \cdot \bar{b} \cdot \bar{c} + \bar{a} \cdot \bar{b} \cdot c + \bar{a} \cdot b \cdot \bar{c} + \bar{a} \cdot b \cdot c + a \cdot b \cdot c + a \cdot \bar{b} \cdot \bar{c} + a \cdot \bar{b} \cdot c$
$f = (\bar{a} + \bar{b} + c)$.

**1.54.** Convertir en las formas canónicas de suma de productos y productos de sumas la siguiente función booleana:

$$f = \bar{a} \cdot \overline{(\bar{b} \cdot \bar{c})} \cdot (\bar{a} + \bar{b} + \bar{c})$$

**Solución:** $f = \bar{a} \cdot b \cdot \bar{c} + \bar{a} \cdot b \cdot c + \bar{a} \cdot \bar{b} \cdot c$
$f = (a + b + c) \cdot (\bar{a} + \bar{b} + c) \cdot (\bar{a} + \bar{b} + \bar{c}) \cdot (\bar{a} + b + c) \cdot (\bar{a} + b + \bar{c})$.

# CAPITULO 2

# Métodos tabulares de simplificación de ecuaciones

## 2.1. METODOS TABULARES DE SIMPLIFICACION

Existen bastantes métodos para realizar la simplificación de ecuaciones booleanas, si bien, en la práctica, son sólo dos los más empleados:

- **Mapas de Karnaugh:** Se pueden utilizar para simplificar funciones de dos a seis variables, aunque habitualmente sólo se los emplee para funciones de dos a cinco variables.
- **Tablas de Quine-McCluskey:** Se pueden emplear en la simplificación de ecuaciones de cualquier número de variables, pero se suelen utilizar solamente a partir de cinco variables.

## 2.2. MAPAS DE KARNAUGH

Están constituidos por una cuadrícula en forma de encasillado cuyo número de casillas depende del número de variables que tenga la función a simplificar. Cada una de las casillas representa las distintas combinaciones de las variables que puedan existir.

En la figura 2.1 aparecen las distintas formas que adoptan los mapas de Karnaugh en función del número de variables.

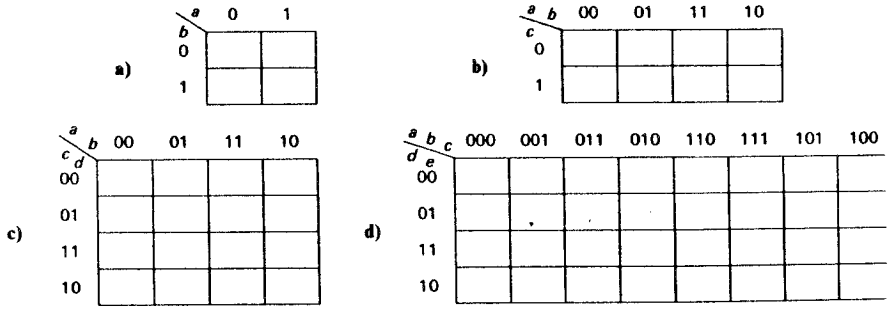



**Figura 2.1.** a) Mapa de dos variables. b) Mapa de tres variables. c) Mapa de cuatro variables. d) Mapa de cinco variables.

## 2.3. REPRESENTACION DE ECUACIONES BOOLEANAS EN MAPAS DE KARNAUGH

Cada una de las casillas que forman el mapa puede representar términos tanto minterms como maxterms. El convenio que se emplea es el mismo que ya enunciamos en el Capítulo 1 para obtener la ecuación booleana de una tabla de verdad; éste aparece en la Tabla 1.4 de dicho capítulo.

En la Figura 2.2 aparece, a modo de ejemplo, la equivalencia de cada una de las casillas de un mapa de cuatro variables expresada en términos minterms y en términos maxterms.

a)

| a b / c d | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | $\bar{a}\cdot\bar{b}\cdot\bar{c}\cdot\bar{d}$ | $\bar{a}\cdot b\cdot\bar{c}\cdot\bar{d}$ | $a\cdot b\cdot\bar{c}\cdot\bar{d}$ | $a\cdot\bar{b}\cdot\bar{c}\cdot\bar{d}$ |
| 01 | $\bar{a}\cdot\bar{b}\cdot\bar{c}\cdot d$ | $\bar{a}\cdot b\cdot\bar{c}\cdot d$ | $a\cdot b\cdot\bar{c}\cdot d$ | $a\cdot\bar{b}\cdot\bar{c}\cdot d$ |
| 11 | $\bar{a}\cdot\bar{b}\cdot c\cdot d$ | $\bar{a}\cdot b\cdot c\cdot d$ | $a\cdot b\cdot c\cdot d$ | $a\cdot\bar{b}\cdot c\cdot d$ |
| 10 | $\bar{a}\cdot\bar{b}\cdot c\cdot\bar{d}$ | $\bar{a}\cdot b\cdot c\cdot\bar{d}$ | $a\cdot b\cdot c\cdot\bar{d}$ | $a\cdot\bar{b}\cdot c\cdot\bar{d}$ |

b)

| a b / c d | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | $a+b+c+d$ | $a+\bar{b}+c+d$ | $\bar{a}+\bar{b}+c+d$ | $\bar{a}+b+c+d$ |
| 01 | $a+b+c+\bar{d}$ | $a+\bar{b}+c+\bar{d}$ | $\bar{a}+\bar{b}+c+\bar{d}$ | $\bar{a}+b+c+\bar{d}$ |
| 11 | $a+b+\bar{c}+\bar{d}$ | $a+\bar{b}+\bar{c}+\bar{d}$ | $\bar{a}+\bar{b}+\bar{c}+\bar{d}$ | $\bar{a}+b+\bar{c}+\bar{d}$ |
| 10 | $a+b+\bar{c}+d$ | $a+\bar{b}+\bar{c}+d$ | $\bar{a}+\bar{b}+\bar{c}+d$ | $\bar{a}+b+\bar{c}+d$ |

**Figura 2.2.** Equivalencia de las casillas de un mapa de cuatro variables. **a)** Términos minterms. **b)** Términos maxterms.

*Cuando vayamos a representar una ecuación en forma minterms, pondremos 1 en la casilla correspondiente a cada término. Por el contrario, si la representamos en forma maxterms, pondremos un 0 en la casilla correspondiente a cada término.*

Por último, hay que destacar que *cuando vayamos a representar una función booleana, ésta tiene que estar en su forma canónica (minterms o maxterms) completa y, por tanto, todos los términos han de contener todas las variables que intervienen en la función.* En el caso de tener que representar funciones incompletas, habrá que obtener previamente la forma canónica completa o representar todas las casillas que correspondan a término incompleto.

## 2.4. SIMPLIFICACION DE ECUACIONES EN MAPAS DE KARNAUGH

El principio de simplificación de los mapas se basa en una de las leyes del álgebra de Boole. Dicha ley es la (9) de la Tabla 1.3 del Capítulo 1, que dice:

$$a\cdot b + a\cdot\bar{b} = a$$



Como podemos observar en las Figuras 2.2*a* y 2.2*b*, todas las casillas contiguas, según los ejes coordenados, se caracterizan por diferenciarse sólo en una variable, que se encuentra negada en una de ellas y sin negar en la otra. Esta característica, que se cumple en todos los mapas, permite aplicar de una forma automática la ley anterior, consiguiendo así simplificar las casillas contiguas por sus variables comunes.

Generalizando este proceso de simplificación, podemos afirmar que en los mapas de Karnaugh se pueden simplificar entre sí, por sus variables comunes, los siguientes grupos de casillas:

- Grupos de 2, 4, 8, 16, 32 o 64 casillas contiguas según los ejes coordenados, pero nunca según ejes diagonales.
- Los grupos de casillas de los bordes del mapa opuestas entre sí.
- El grupo de casillas constituido por las cuatro esquinas del mapa.

Cuando en un mapa de Karnaugh tratemos de agrupar casillas para simplificar, *deberemos procurar conseguir grupos del máximo número de casillas*, pero respetando siempre las normas citadas. Al hacer los agrupamientos, *procuraremos incluir, si es posible, todos los términos representados, no existiendo ningún problema en que un término pertenezca a más de un agrupamiento.*

Por último, hay que mencionar que todo lo dicho es válido tanto para funciones minterms como para funciones maxterms.

## 2.5. TABLAS DE QUINE-McCLUSKEY

Este método consiste en una serie de tablas que, utilizando la *representación binaria equivalente de cada uno de los términos que componen la función booleana a simplificar, expresada siempre bajo la forma minterms*, tratan de encontrar las relaciones de similitud existentes entre dichos términos para, así, poderlos reducir aplicando la misma ley que en los mapas de Karnaugh.

El proceso de simplificación exige la obtención ordenada de las siguientes tablas:

- Tabla de agrupamientos base.
- Tabla de agrupamientos de orden: primero, segundo, tercero, etc.
- Tabla reductora final.

Para poder comprender el proceso de reducción veamos un ejemplo. Supongamos que se desea simplificar o reducir la siguiente función:

$$F = \bar{a}\cdot\bar{b}\cdot\bar{c}\cdot\bar{d} + a\cdot\bar{b}\cdot\bar{c}\cdot\bar{d} + a\cdot\bar{b}\cdot c\cdot\bar{d} + a\cdot b\cdot\bar{c}\cdot d +$$
$$+ \bar{a}\cdot b\cdot c\cdot d + \bar{a}\cdot\bar{b}\cdot c\cdot\bar{d} + a\cdot\bar{b}\cdot c\cdot\bar{d} + a\cdot b\cdot c\cdot d$$

En primer lugar, obtendremos la Tabla 2.1, o *tabla de agrupamientos base*, en la cual se clasifica cada uno de los términos de la función según el número de unos que contiene su equivalente binario.

**Tabla 2.1.** Tabla de agrupamientos base

| | | | |
|---|---|---|---|
| $\bar{a}\cdot\bar{b}\cdot\bar{c}\cdot\bar{d}$ | 0 0 0 0 | 0 | Indice 0 |
| $\bar{a}\cdot\bar{b}\cdot c\cdot\bar{d}$<br>$a\cdot\bar{b}\cdot\bar{c}\cdot\bar{d}$ | 0 0 1 0<br>1 0 0 0 | 2<br>8 | Indice 1 |
| $\bar{a}\cdot b\cdot\bar{c}\cdot d$<br>$a\cdot\bar{b}\cdot c\cdot\bar{d}$ | 0 1 0 1<br>1 0 1 0 | 5<br>10 | Indice 2 |
| $\bar{a}\cdot b\cdot c\cdot d$<br>$a\cdot b\cdot\bar{c}\cdot d$ | 0 1 1 1<br>1 1 0 1 | 7<br>13 | Indice 3 |
| $a\cdot b\cdot c\cdot d$ | 1 1 1 1 | 15 | Indice 4 |

Seguidamente obtendremos la Tabla 2.2, o *tabla de agrupamientos de primer orden*. Esta tabla se obtiene buscando, en la tabla de agrupamientos base y entre grupos de índices contiguos, combinaciones que sólo difieran en una cifra. Estas combinaciones se pondrán en la tabla de agrupamientos de primer orden, sustituyendo por un guión la cifra en que difieren.

**Tabla 2.2.** Tabla de agrupamientos de primer orden

| | | |
|---|---|---|
| 00-0<br>-000 | (0, 2)<br>(0, 8) | Indice 0 |
| -010<br>10-0 | (2, 10)<br>(8, 10) | Indice 1 |
| 01-1<br>-101 | (5, 7)<br>(5, 13) | Indice 2 |
| -111<br>11-1 | (7, 15)<br>(13, 15) | Indice 3 |

De forma similar obtendremos la Tabla 2.3, o *tabla de agrupamientos de segundo orden*.

**Tabla 2.3.** Tabla de agrupamientos de segundo orden

| | | |
|---|---|---|
| -0-0<br>-0-0 | (0, 2), (8, 10)<br>(0, 8), (2, 10) | Indice 0 |
| -1-1<br>-1-1 | (5, 7), (13, 15)<br>(5, 13), (7, 15) | Indice 2 |



Cuando en una tabla aparecen términos repetidos, se pueden eliminar, si bien conservando siempre su procedencia. Según lo dicho, la Tabla 2.3 se transforma en la Tabla 2.4.

**Tabla 2.4.** Tabla de agrupamientos de segundo orden simplificada

| | | |
|---|---|---|
| -0-0 | (0, 2, 8, 10) | Indice 0 |
| -1-1 | (5, 7, 13, 15) | Indice 2 |

En las sucesivas reducciones, se van eliminando grupos de índices, pudiendo eliminarse incluso grupos de índices intermedios. El proceso de reducción deberá seguir hasta que no sea posible realizar más agrupamientos; en este momento se obtendrá la Tabla 2.5, o *tabla reductora final*. Esta tabla se obtiene poniendo todos los agrupamientos del orden superior realizados; si con ellos no están cubiertos todos los términos de la tabla de agrupamientos base, se añadirán agrupamientos del orden inmediatamente inferior, y así sucesivamente, hasta que estén cubiertos todos los términos de la tabla de agrupamientos base.

**Tabla 2.5.** Tabla reductora final

| *a* | *b* | *c* | *d* | 0 | 2 | 5 | 7 | 8 | 10 | 13 | 15 |
|---|---|---|---|---|---|---|---|---|---|---|---|
| – | 0 | – | 0 | X | X | | | X | X | | |
| – | 1 | – | 1 | | | X | X | | | X | X |

El resultado de la simplificación se obtiene de la tabla reductora final, formando términos equivalentes a las combinaciones binarias indicadas en la tabla y empleando para ello el convenio de las ecuaciones minterms (0 = variable negada y 1 = variable sin negar), de manera que todos los términos de la tabla de agrupamientos base estén incluidos en las reducciones que dichas combinaciones equivalentes representan.

Por todo ello, el resultado final será

$$F = \bar{b}\cdot\bar{d} + b\cdot d = \overline{b \oplus d}$$

## 2.6. TERMINOS INDIFERENTES EN UNA FUNCION BOOLEANA

Las funciones booleanas estudiadas en el Capítulo 1 tienen su campo de aplicación, como ya dijimos, en los circuitos digitales. En estos circuitos, cada una de las variables que componen la ecuación booleana de funcionamiento se corresponde con las entradas del circuito, siendo su salida la propia función.

Sucede a veces en los circuitos digitales que ciertas combinaciones de sus variables de entrada no pueden producirse nunca debido a que otros circuitos anteriores impiden su llegada a nuestro

circuito. A estas combinaciones de entrada que, apareciendo en la tabla de verdad de funcionamiento del mencionado circuito, no producen en la salida ni 0 ni 1 las denominamos *combinaciones indiferentes, y se representan en las tablas de verdad por* $\times$ *o* $\phi$. A su vez, estas combinaciones indiferentes dan lugar a *términos indiferentes*, que pueden ser representados en los mapas de Karnaugh y se los puede considerar bien como 0 o como 1 según convenga para las simplificaciones y sin que ello conlleve alteraciones en la respuesta de la función; es decir, del circuito.

## PROBLEMAS RESUELTOS

**2.1.** Representar en un mapa de Karnaugh la siguiente función booleana y simplificarla:

$$F = \bar{a} \cdot b + \bar{a} \cdot \bar{b} + a \cdot \bar{b}$$

**Solución:** La función a representar está bajo la forma de minterms completo de dos variables, causa por la que emplearemos el mapa de dos variables, poniendo un 1 en la casilla correspondiente a cada término, tal como aparece en la Figura 2.3.

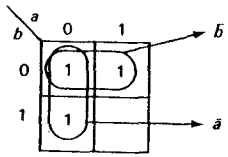



**Figura 2.3.** Mapa del Problema 2.1.

Si se agrupan las casillas contiguas que se indican en la Figura 2.3, el resultado de la simplificación será

$$F = \bar{a} + \bar{b} = \overline{a \cdot b}$$

**2.2.** Dada la siguiente función, representarla en un mapa de Karnaugh y simplificarla:

$$F = (\bar{a} + \bar{b}) \cdot (\bar{a} + b) \cdot (a + b)$$

**Solución:** La función está bajo la forma de maxterms completo, luego emplearemos un mapa de dos variables, poniendo un 0 en la casilla correspondiente a cada término. La Figura 2.4 nos muestra la representación.

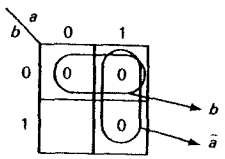



**Figura 2.4.** Mapa del Problema 2.2.



Agrupando casillas, se obtiene

$$F = \bar{a} \cdot b$$

**2.3.** Realizar la representación de la siguiente función en un mapa de Karnaugh:

$$F = a \cdot b \cdot c + \bar{a} \cdot \bar{b} \cdot \bar{c} + a \cdot b \cdot \bar{c} + a \cdot \bar{b} \cdot c$$

**Solución:** Se trata de una ecuación en la forma de minterms completo de tres variables. Emplearemos, por tanto, un mapa de tres variables, colocando un 1 en las casillas correspondientes. La Figura 2.5 nos da el resultado final.

| a b \ c | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 0 | 1 | | 1 | |
| 1 | | | 1 | 1 |

**Figura 2.5.** Resultado del Problema 2.3.

**2.4.** Dada la función siguiente, representarla en un mapa de Karnaugh:

$$F = (a + b + c) \cdot (\bar{a} + b + c) \cdot (a + \bar{b} + \bar{c}) \cdot (\bar{a} + \bar{b} + \bar{c})$$

**Solución:** La ecuación a representar está expresada bajo la forma de maxterms completo de tres variables, y nosotros representaremos cada uno de sus términos por un 0 en la casilla correspondiente de un mapa de Karnaugh de tres variables. En la Figura 2.6 aparece el resultado del problema.

| a b \ c | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 0 | 0 | | | 0 |
| 1 | | 0 | 0 | |

**Figura 2.6.** Resultado del Problema 2.4.

**2.5.** Representar la siguiente función en un mapa de Karnaugh:

$$F = a \cdot b + a \cdot c + a \cdot \bar{b} \cdot \bar{c}$$

**Solución:** La función que ha de representarse está bajo la forma de minterms incompleto de tres variables, causa por la que no podemos proceder como en los problemas anteriores, teniendo dos opciones para realizar la representación:

*Método 1:* Obtener la ecuación minterms completa por la aplicación del álgebra de Boole.
*Método 2:* Analizar cada término incompleto para razonar las casillas del mapa, cuya simplificación daría lugar a dicho término.

A modo de ejemplo, resolveremos este problema por ambos métodos, aunque lo más habitual es resolverlo por el método 2.

*Método 1:* Procediendo como se explicó en el Problema 1.29 del Capítulo 1, la función dada se transforma en

$$F = a \cdot b \cdot (c + \bar{c}) + a \cdot c \cdot (b + \bar{b}) + a \cdot \bar{b} \cdot \bar{c}$$

$$F = a \cdot b \cdot c + a \cdot b \cdot \bar{c} + a \cdot b \cdot c + a \cdot \bar{b} \cdot c + a \cdot \bar{b} \cdot \bar{c}$$

$$F = a \cdot b \cdot c + a \cdot b \cdot \bar{c} + a \cdot \bar{b} \cdot c + a \cdot \bar{b} \cdot \bar{c}$$

ecuación que representa el misterms completo de la función.

*Método 2:* En la función dada, los dos primeros términos están incompletos; por tanto, debemos deducir de la simplificación de qué términos provienen.

Al término $a \cdot b$ le falta la variable $c$, luego debe provenir de la simplificación de los dos términos que se pueden formar añadiéndole dicha variable en las formas negada y sin negar, esto es,

$$a \cdot b \rightarrow a \cdot b \cdot c + a \cdot b \cdot \bar{c}$$

De igual forma, al término $a \cdot c$ le falta $b$, luego

$$a \cdot c \rightarrow a \cdot b \cdot c + a \cdot \bar{b} \cdot c$$

La función completa se logra añadiendo a los términos completos la suma de los equivalentes a los incompletos obtenidos anteriormente

$$F = a \cdot b \cdot c + a \cdot b \cdot \bar{c} + a \cdot \bar{b} \cdot c + a \cdot \bar{b} \cdot \bar{c}$$

Una vez obtenida la función en su forma minterms completa se procede a su representación en un mapa de tres variables, tal y como aparece en la Figura 2.7.

| a b / c | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 0 | | | 1 | 1 |
| 1 | | | 1 | 1 |

**Figura 2.7.** Resultado del Problema 2.5.

**2.6.** Dada la siguiente función booleana, representarla en un mapa de Karnaugh:

$$F = b \cdot (a + \bar{c}) \cdot (\bar{a} + b + \bar{c})$$

**Solución:** Como se trata de una función en la forma de maxterms incompleto, deberemos, al igual que en el problema anterior, tratar de obtener los términos de los que proviene cada término incompleto.

El término $b$, al que le faltan dos variables, proviene de la simplificación de todos los términos formados, añadiéndole todas las posibles combinaciones de dichas variables, es decir,

$$b \rightarrow (\bar{a} + b + \bar{c}) \cdot (\bar{a} + b + c) \cdot (a + b + \bar{c}) \cdot (a + b + c)$$



De igual modo, el otro término incompleto proviene de

$$(a + \bar{c}) \rightarrow (a + b + \bar{c}) \cdot (a + \bar{b} + \bar{c})$$

luego la función completa será

$$F = (\bar{a} + b + \bar{c}) \cdot (\bar{a} + b + c) \cdot (a + b + \bar{c}) \cdot (a + b + c) \cdot (a + \bar{b} + \bar{c})$$

Por último, pasemos a representar la función en un mapa de tres variables, poniendo un 0 en las casillas correspondientes, obteniendo así la Figura 2.8.

| a b / c | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 0 | 0 | | | 0 |
| 1 | 0 | 0 | | 0 |

**Figura 2.8.** Resultado del Problema 2.6.

**2.7.** Partiendo del mapa de Karnaugh de la Figura 2.9, obtener la función minterms y maxterms completas que representa.

| a b / c | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 0 | 1 | | 1 | 1 |
| 1 | 1 | | | 1 |

**Figura 2.9.** Mapa del Problema 2.7.

**Solución:** La función en su forma minterms se obtiene partiendo de las casillas del mapa que contengan 1, sustituyendo los ceros de la parte superior de la columna, y del margen izquierdo de la fila, por la variable negada, y los unos por la variable sin negar. Con este convenio formaremos una suma de términos constituidos por el producto de las variables de cada casilla con 1. El resultado será

$$F = \bar{a} \cdot \bar{b} \cdot \bar{c} + \bar{a} \cdot \bar{b} \cdot c + a \cdot b \cdot \bar{c} + a \cdot \bar{b} \cdot \bar{c} + a \cdot \bar{b} \cdot c$$

La ecuación en la forma maxterms se obtiene de las casillas que no tengan 1, formando un producto de términos en forma de suma de las variables, empleando el convenio contrario al que se utilizó para obtener los términos minterms. El resultado será, finalmente,

$$F = (a + \bar{b} + c) \cdot (a + \bar{b} + \bar{c}) \cdot (\bar{a} + \bar{b} + \bar{c})$$

Ambas ecuaciones representan la misma función, hecho que se puede comprobar aplicando a la función en forma maxterms las leyes del álgebra de Boole.

**2.8.** Partiendo del mapa de la Figura 2.10, obtener la ecuación que representa, tanto en su forma minterms como maxterms completas.

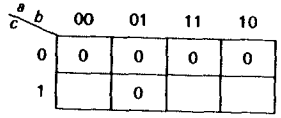



**Figura 2.10.** Mapa del Problema 2.8.

**Solución:** La función en forma maxterms será

$$F = (a + b + c) \cdot (a + \bar{b} + c) \cdot (\bar{a} + \bar{b} + c) \cdot (\bar{a} + b + c) \cdot (a + \bar{b} + \bar{c})$$

Partiendo de las casillas vacías, se obtiene el minterms:

$$F = \bar{a} \cdot \bar{b} \cdot c + a \cdot b \cdot c + a \cdot \bar{b} \cdot c$$

**2.9.** Simplificar la función siguiente empleando los mapas de Karnaugh:

$$F = a \cdot b \cdot c + a \cdot \bar{b} \cdot c + a \cdot b \cdot \bar{c} + \bar{a} \cdot \bar{b} \cdot \bar{c} + \bar{a} \cdot b$$

**Solución:** Comenzaremos por representar la función en el mapa, teniendo en cuenta que su último término está incompleto. El término incompleto proviene de

$$\bar{a} \cdot b \rightarrow \bar{a} \cdot b \cdot c + \bar{a} \cdot b \cdot \bar{c}$$

La función representada aparece en la Figura 2.11.

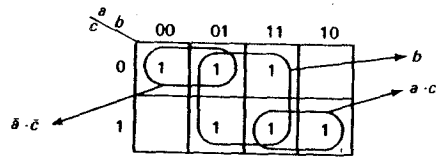



**Figura 2.11.** Mapa del Problema 2.9.

Aplicando las normas de simplificación que se exponen en el Apartado 2.4 de la introducción teórica de este capítulo, se obtienen los agrupamientos indicados en la Figura 2.11, dando como resultado de la simplificación la siguiente ecuación

$$F = b + a \cdot c + \bar{a} \cdot \bar{c} = b + a \cdot c + \overline{(a + c)}$$

obteniéndose esta última simplificación de la aplicación de las leyes de De Morgan.

También se podrían haber realizado otros agrupamientos, por ejemplo, los que aparecen en la Figura 2.12, pero estos agrupamientos darían lugar a una ecuación menos simplificada, por no haberse realizado el agrupamiento de cuatro casillas.



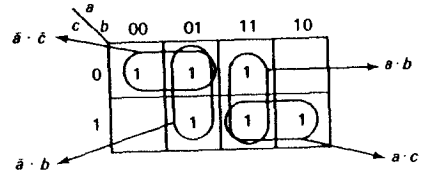



**Figura 2.12.** Resultado del Problema 2.9.

**2.10.** Simplificar la función del Problema 2.6 empleando los mapas de Karnaugh.

**Solución:** Según dedujimos en el Problema 2.6, la función completa era

$$F = (\bar{a} + b + \bar{c}) \cdot (\bar{a} + b + c) \cdot (a + b + \bar{c}) \cdot (a + b + c) \cdot (a + \bar{b} + \bar{c})$$

y su representación en un mapa de tres variables es el de la Figura 2.13, en la cual hemos realizado los agrupamientos oportunos.

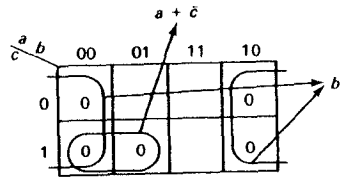



**Figura 2.13.** Mapa del Problema 2.10.

La función simplificada será, por tanto, la siguiente:

$$F = b \cdot (a + \bar{c})$$

En el anterior mapa podríamos haber realizado la simplificación también bajo la forma minterms, ya que en un mapa de Karnaugh todas las casillas que no corresponden a términos maxterms son términos minterms. Por tanto, de haber simplificado por maxterms los agrupamientos realizados, hubieran sido los señalados en la Figura 2.14.

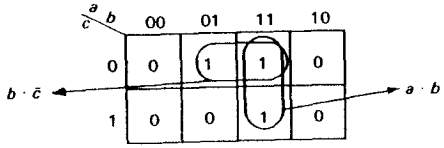



**Figura 2.14.** Mapa variado del Problema 2.10.

La ecuación resultante sería

$$F = b \cdot \bar{c} + a \cdot b$$

ecuación de la que es muy fácil comprobar que se trata de la misma obtenida por simplificación desde la representación maxterms.

**2.11.** Obtener la función simplificada correspondiente a la Tabla de verdad 2.6 empleando los mapas de Karnaugh.

**Tabla 2.6.** Tabla de verdad del Problema 2.11

| *a* | *b* | *c* | *F* |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |

**Solución:** Cuando se desea simplificar una función desde su tabla de verdad, no es preciso obtener previamente la ecuación de la función sin simplificar para seguidamente representarla en el mapa y proceder a su simplificación. En la práctica, *se puede representar la función, directamente desde la tabla de verdad al mapa, sin más que ir colocando los unos o los ceros en las casillas correspondientes a los valores que toma la función para cada una de las combinaciones binarias de las variables que forman dicha función.* Por último, se procederá a la simplificación por los métodos habituales.

Otro punto a tener en cuenta al simplificar una función booleana desde su tabla de verdad es si debemos representar la ecuación bajo la forma de minterms o de maxterms. La norma práctica que en principio debemos aplicar ya se explicó en el Capítulo 1, y consiste en representar la ecuación en la forma canónica que menos términos tenga en la salida de dicha tabla. Esta norma no impide que a veces se obtengan ecuaciones más simplificadas representando en el mapa la forma canónica que más términos tiene en la tabla de verdad.

En este problema representaremos la forma canónica minterms, al ser la de menos términos en la tabla de verdad, tal y como aparece en la Figura 2.15.

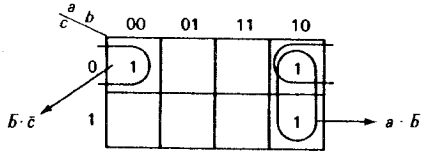



**Figura 2.15.** Mapa del Problema 2.11.



La ecuación simplificada será $F = a \cdot \bar{b} + \bar{b} \cdot \bar{c}$

**2.12.** Dada la Tabla de verdad 2.7, obtener la ecuación más simplificada de la función que representa.

**Tabla 2.7.** Tabla de verdad del Problema 2.12

| *a* | *b* | *c* | *F* |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

**Solución:** En este caso deberemos representar en el mapa la ecuación en forma maxterms, tal y como aparece en la Figura 2.16.

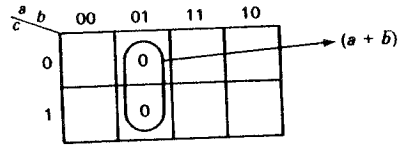



**Figura 2.16.** Mapa del Problema 2.12.

Siendo la simplificación final $F = a + \bar{b}$

**2.13.** Simplificar por mapas de Karnaugh la función definida por la Tabla 2.8.

**Tabla 2.8.** Tabla de verdad del Problema 2.13

| *a* | *b* | *c* | *F* |
|---|---|---|---|
| 0 | 0 | 0 | × |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | × |

**Solución:** En la Tabla 2.8 aparecen por primera vez términos indiferentes que deberán ser siempre representados en la tabla, independientemente de realizar la simplificación por minterms o maxterms. El tratamiento de estos términos indiferentes se explicó en el Apartado 2.6 de la introducción teórica de este capítulo.

Si analizamos la Tabla 2.8, nos damos cuenta de que el número de términos minterms es igual al número de términos maxterms. En estos casos debe intentarse simplificar por ambos tipos de ecuaciones y decidir cuál de los resultados es el más simplificado.

En la Figura 2.17 aparecen ambas representaciones y las simplificaciones correspondientes.

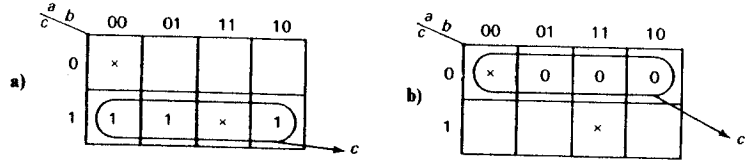



**Figura 2.17.** Mapas del Problema 2.13. **a)** Simplificación por minterms. **b)** Simplificación por maxterms

Como vemos en las Figuras 2.17*a* y 2.17*b*, los términos indiferentes han sido utilizados unas veces como 1 y otras como 0, incluso no se los utilizó a todos en las simplificaciones. Las ecuaciones son:

- Ecuación por minterms, $F = c$.
- Ecuación por maxterms, $F = c$.

**2.14.** Dada la Tabla de verdad 2.9, simplificar por Karnaugh la ecuación que representa.

**Tabla 2.9.** Tabla de verdad del Problema 2.14

| *a* | *b* | *c* | *F* |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | × |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | × |
| 1 | 1 | 1 | 1 |

**Solución:** Según la Tabla 2.9 deberíamos representar la ecuación maxterms por tener menos términos. En la Figura 2.18 tenemos dicha representación

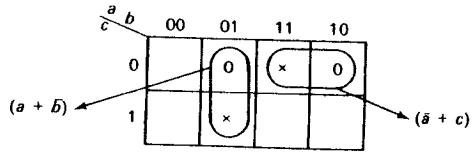



**Figura 2.18.** Mapa del Problema 2.14.



siendo la ecuación resultante

$$F = (a + \bar{b}) \cdot (\bar{a} + c)$$

Sin embargo, si hubiéramos realizado la simplificación por minterms, hubiéramos obtenido la siguiente ecuación

$$F = c + \bar{a} \cdot \bar{b}$$

ecuación que resulta más simplificada que la anterior, lo cual nos demuestra lo ya advertido en el Problema 2.11.

*Las ecuaciones resultantes cumplen ambas la tabla de verdad, pero en los casos donde se emplearon términos indiferentes no siempre son equivalentes;* es decir, no se puede llegar de una ecuación a la otra por aplicación del álgebra de Boole, tal y como ocurría en los problemas anteriores.

**2.15.** Representar la siguiente función en una mapa de Karnaugh:

$$F = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot \bar{b} \cdot c \cdot d + \bar{a} \cdot \bar{b} \cdot c \cdot \bar{d} + \bar{a} \cdot b \cdot \bar{c} \cdot d +$$
$$+ a \cdot b \cdot \bar{c} \cdot d + a \cdot b \cdot c \cdot \bar{d} + a \cdot \bar{b} \cdot \bar{c} \cdot d$$

**Solución:** La función a representar se trata de un minterms completo de cuatro variables, por lo cual emplearemos un mapa de cuatro variables. La Figura 2.19 nos muestra la representación de la función

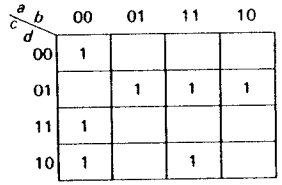



**Figura 2.19.** Mapa con el resultado del Problema 2.15.

**2.16.** Realizar la representación de la función $F$ en un mapa de Karnaugh

$$F = (a + b + c + \bar{d}) \cdot (a + b + c + d) \cdot (\bar{a} + \bar{b} + \bar{c} + \bar{d}) \cdot$$
$$\cdot (a + \bar{b} + c + \bar{d}) \cdot (a + b + \bar{c} + d)$$

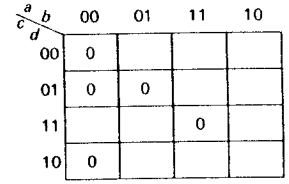



**Figura 2.20.** Mapa con el resultado del Problema 2.16.

**Solución:** En este caso se trata de una ecuación en la forma de maxterms completo de cuatro variables, siendo su representación la de la Figura 2.20.

**2.17.** Emplear un mapa de Karnaugh para representar la siguiente función:

$$F = a \cdot \bar{d} + b \cdot \bar{d}$$

**Solución:** Al tratarse de una ecuación en la forma de minterms incompleto, deberemos, en primer lugar, analizar los términos de cuya simplificación provienen cada uno de los sumandos incompletos que constituyen la función

$$a \cdot \bar{d} \rightarrow a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + a \cdot \bar{b} \cdot c \cdot \bar{d} + a \cdot b \cdot \bar{c} \cdot \bar{d} + a \cdot b \cdot c \cdot \bar{d}$$
$$b \cdot \bar{d} \rightarrow \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot b \cdot c \cdot \bar{d} + a \cdot b \cdot \bar{c} \cdot \bar{d} + a \cdot b \cdot c \cdot \bar{d}$$

Por tanto, la función completa será

$$F = a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + a \cdot \bar{b} \cdot c \cdot \bar{d} + a \cdot b \cdot \bar{c} \cdot \bar{d} + a \cdot b \cdot c \cdot \bar{d} + \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot b \cdot c \cdot \bar{d}$$

Seguidamente, en la Figura 2.21 se obtiene la representación de la función.

| c \ a b / d | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | | 1 | 1 | 1 |
| 01 | | | | |
| 11 | | | | |
| 10 | | 1 | 1 | 1 |

**Figura 2.21.** Mapa con el resultado del Problema 2.17.

**2.18.** Representar la función definida por la siguiente ecuación en un mapa de Karnaugh:

$$F = (a + c) \cdot (a + \bar{b}) \cdot (\bar{a} + b + \bar{d})$$

**Solución:** En primer lugar, obtendremos la ecuación maxterms completa

$$(a + c) \rightarrow (a + \bar{b} + c + \bar{d}) \cdot (a + \bar{b} + c + d) \cdot (a + b + c + \bar{d}) \cdot (a + b + c + d)$$
$$(a + \bar{b}) \rightarrow (a + \bar{b} + \bar{c} + \bar{d}) \cdot (a + \bar{b} + \bar{c} + d) \cdot (a + \bar{b} + c + \bar{d}) \cdot (a + \bar{b} + c + d)$$
$$(\bar{a} + b + \bar{d}) \rightarrow (\bar{a} + b + c + \bar{d}) \cdot (\bar{a} + b + \bar{c} + \bar{d})$$



Por tanto, la función completa será

$$F = (a + \bar{b} + c + \bar{d}) \cdot (a + \bar{b} + c + d) \cdot (a + b + c + \bar{d}) \cdot (a + b + c + d) \cdot (a + \bar{b} + \bar{c} + \bar{d}) \cdot (a + \bar{b} + \bar{c} + d) \cdot (\bar{a} + b + c + \bar{d}) \cdot (\bar{a} + b + \bar{c} + \bar{d})$$

En la Figura 2.22 aparece la representación de la función.

| c \ a b / d | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 0 | 0 | | |
| 01 | 0 | 0 | | 0 |
| 11 | | 0 | | 0 |
| 10 | | 0 | | |

**Figura 2.22.** Mapa con el resultado del Problema 2.18.

**2.19.** Simplificar la siguiente función con mapas de Karnaugh:

$$F = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d + \bar{a} \cdot b \cdot \bar{c} \cdot d + a \cdot b \cdot \bar{c} \cdot d + \bar{a} \cdot \bar{b} \cdot c \cdot d + \bar{a} \cdot \bar{b} \cdot c \cdot \bar{d} + a \cdot \bar{b} \cdot c \cdot \bar{d}$$

**Solución:** Representando en un mapa de cuatro variables esta ecuación minterms completa, obtendremos la Figura 2.23.

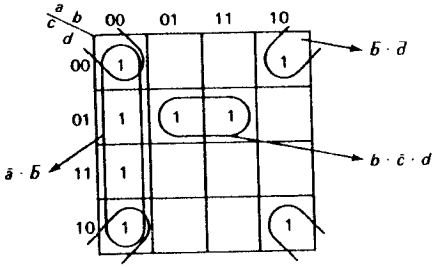



**Figura 2.23.** Mapa del Problema 2.19.

Si aplicamos las simplificaciones indicadas en la Figura 2.23, se obtiene la siguiente ecuación de la función

$$F = \bar{a} \cdot \bar{b} + \bar{b} \cdot \bar{d} + b \cdot \bar{c} \cdot d$$

**2.20.** Representar y simplificar la siguiente función en un mapa de Karnaugh:

$$F = (a + b + c + d) \cdot (a + b + c + \bar{d}) \cdot (a + b + \bar{c} + \bar{d}) \cdot$$
$$\cdot (a + b + \bar{c} + d) \cdot (a + \bar{b} + c + d) \cdot (a + \bar{b} + c + \bar{d}) \cdot$$
$$\cdot (a + \bar{b} + \bar{c} + \bar{d}) \cdot (a + \bar{b} + \bar{c} + d) \cdot (\bar{a} + \bar{b} + \bar{c} + \bar{d})$$

**Solución:** En primer lugar, representaremos el maxterms completo de cuatro variables en el mapa de Karnaugh de la Figura 2.24.

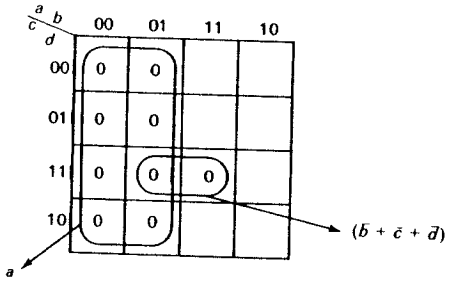



**Figura 2.24.** Mapa del Problema 2.20.

De las simplificaciones aplicadas en la Figura 2.24 se obtiene la siguiente ecuación:

$$F = a \cdot (\bar{b} + \bar{c} + \bar{d})$$

**2.21.** Aplicando los mapas de Karnaugh, simplificar la siguiente función:

$$F = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} + a \cdot \bar{c} \cdot \bar{d} + a \cdot c +$$
$$+ \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d + \bar{a} \cdot \bar{b} \cdot c \cdot d + \bar{a} \cdot \bar{b} \cdot c \cdot \bar{d}$$

**Solución:** Completaremos, en primer lugar, los sumandos incompletos de la ecuación

$$a \cdot \bar{c} \cdot \bar{d} \rightarrow a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + a \cdot b \cdot \bar{c} \cdot \bar{d}$$
$$a \cdot c \rightarrow a \cdot \bar{b} \cdot c \cdot \bar{d} + a \cdot \bar{b} \cdot c \cdot d + a \cdot b \cdot c \cdot \bar{d} + a \cdot b \cdot c \cdot d$$

La ecuación minterms completa correspondiente a la función será

$$F = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d + \bar{a} \cdot \bar{b} \cdot c \cdot \bar{d} + \bar{a} \cdot \bar{b} \cdot c \cdot d + \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} + a \cdot b \cdot \bar{c} \cdot \bar{d} +$$
$$+ a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + a \cdot \bar{b} \cdot c \cdot d + a \cdot b \cdot c \cdot d + a \cdot b \cdot c \cdot \bar{d} + a \cdot \bar{b} \cdot c \cdot \bar{d}$$

En la Figura 2.25 se encuentra la representación y simplificación de la función anterior.



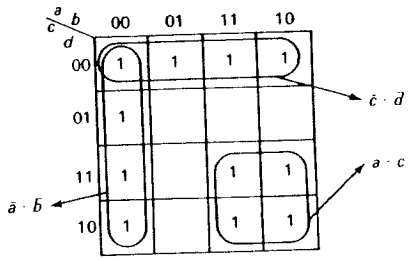



**Figura 2.25.** Mapa del Problema 2.21.

La ecuación simplificada será, por fin,

$$F = \bar{a} \cdot \bar{b} + a \cdot c + \bar{c} \cdot \bar{d}$$

**2.22.** Simplificar en un mapa de Karnaugh la siguiente función:

$$F = (\bar{a} + \bar{b} + c + d) \cdot (\bar{a} + \bar{b} + \bar{c} + d) \cdot (b + d)$$

**Solución:** Sustituyendo el término incompleto de la función por sus formas canónicas, tendremos

$$(b + d) \rightarrow (\bar{a} + b + \bar{c} + d) \cdot (\bar{a} + b + c + d) \cdot (a + b + \bar{c} + d) \cdot (a + b + c + d)$$

de donde la función completa será

$$F = (\bar{a} + \bar{b} + c + d) \cdot (\bar{a} + \bar{b} + \bar{c} + d) \cdot (\bar{a} + b + \bar{c} + d) \cdot$$
$$\cdot (\bar{a} + b + c + d) \cdot (a + b + \bar{c} + d) \cdot (a + b + c + d)$$

La Figura 2.26 nos muestra la representación y agrupamientos simplificativos realizados.

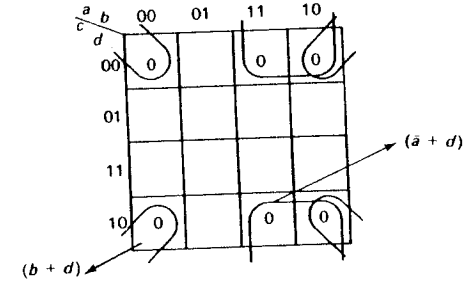



**Figura 2.26.** Mapa del Problema 2.22.

Del mapa anterior, se obtiene la siguiente ecuación:

$$F = (b + d) \cdot (\bar{a} + d)$$

**2.23.** Obtener la ecuación simplificada de la función booleana que aparece representada en la Tabla 2.10.

**Tabla 2.10.** Tabla de verdad del Problema 2.23

| *a* | *b* | *c* | *d* | *F* |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

**Solución:** Teniendo en cuenta que el número de ceros de la función es menor que el de unos, representaremos la forma canónica maxterms. Para ello, pasaremos directamente las combinaciones de entrada que hacen 0 la salida a las casillas correspondientes, como se observa en la Figura 2.27.

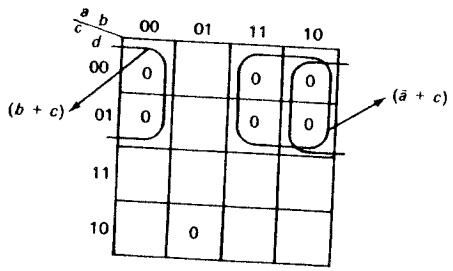



**Figura 2.27.** Mapa del Problema 2.23.



Teniendo en cuenta el convenio de representación de un maxterms (0 variable sin negar y 1 variable negada), así como los agrupamientos realizados, la ecuación final será

$$F = (\bar{a} + c) \cdot (b + c) \cdot (a + \bar{b} + \bar{c} + d)$$

**2.24.** Dado el mapa de Karnaugh de la Figura 2.28, realizar las simplificaciones oportunas y obtener la función en él representada.

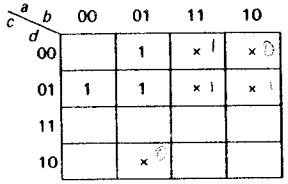



**Figura 2.28.** Mapa del Problema 2.24.

**Solución:** El mapa de la Figura 2.28 representa una función booleana bajo la forma minterms en la que existen términos indiferentes. En la Figura 2.29 se representa la manera de realizar los agrupamientos simplificativos:

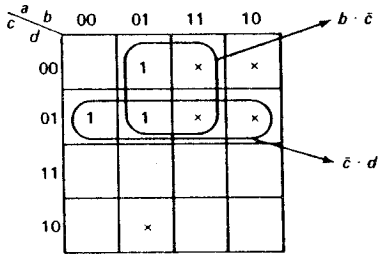



**Figura 2.29.** Mapa con el resultado del Problema 2.24.

La ecuación resultante del mapa anterior es

$$F = \bar{c} \cdot d + b \cdot \bar{c} = \bar{c} \cdot (b + d)$$

**2.25.** Simplificar la función representada por la Tabla de verdad 2.11.

**Tabla 2.11.** Tabla de verdad del Problema 2.25

| *a* | *b* | *c* | *d* | *F* |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1. |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | × |
| 1 | 0 | 0 | 0 | × |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | × |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

**Solución:** Teniendo en cuenta que el número de ceros de la salida de la tabla es inferior al de unos, representaremos en el mapa la función maxterms y los términos indiferentes, obteniéndose así la Figura 2.30.

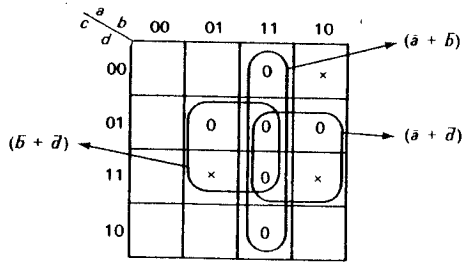



**Figura 2.30.** Mapa con el resultado del Problema 2.25.



Del anterior mapa se deduce la siguiente ecuación:

$$F = (\bar{a} + \bar{b}) \cdot (\bar{b} + \bar{d}) \cdot (\bar{a} + \bar{d})$$

**2.26.** Representar la siguiente función booleana en un mapa de Karnaugh:

$$F = \bar{a} \cdot b \cdot c \cdot d \cdot e + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d \cdot e + \bar{a} \cdot b \cdot c \cdot \bar{d} \cdot \bar{e} + \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} \cdot \bar{e} + a \cdot b \cdot \bar{c} \cdot \bar{d} \cdot \bar{e} +$$
$$+ \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot e + a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot e + a \cdot b \cdot c \cdot d \cdot e + a \cdot \bar{b} \cdot \bar{c} \cdot d \cdot e + a \cdot \bar{b} \cdot c \cdot d \cdot \bar{e}$$

**Solución:** Al tratarse de una función bajo la forma de minterms completo de cinco variables, utilizaremos por primera vez el mapa de Karnaugh de cinco variables con las mismas normas de representación hasta ahora empleadas. El resultado del problema podemos verlo en la Figura 2.31.

| d \ a b c / e | 000 | 001 | 011 | 010 | 110 | 111 | 101 | 100 |
|---|---|---|---|---|---|---|---|---|
| 00 | | | 1 | 1 | 1 | | | |
| 01 | 1 | | | | | | | 1 |
| 11 | 1 | | 1 | | | 1 | | 1 |
| 10 | | | | | | | 1 | |

**Figura 2.31.** Resultado del Problema 2.26.

**2.27.** Simplificar en un mapa de Karnaugh la siguiente función booleana:

$$F = \bar{a} \cdot \bar{b} \cdot \bar{c} + \bar{a} \cdot \bar{b} \cdot c + \bar{d} \cdot e + \bar{a} \cdot b \cdot d \cdot e + a \cdot b \cdot d \cdot e + a \cdot \bar{b}$$

**Solución:** Comenzaremos por completar los términos incompletos de la función dada

$$\bar{a} \cdot \bar{b} \cdot \bar{c} \rightarrow \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot \bar{e} + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot e + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d \cdot \bar{e} + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d \cdot e$$
$$\bar{a} \cdot \bar{b} \cdot c \rightarrow \bar{a} \cdot \bar{b} \cdot c \cdot \bar{d} \cdot \bar{e} + \bar{a} \cdot \bar{b} \cdot c \cdot \bar{d} \cdot e + \bar{a} \cdot \bar{b} \cdot c \cdot d \cdot \bar{e} + \bar{a} \cdot \bar{b} \cdot c \cdot d \cdot e$$
$$\bar{d} \cdot e \rightarrow \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot e + \bar{a} \cdot \bar{b} \cdot c \cdot \bar{d} \cdot e + \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} \cdot e + \bar{a} \cdot b \cdot c \cdot \bar{d} \cdot e +$$
$$+ a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot e + a \cdot \bar{b} \cdot c \cdot \bar{d} \cdot e + a \cdot b \cdot \bar{c} \cdot \bar{d} \cdot e + a \cdot b \cdot c \cdot \bar{d} \cdot e$$
$$a \cdot \bar{b} \rightarrow a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot \bar{e} + a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot e + a \cdot \bar{b} \cdot \bar{c} \cdot d \cdot \bar{e} + a \cdot \bar{b} \cdot \bar{c} \cdot d \cdot e +$$
$$+ a \cdot \bar{b} \cdot c \cdot \bar{d} \cdot \bar{e} + a \cdot \bar{b} \cdot c \cdot \bar{d} \cdot e + a \cdot \bar{b} \cdot c \cdot d \cdot \bar{e} + a \cdot \bar{b} \cdot c \cdot d \cdot e$$

Luego la función completa será

$$F = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot \bar{e} + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d \cdot \bar{e} + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot e + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d \cdot e + \bar{a} \cdot \bar{b} \cdot c \cdot \bar{d} \cdot \bar{e} +$$
$$+ \bar{a} \cdot \bar{b} \cdot c \cdot \bar{d} \cdot e + \bar{a} \cdot \bar{b} \cdot c \cdot d \cdot \bar{e} + \bar{a} \cdot \bar{b} \cdot c \cdot d \cdot e + \bar{a} \cdot b \cdot c \cdot \bar{d} \cdot e + \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} \cdot e +$$
$$+ a \cdot b \cdot \bar{c} \cdot \bar{d} \cdot e + a \cdot b \cdot c \cdot \bar{d} \cdot e + a \cdot \bar{b} \cdot c \cdot \bar{d} \cdot \bar{e} + a \cdot \bar{b} \cdot c \cdot \bar{d} \cdot e + a \cdot \bar{b} \cdot c \cdot d \cdot \bar{e} +$$
$$+ a \cdot \bar{b} \cdot c \cdot d \cdot e + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot e + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d \cdot e + \bar{a} \cdot \bar{b} \cdot c \cdot \bar{d} \cdot e + \bar{a} \cdot \bar{b} \cdot c \cdot d \cdot e$$

Representándola seguidamente en el mapa de cinco variables, obtenemos la Figura 2.32.

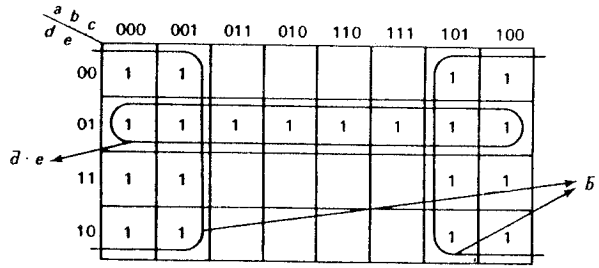



**Figura 2.32.** Representación del Problema 2.27.

La simplificación en un mapa de cinco variables sigue las normas, vistas en anteriores mapas, de simplificar casillas contiguas por sus variables comunes. Sin embargo, la estructura de columnas de este mapa hace que se puedan considerar contiguas, además de las citadas anteriormente, las que se producen por simetría desde la línea central del mapa, mostradas en la Figura 2.33.

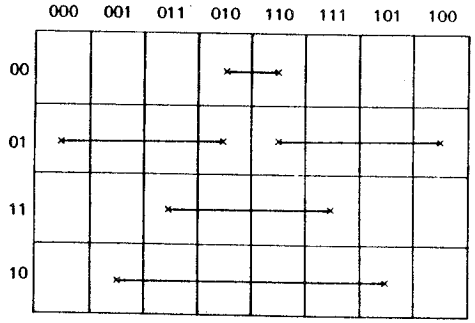



**Figura 2.33.** Columnas contiguas en un mapa de Karnaugh de cinco variables.

Si realizamos a continuación los agrupamientos pertinentes en la función representada, se obtiene el siguiente resultado:

$$F = \bar{b} + \bar{d} \cdot e$$



**2.28.** Obtener la ecuación simplificada de la función definida por la Tabla de verdad 2.12.

**Tabla 2.12.** Tabla de verdad del Problema 2.28

| a | b | c | d | e | F | a | b | c | d | e | F |
|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |

**Solución:** En primer lugar, representemos directamente la tabla en un mapa de cinco variables, tal y como lo hicimos en los mapas de tres y cuatro variables. La Figura 2.34 muestra la representación.

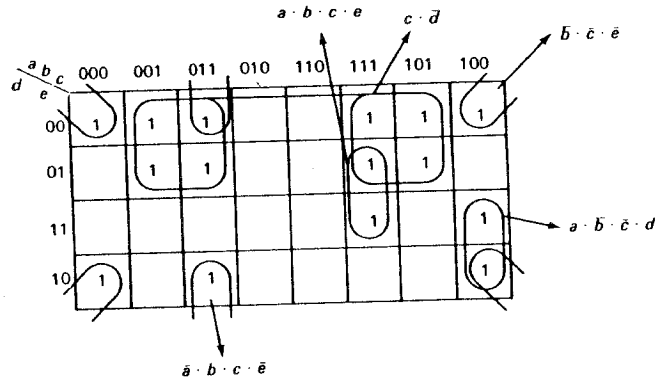



**Figura 2.34.** Representación del Problema 2.28.

Su forma simplificada es la siguiente:

$$F = a \cdot b \cdot c \cdot e + a \cdot \bar{b} \cdot \bar{c} \cdot d + \bar{a} \cdot b \cdot c \cdot \bar{e} + \bar{b} \cdot \bar{c} \cdot \bar{e} + c \cdot \bar{d}$$

**2.29.** Partiendo de la Tabla de verdad 2.13, que representa a una función lógica, obtener su ecuación de la forma más simplificada posible.

**Tabla 2.13.** Tabla de verdad del Problema 2.29

| a | b | c | d | e | F |
|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | × |
| 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | × |
| 0 | 1 | 0 | 1 | 0 | × |
| 0 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | × |
| 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | × |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 | × |
| 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | × |
| 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 |

**Solución:** Haciendo la representación de los términos indiferentes y de la ecuación maxterms, por ser ésta la que menos términos posee en la tabla, se obtiene la Figura 2.35, donde se realizan los agrupamientos simplificativos.



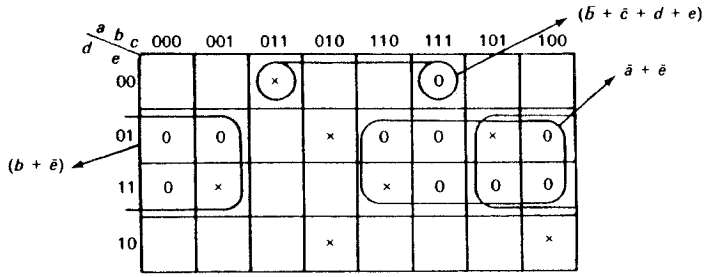



**Figura 2.35.** Representación del Problema 2.29.

La ecuación final simplificada es la siguiente:

$$F = (\bar{a} + \bar{e}) \cdot (b + \bar{e}) \cdot (\bar{b} + \bar{c} + d + e)$$

**2.30.** Empleando las tablas de Quine-McCluskey, simplificar la siguiente función booleana:

$$F = a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d + \bar{a} \cdot b \cdot c \cdot \bar{d} + a \cdot b \cdot c \cdot d$$

**Solución:** Comenzaremos por obtener la tabla de agrupamientos de base, clasificando los términos de la función por el número de unos que posean. La citada tabla corresponde a la Tabla 2.14.

**Tabla 2.14.** Tabla de agrupamientos base del Problema 2.30

| | | | |
|---|---|---|---|
| $\bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d}$ | 0 0 0 0 | 0 | Indice 0 |
| $\bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d$<br>$a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d}$ | 0 0 0 1<br>1 0 0 0 | 1<br>8 | Indice 1 |
| $\bar{a} \cdot b \cdot c \cdot \bar{d}$ | 0 1 1 0 | 6 | Indice 2 |
| $a \cdot b \cdot c \cdot d$ | 1 1 1 1 | 15 | Indice 4 |

Seguidamente obtendremos la Tabla de agrupamientos de primer orden 2.15.

**Tabla 2.15.** Tabla de agrupamientos de primer orden del Problema 2.30

| | | |
|---|---|---|
| 000-<br>-000 | (0, 1)<br>(0, 8) | Indice 0 |

Como no es posible realizar más reducciones, pasamos a realizar la Tabla reductora final 2.16.

**Tabla 2.16.** Tabla reductora final del Problema 2.30

| *a* | *b* | *c* | *d* | 0 | 1 | 6 | 8 | 15 |
|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | – | X | X | | | |
| – | 0 | 0 | 0 | X | | | X | |
| 0 | 1 | 1 | 0 | | | X | | |
| 1 | 1 | 1 | 1 | | | | | X |

Como podemos observar en la Tabla 2.16, para que todos los términos de la función estén representados en la tabla, ha sido necesario añadir los términos equivalentes a las combinaciones binarias 0110 y 1111.

La ecuación de la función simplificada será

$$F = a \cdot b \cdot c \cdot d + \bar{a} \cdot b \cdot c \cdot \bar{d} + \bar{a} \cdot \bar{b} \cdot \bar{c} + \bar{b} \cdot \bar{c} \cdot \bar{d}$$

**2.31.** Simplificar la siguiente función empleando las tablas de Quine-McCluskey:

$$F = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot \bar{b} \cdot c \cdot \bar{d} + \bar{a} \cdot b \cdot c \cdot \bar{d} + \bar{a} \cdot b \cdot c \cdot d + a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + a \cdot \bar{b} \cdot \bar{c} \cdot d + a \cdot b \cdot \bar{c} \cdot d + a \cdot b \cdot c \cdot d$$

**Solución:** La tabla de agrupamientos base aparece en la Tabla 2.17.

**Tabla 2.17.** Tabla de agrupamientos base del Problema 2.31

| | | | |
|---|---|---|---|
| $\bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d}$ | 0 0 0 0 | 0 | Indice 0 |
| $\bar{a} \cdot \bar{b} \cdot c \cdot \bar{d}$<br>$a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d}$ | 0 0 1 0<br>1 0 0 0 | 2<br>8 | Indice 1 |
| $\bar{a} \cdot b \cdot c \cdot \bar{d}$<br>$a \cdot \bar{b} \cdot \bar{c} \cdot d$ | 0 1 1 0<br>1 0 0 1 | 6<br>9 | Indice 2 |
| $\bar{a} \cdot b \cdot c \cdot d$<br>$a \cdot b \cdot \bar{c} \cdot d$ | 0 1 1 1<br>1 1 0 1 | 7<br>13 | Indice 3 |
| $a \cdot b \cdot c \cdot d$ | 1 1 1 1 | 15 | Indice 4 |



A continuación obtendremos la Tabla de agrupamientos de primer orden 2.18.

**Tabla 2.18.** Tabla de agrupamientos de primer orden del Problema 2.31

| | | |
|---|---|---|
| 00-0<br>-000 | (0, 2)<br>(0, 8) | Indice 0 |
| 0-10<br>100- | (2, 6)<br>(8, 9) | Indice 1 |
| 011-<br>1-01 | (6, 7)<br>(9, 13) | Indice 2 |
| -111<br>11-1 | (7, 15)<br>(13,15) | Indice 3 |

Como no es posible realizar agrupamientos de segundo orden, pasaremos a obtener la tabla reductora final que se muestra en la Tabla 2.19.

**Tabla 2.19.** Tabla reductora final del Problema 2.31

| *a* | *b* | *c* | *d* | 0 | 2 | 6 | 7 | 8 | 9 | 13 | 15 |
|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | – | 0 | X | X | | | | | | |
| – | 0 | 0 | 0 | X | | | | X | | | |
| 0 | – | 1 | 0 | | X | X | | | | | |
| 1 | 0 | 0 | – | | | | | X | X | | |
| 0 | 1 | 1 | – | | | X | X | | | | |
| 1 | – | 0 | 1 | | | | | | X | X | |
| – | 1 | 1 | 1 | | | | X | | | | X |
| 1 | 1 | – | 1 | | | | | | | X | X |

Trataremos seguidamente de obtener una ecuación con los valores literales equivalentes a las combinaciones binarias de la Tabla 2.19, de forma que con el menor número posible de ellas se representen todos los términos de la tabla de agrupamientos base. Existen dos soluciones posibles. La primera de ellas, señalada en la Tabla 2.19 con óvalos continuos, da lugar a la siguiente ecuación

$$F = \bar{a} \cdot \bar{b} \cdot \bar{d} + a \cdot \bar{b} \cdot \bar{c} + \bar{a} \cdot b \cdot c + a \cdot b \cdot d$$

La segunda, marcada en la Tabla 2.19 con óvalos de trazos, da lugar a la ecuación

$$F = \bar{b} \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot c \cdot \bar{d} + a \cdot \bar{c} \cdot d + b \cdot c \cdot d$$

**2.32.** Reducir por el método de Quine-McCluskey la función que representa la Tabla de verdad 2.20.

**Tabla 2.20.** Tabla de verdad del Problema 2.32

| *a* | *b* | *c* | *d* | *e* | *F* |
|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 0 |

**Solución:** Agrupando las combinaciones que hacen 1 la tabla, y clasificándolas según la cantidad de unos que poseen, se obtiene la Tabla 2.21 de agrupamientos base.



**Tabla 2.21.** Tabla de agrupamientos base del Problema 2.32

| | | | |
|---|---|---|---|
| $\bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot \bar{e}$ | 0 0 0 0 0 | 0 | Indice 0 |
| $\bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot e$ | 0 0 0 0 1 | 1 | Indice 1 |
| $\bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} \cdot \bar{e}$ | 0 1 0 0 0 | 8 | |
| $a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot \bar{e}$ | 1 0 0 0 0 | 16 | |
| $\bar{a} \cdot \bar{b} \cdot c \cdot d \cdot \bar{e}$ | 0 0 1 1 0 | 6 | Indice 2 |
| $\bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} \cdot e$ | 0 1 0 0 1 | 9 | |
| $a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot e$ | 1 0 0 0 1 | 17 | |
| $\bar{a} \cdot \bar{b} \cdot c \cdot d \cdot e$ | 0 0 1 1 1 | 7 | Indice 3 |
| $\bar{a} \cdot b \cdot \bar{c} \cdot d \cdot e$ | 0 1 0 1 1 | 11 | |
| $\bar{a} \cdot b \cdot c \cdot d \cdot \bar{e}$ | 0 1 1 1 0 | 14 | |
| $a \cdot \bar{b} \cdot c \cdot d \cdot \bar{e}$ | 1 0 1 1 0 | 22 | |
| $a \cdot b \cdot \bar{c} \cdot d \cdot \bar{e}$ | 1 1 0 1 0 | 26 | |
| $\bar{a} \cdot b \cdot c \cdot d \cdot e$ | 0 1 1 1 1 | 15 | Indice 4 |
| $a \cdot \bar{b} \cdot c \cdot d \cdot e$ | 1 0 1 1 1 | 23 | |
| $a \cdot b \cdot \bar{c} \cdot d \cdot e$ | 1 1 0 1 1 | 27 | |

Seguidamente obtendremos la Tabla de agrupamientos de primer orden 2.22.

**Tabla 2.22.** Tabla de agrupamientos de primer orden del Problema 2.32

| | | |
|---|---|---|
| 0000- | (0, 1) | Indice 0 |
| 0-000 | (0, 8) | |
| -0000 | (0, 16) | |
| 0-001 | (1, 9) | Indice 1 |
| -0001 | (1, 17) | |
| 0100- | (8, 9) | |
| 1000- | (16, 17) | |
| 0011- | (6, 7) | Indice 2 |
| 0-110 | (6, 14) | |
| -0110 | (6, 22) | |
| 010-1 | (9, 11) | |
| 0-111 | (7, 15) | Indice 3 |
| -0111 | (7, 23) | |
| 01-11 | (11, 15) | |
| -1011 | (11, 27) | |
| 0111- | (14, 15) | |
| 1011- | (22, 23) | |
| 1101- | (26, 27) | |

Y después pasaremos a realizar la Tabla de agrupamientos de segundo orden 2.23.

**Tabla 2.23.** Tabla de agrupamientos de segundo orden del Problema 2.32

| | | |
|---|---|---|
| 0-00-<br>-000-<br>0-00-<br>-000- | (0, 1, 8, 9)<br>(0, 1, 16, 17)<br>(0, 8, 1, 9)<br>(0, 16, 1, 17) | Indice 0 |
| 0-11-<br>-011-<br>0-11-<br>-011- | (6, 7, 14, 15)<br>(6, 7, 22, 23)<br>(6, 14, 7, 15)<br>(6, 22, 7, 23) | Indice 2 |

La Tabla 2.23 se puede simplificar al existir en ella términos repetidos, dando lugar a la Tabla 2.24.

**Tabla 2.24.** Tabla simplificada de segundo orden del Problema 2.32

| | | |
|---|---|---|
| 0-00-<br>-000- | (0, 1, 8, 9)<br>(0, 1, 16, 17) | Indice 0 |
| 0-11-<br>-011- | (6, 7, 14, 15)<br>(6, 7, 22, 23) | Indice 2 |

Puesto que no son posibles más agrupamientos reductores, pasamos a obtener la Tabla reductora final 2.25.

**Tabla 2.25.** Tabla reductora final

| *a* | *b* | *c* | *d* | *e* | 0 | 1 | 6 | 7 | 8 | 9 | 11 | 14 | 15 | 16 | 17 | 22 | 23 | 26 | 27 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | – | 0 | 0 | – | X | X | | | | X | X | | | | | | | | |
| – | 0 | 0 | 0 | – | X | X | | | | | | | | | X | X | | | |
| 0 | – | 1 | 1 | – | | | X | X | | | | | X | X | | | | | |
| – | 0 | 1 | 1 | – | | | X | X | | | | | | | | | X | X | |
| 1 | 1 | 0 | 1 | – | | | | | | | | | | | | | | | X X |
| – | 1 | 0 | 1 | 1 | | | | | | | X | | | | | | | | X |

De la anterior tabla se obtiene una de las posibles ecuaciones finales

$$F = \bar{a} \cdot \bar{c} \cdot \bar{d} + \bar{b} \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot c \cdot d + \bar{b} \cdot c \cdot d + a \cdot b \cdot \bar{c} \cdot d + b \cdot \bar{c} \cdot d \cdot e$$



# PROBLEMAS PROPUESTOS

**2.33.** Reducir a través de los mapas de Karnaugh la siguiente función booleana:

$$F = a \cdot b \cdot c + \bar{a} \cdot b + \bar{a} \cdot b \cdot \bar{c} + a \cdot b \cdot \bar{c}$$

**Solución:** $F = b$.

**2.34.** Simplificar por Karnaugh la siguiente función:

$$F = a + a \cdot \bar{b} \cdot c + \bar{a} \cdot b + c$$

**Solución:** $F = a + b + c$.

**2.35.** Aplicando los mapas de Karnaugh, simplificar la siguiente ecuación lógica:

$$F = b + a \cdot c + \bar{a} \cdot c$$

**Solución:** $F = b + c$.

**2.36.** Simplificar la siguiente función por el método de Karnaugh:

$$F = a \cdot b \cdot c + b \cdot (a + \bar{c}) + \bar{c} \cdot \bar{b}$$

**Solución:** $F = \bar{c} + a \cdot b$.

**2.37.** Aplicando Karnaugh, simplificar la siguiente función:

$$F = \bar{a} \cdot (\bar{a} + c) \cdot (a + \bar{b} + c) \cdot (\bar{a} + \bar{b} + \bar{c})$$

**Solución:** $F = \bar{a} \cdot (\bar{b} + c)$.

**2.38.** Simplificar la siguiente función con los mapas de Karnaugh:

$$F = (a + b + c) \cdot (a + b + \bar{c}) \cdot (\bar{a} + b + c) \cdot (\bar{a} + b + \bar{c})$$

**Solución:** $F = b$.

**2.39.** Reducir la función booleana siguiente con un mapa de Karnaugh:

$$F = a \cdot c + \bar{a} \cdot b + \bar{c} \cdot d + b \cdot d$$

**Solución:** $F = \bar{a} \cdot b + a \cdot c + \bar{c} \cdot d$.

**2.40.** Representar y simplificar en mapa de Karnaugh la función:

$$F = x \cdot \bar{y} \cdot z + \bar{z} + x \cdot y \cdot z \cdot v$$

**Solución:** $F = \bar{z} + x \cdot \bar{y} + x \cdot v$.

**2.41.** Aplicando los mapas de Karnaugh, reducir la siguiente función booleana:

$$F = \bar{a} \cdot b + a \cdot b \cdot \bar{c} + a \cdot b \cdot c \cdot \bar{d}$$

**Solución:** $F = \bar{a} \cdot b + b \cdot \bar{c} + b \cdot \bar{d}$.

**2.42.** Reducir la siguiente función booleana a través de mapas de Karnaugh:

$$F = a \cdot b + \bar{b} \cdot c + \bar{b} \cdot c \cdot d + a \cdot b \cdot c \cdot d$$

**Solución:** $F = a \cdot b + \bar{b} \cdot c$.

**2.43.** Simplificar la siguiente función aplicando Karnaugh:

$$F = (\bar{b} + c) \cdot (\bar{b} + \bar{c}) \cdot (\bar{a} + b + \bar{d}) \cdot (a + b + \bar{d})$$

**Solución:** $F = \bar{b} \cdot \bar{d}$.

**2.44.** Aplicando Karnaugh, simplificar la siguiente función:

$$F = (a + b + c + d) \cdot (a + \bar{b} + c + d) \cdot (\bar{a} + \bar{b} + c) \cdot (\bar{a} + b + c) \cdot (a + \bar{c})$$

**Solución:** $F = (\bar{a} + c) \cdot (a + \bar{c}) \cdot (a + d)$.

**2.45.** Obtener la ecuación simplificada de la Tabla de verdad 2.26 aplicando los mapas de Karnaugh.

**Tabla 2.26.** Tabla de verdad del Problema 2.46

| *a* | *b* | *c* | *d* | *F* |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

**Solución:** $F = \bar{a} + \bar{b} \cdot d$.



**2.46.** Simplificar la siguiente función lógica por la aplicación del mapa de Karnaugh de cinco variables:

$$F = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot \bar{e} + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d \cdot e + \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} \cdot \bar{e} + \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} \cdot e + \bar{a} \cdot b \cdot c \cdot \bar{d} \cdot e + \bar{a} \cdot b \cdot c \cdot d \cdot \bar{e} + \bar{a} \cdot b \cdot c \cdot d \cdot e + a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot \bar{e} + a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot e + a \cdot \bar{b} \cdot \bar{c} \cdot d \cdot e + a \cdot b \cdot \bar{c} \cdot \bar{d} \cdot \bar{e} + a \cdot b \cdot \bar{c} \cdot \bar{d} \cdot e + a \cdot b \cdot c \cdot d \cdot e$$

**Solución:** Existen dos posibles:

$$F = \bar{c} \cdot \bar{d} + \bar{b} \cdot \bar{c} \cdot e + \bar{a} \cdot b \cdot c \cdot d + a \cdot b \cdot d \cdot e + \bar{a} \cdot b \cdot \bar{d} \cdot e$$

$$F = \bar{c} \cdot \bar{d} + \bar{b} \cdot \bar{c} \cdot e + \bar{a} \cdot b \cdot c \cdot d + a \cdot b \cdot d \cdot e + \bar{a} \cdot b \cdot c \cdot e$$

**2.47.** Partiendo de la Tabla de verdad 2.27, que representa una función booleana, obtener la ecuación simplificada aplicando los mapas de Karnaugh.

**Tabla 2.27.** Tabla de verdad del Problema 2.47

| *a* | *b* | *c* | *d* | *F* |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

**Solución:** $F = (\bar{a} + \bar{b} + d) \cdot (b + d) \cdot (\bar{a} + \bar{b} + c + \bar{d})$.

**2.48.** Simplificar por el método de Quine-McCluskey la siguiente función booleana:

$$F = \bar{a} \cdot \bar{b} \cdot c \cdot \bar{d} + \bar{a} \cdot \bar{b} \cdot c \cdot d + \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot b \cdot c \cdot \bar{d} + \bar{a} \cdot b \cdot c \cdot d + a \cdot \bar{b} \cdot \bar{c} \cdot d + a \cdot b \cdot \bar{c} \cdot \bar{d}$$

**Solución:** $F = a \cdot \bar{b} \cdot \bar{c} \cdot d + \bar{a} \cdot b \cdot \bar{d} + b \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot c$.

**2.49.** Aplicando las tablas de Quine-McCluskey, simplificar la siguiente función booleana:

$$F = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d + \bar{a} \cdot \bar{b} \cdot c \cdot \bar{d} + \bar{a} \cdot \bar{b} \cdot c \cdot d + a \cdot \bar{b} \cdot \bar{c} \cdot d + a \cdot b \cdot \bar{c} \cdot \bar{d} + a \cdot b \cdot \bar{c} \cdot d + a \cdot b \cdot c \cdot \bar{d} + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d}$$

**Solución:** $F = \bar{a} \cdot \bar{b} + a \cdot \bar{c} \cdot d + a \cdot b \cdot \bar{d}$.

**2.50.** Simplificar, a través de las tablas de Quine-McCluskey, la siguiente función booleana:

$$F = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d + \bar{a} \cdot b \cdot \bar{c} \cdot d + a \cdot \bar{b} \cdot \bar{c} \cdot d + a \cdot \bar{b} \cdot c \cdot d + a \cdot b \cdot \bar{c} \cdot d + a \cdot b \cdot c \cdot d$$

**Solución:** $F = \bar{c} \cdot d + a \cdot d$.

**2.51.** Obtener la ecuación más simplificada posible de la siguiente función booleana:

$$F = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot \bar{e} \cdot \bar{f} + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot e \cdot \bar{f} + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d \cdot e \cdot \bar{f} + \bar{a} \cdot \bar{b} \cdot c \cdot d \cdot e \cdot \bar{f} + \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} \cdot e \cdot \bar{f} + \bar{a} \cdot b \cdot \bar{c} \cdot d \cdot \bar{e} \cdot f + \bar{a} \cdot b \cdot c \cdot \bar{d} \cdot e \cdot f + a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot \bar{e} \cdot \bar{f} + a \cdot \bar{b} \cdot c \cdot \bar{d} \cdot \bar{e} \cdot f + a \cdot b \cdot \bar{c} \cdot \bar{d} \cdot \bar{e} \cdot f + a \cdot b \cdot \bar{c} \cdot d \cdot \bar{e} \cdot f + a \cdot b \cdot c \cdot d \cdot e \cdot \bar{f}$$

**Solución:** Una de las posibles soluciones es:

$$F = a \cdot \bar{b} \cdot c \cdot \bar{d} \cdot \bar{e} \cdot f + \bar{a} \cdot b \cdot c \cdot \bar{d} \cdot e \cdot f + a \cdot b \cdot c \cdot d \cdot e \cdot \bar{f} + \bar{b} \cdot \bar{c} \cdot \bar{d} \cdot \bar{e} \cdot \bar{f} + \bar{a} \cdot \bar{c} \cdot \bar{d} \cdot e \cdot \bar{f} + \bar{a} \cdot \bar{b} \cdot d \cdot e \cdot \bar{f} + b \cdot \bar{c} \cdot d \cdot \bar{e} \cdot f + a \cdot b \cdot \bar{c} \cdot \bar{e} \cdot f$$

# CAPITULO 3

# Implementación de funciones booleanas

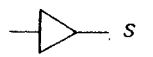
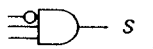
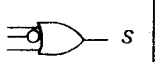
## 3.1. OPERADORES LOGICOS

Estos operadores son pequeños circuitos digitales integrados cuyo funcionamiento se adapta a las operaciones y postulados del álgebra de Boole. Los operadores o puertas lógicas más importantes aparecen en la Tabla 3.1, junto a su nombre, símbolo más extendido y ecuación.

**Tabla 3.1.** Principales puertas lógicas

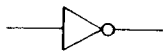
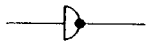
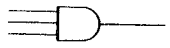
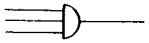
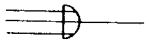
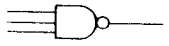
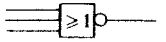
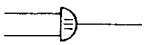
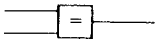
| Símbolo | Función | Ecuación lógica | Tipos comerciales |
|---|---|---|---|
|  | Sumadora O (OR) | $S = a + b + c$ | Se fabrican en dos entradas |
|  | Multiplicadora Y (AND) | $S = a \cdot b \cdot c$ | Se fabrican en dos, tres o cuatro entradas |
|  | Inversora NO (NOT) | $S = \bar{a}$ | Se fabrican en una entrada |
|  | Sumadora negadora No O (NOR) | $S = \overline{a + b + c}$ | Se fabrican en dos, tres, cuatro o cinco entradas |
|  | Multiplicadora negadora No Y (NAND) | $S = \overline{a \cdot b \cdot c}$ | Se fabrican en dos, tres, cuatro, ocho, doce o trece entradas |
|  | Suma exclusiva OR EXCLUSIVA | $S = a \oplus b = \bar{a} \cdot b + a \cdot \bar{b}$ | Se fabrican en dos entradas |
|  | Suma exclusiva negada NOR EXCLUSIVA | $S = \overline{a \oplus b} = a \cdot b + \bar{a} \cdot \bar{b}$ | Se fabrican en dos entradas |

**Tabla 3.1.** Principales puertas lógicas (*continuación*)

| Símbolo | Función | Ecuación lógica | Tipos comerciales |
|---|---|---|---|
|  | Igualdad BUFFER | $S = a$ | Se fabrican en una entrada |
|  | Inhibit | $S = \bar{a} \cdot b \cdots$ | No se fabrica, solamente se emplea en esquemas |
|  | Imply | $S = a + \bar{b} + \cdots$ | No se fabrica, solamente se emplea en esquemas |

Por su parte, en la Tabla 3.2 se exponen diferentes simbologías de representación de los operadores lógicos que aparecen en la Tabla 3.1.

**Tabla 3.2.** Diferentes simbologías de puertas lógicas

| Función | Simbología más extendida | Símbolos DIN | Símbolos IEC |
|---|---|---|---|
| NO |  |  | |
| AND |  |  | |
| OR | |  | |
| NAND |  | | |
| NOR | | |  |
| OR EXCLUSIVA | | | |
| NOR EXCLUSIVA | |  |  |



## 3.2. CARACTERISTICAS COMERCIALES DE UNA PUERTA LOGICA INTEGRADA

En los catálogos del fabricante de puertas lógicas se indica un elevado número de parámetros y características de cada puerta integrada, necesarios para realizar los diseños de circuitos prácticos. Seguidamente enunciaremos, de forma resumida, los más importantes:

- **Niveles lógicos de funcionamiento:** Son los márgenes de valores de tensión que el fabricante permite o garantiza para cada uno de los dos estados lógicos entre los que puede funcionar un circuito digital

  Nivel 1 = Nivel *H* (*high*-alto)
  Nivel 0 = Nivel *L* (*low*-bajo)

- **Característica de transferencia (*voltage transfer function*):** Es una gráfica que relacion la tensión de entrada con la de salida en una puerta lógica. La Figura 3.1 nos muestra la característica de una puerta inversora en función de la temperatura. En esta gráfica hay que destacar los rangos y márgenes de tensión admisibles en la entrada para los niveles 0 y 1, así como los garantizados en la salida para dichos niveles.

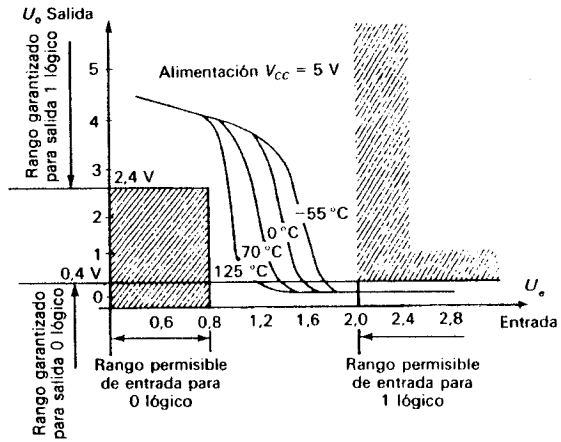



**Figura 3.1.** Característica de transferencia de un inversor.

- **Inmunidad al ruido (*noise margins*):** Se define como el margen de ruido electrónico que es capaz de soportar la puerta sin que se produzcan alteraciones en su funcionamiento. Se mide en voltios.
- **Tiempo de propagación (*propagation delay*):** Es el tiempo que transcurre entre el momento de introducir una información en la entrada de una puerta lógica y el instante en que se produce

la respuesta en la salida de ésta. La inversa de esta importante característica define la frecuencia máxima de trabajo de la puerta.

- **Cargabilidad de salida (*fan out*):** Es un número entero que nos indica la cantidad de entradas de puertas lógicas de la misma familia que se pueden conectar a la salida de una puerta.

## 3.3. FAMILIAS LOGICAS

Es conveniente comenzar por el establecimiento de la diferencia entre dos términos que suelen producir confusión: tecnología de fabricación y familia lógica.

- **Tecnología de fabricación:** Es la forma de construir un circuito integrado digital desde el punto de vista de sus principios de funcionamiento o fabricación. Como ejemplos de diferentes tecnologías están el empleo de transistores bipolares, el hecho de que los transistores del circuito trabajen entre corte y saturación, o que el circuito se fabrique sobre una base de zafiro.
- **Familia lógica:** Es el conjunto de circuitos integrados digitales que, dentro de una misma tecnología, emplean el mismo tipo de componentes y de circuito base en su estructura.

En el siguiente esquema se expone la clasificación general de las tecnologías de fabricación y de sus correspondientes familias lógicas:

**Tecnologías de base**
- Tecnología bipolar
  - Tecnología saturada { Familia: RTL, DTL, TTL, HTL
  - Tecnología no saturada { Familia: TTL, Schottkey, ECL
- Tecnología MOS { Familia: PMOS, CMOS
- Tecnología BICMOS
- Tecnología CCD

**Tecnología de apoyo**
- $I^2L$ para tecnologías bipolares
- SOS, Implantación iónica para MOS

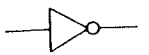
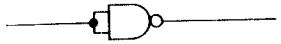
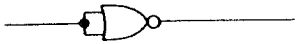
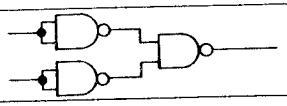
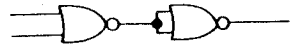
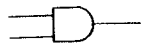
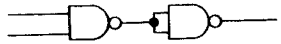
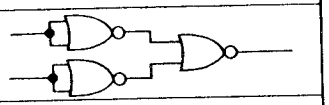
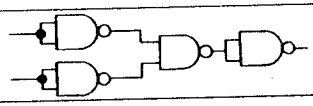
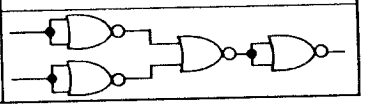
## 3.4. IMPLEMENTACION DE FUNCIONES LOGICAS

Se denomina implementar una función *a realizar el circuito digital de puertas lógicas que cumple la ecuación de dicha función.* La implementación práctica de una función requeriría la disponibilidad en almacén de toda la serie de circuitos integrados digitales; dado que esto es imposible, suele ser necesaria la implementación de una determinada operación de la función, empleando combinaciones de puertas lógicas cuyo conjunto realice la operación deseada.

Es, por tanto, preciso definir las equivalencias entre las puertas más importantes; éstas aparecen en la Tabla 3.3.



**Tabla 3.3.** Equivalencias entre puertas lógicas

| Función | Implementación con NAND | Implementación con NOR |
|---|---|---|
|  |  |  |
| |  |  |
|  |  |  |
| |  | |
| | |  |

## 3.5. CRONOGRAMAS DE CIRCUITOS LOGICOS

Las puertas y circuitos lógicos, en general, reciben señales digitales que varían en el tiempo. Se denomina cronograma a *la representación gráfica, con respecto al tiempo, de las señales de entrada y salida de un circuito digital.* Un ejemplo de cronograma puede observarse en la Figura 3.2.

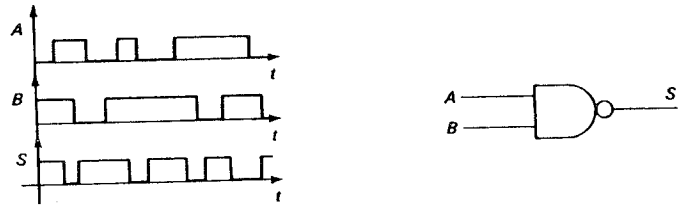



**Figura 3.2.** Cronograma.

En el anterior cronograma, para simplificar la representación de las transiciones de 0 a 1 y de 1 a 0 (también llamadas *flanco de subida* y *flanco de bajada*, respectivamente), éstas se represen-

taban como si se produjeran en tiempo cero, aunque en realidad no sea así. El convenio anteriormente citado se expone en la Figura 3.3.

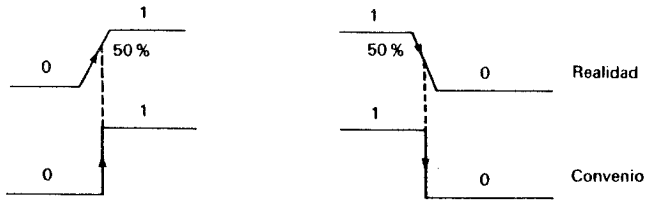



**Figura 3.3.** Convenio de transiciones para cronogramas.

Otra cuestión a tener en cuenta en ciertos casos es el hecho de que *habitualmente no se representan en los cronogramas los tiempos de retardo o de propagación de las puertas.* Este convenio no ocasiona errores cuando se trabaja en frecuencias bajas y medias, pero puede variar en gran medida el cronograma en frecuencias altas.

## 3.6. DISEÑO DE CIRCUITOS DIGITALES

El proceso de diseño de un circuito digital que ha de cumplir una serie de condiciones de funcionamiento es el siguiente:

1. **Obtener la tabla de verdad** que representa la función lógica a implementar a partir de las condiciones físicas de funcionamiento del circuito.
2. **Deducir la ecuación** de la función que se realizará, partiendo de la tabla de verdad.
3. **Simplificar la ecuación** obtenida de la tabla de verdad.
4. **Implementar el circuito** con puertas lógicas, buscando la obtención de alguno o varios de los siguientes objetivos:

   — Implementar con el menor número de puertas posibles.
   — Implementar con un solo tipo de puertas.
   — Implementar con el menor número de pastillas integradas.
   — Implementar el circuito más económico.

## 3.7. SIMBOLOGIA PARA LA REPRESENTACION DE PUERTAS INTEGRADAS

En la Figura 3.4 se indica el significado de cada uno de los elementos que componen esta simbología.



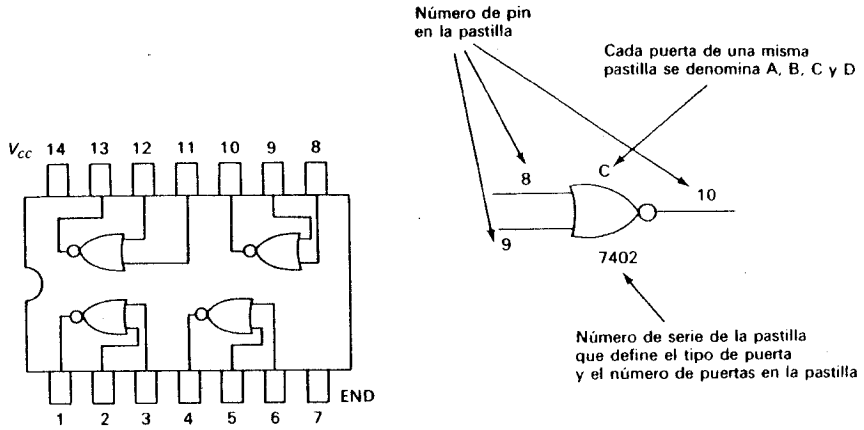



**Figura 3.4.** Simbología de puertas integradas.

# PROBLEMAS RESUELTOS

**3.1.** Implementar los circuitos correspondientes a las siguientes funciones lógicas:

**a)** $S = (a \cdot b + c \cdot d) \cdot \bar{c}$
**b)** $S = (\bar{a} \cdot \bar{b} + c \cdot d) \cdot (a \cdot b + c)$

**Solución:**

**a)** Para implementar el circuito lógico correspondiente a una función debe comenzarse su representación sobre el papel desde el lado derecho, colocando en él la salida de la función. Seguidamente, observaremos en la función la última operación a realizar, dibujando la puerta lógica que corresponda a dicha operación. Con cada una de las entradas de la puerta dibujada procederemos de igual forma, representando, siempre hacia la izquierda, las nuevas puertas que vayamos incluyendo. Cuando todas las operaciones de la función estén representadas sólo restará efectuar la conexión a cada una de las variables o entradas de la función, lo que realizaremos representando en el lado izquierdo una borna por cada una de las entradas, e interconectando estas bornas a las entradas de las puertas lógicas que correspondan.

En nuestro problema las fases de la implementación están reflejadas en la Figura 3.5.

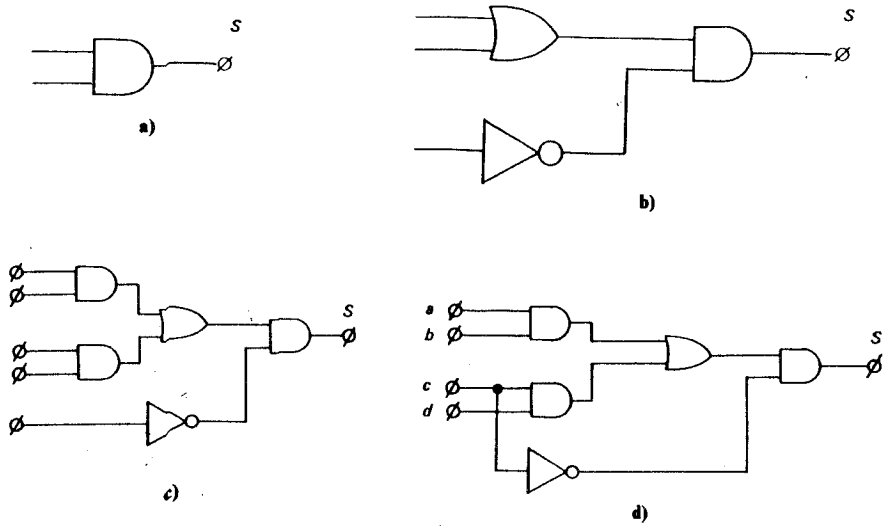



**Figura 3.5.** Fases de implementación de la función del Problema 3.1*a*.

**b)** El circuito correspondiente a la implementación de la función de este apartado se encuentra representado en la Figura 3.6.

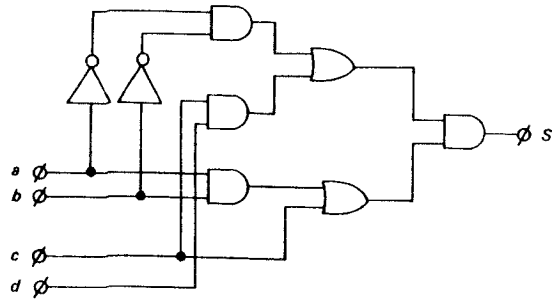



**Figura 3.6.** Implementación del circuito del Problema 3.1*b*.



**3.2.** Realizar la implementación con puertas lógicas de las funciones que se exponen seguidamente:

**a)** $F = \overline{(x \cdot y + z)} \cdot (\bar{x} \cdot \bar{y} \cdot \bar{z})$

**b)** $F = (v \cdot y) \cdot (x + z) \cdot \overline{[(x + y) + (x + z)]}$

**Solución:**

**a)** De la implementación de la función resulta el circuito de la Figura 3.7.

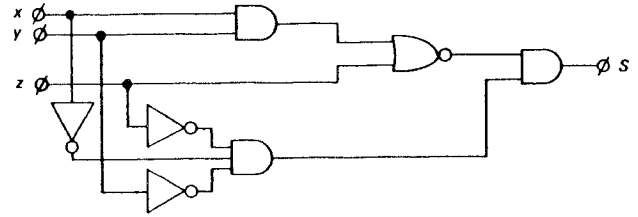



**Figura 3.7.** Implementación del circuito del Problema 3.2*a*.

**b)** El resultado de la implementación de la función aparece en la Figura 3.8.

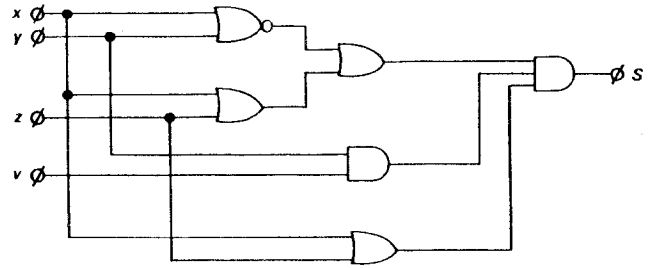



**Figura 3.8.** Implementación del circuito del Problema 3.2*b*.

**3.3.** Implementar los circuitos correspondientes a las siguientes funciones lógicas:

**a)** $S = \overline{(\bar{a} \cdot b + a \cdot \bar{b}) \cdot c \cdot (\bar{a} \cdot c + a \cdot \bar{c})}$

**b)** $S = \overline{[(a + b) \cdot (\bar{a} + \bar{b}) \cdot (\bar{b} + c)]}$

**Solución:**

**a)** Aplicando los procedimientos de problemas anteriores se obtiene el circuito de la Figura 3.9.

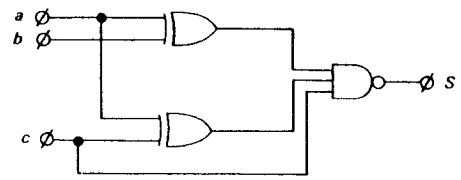



**Figura 3.9.** Implementación del circuito del Problema 3.3*a*.

**b)** El resultado de la implementación es el circuito de la Figura 3.10.

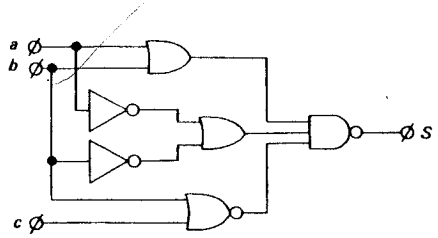



**Figura 3.10.** Implementación del circuito del Problema 3.3*b*.

**3.4.** Analizar el circuito de la Figura 3.11 para obtener: la ecuación de la función que representa, la tabla de verdad y la implementación de la función simplificada.

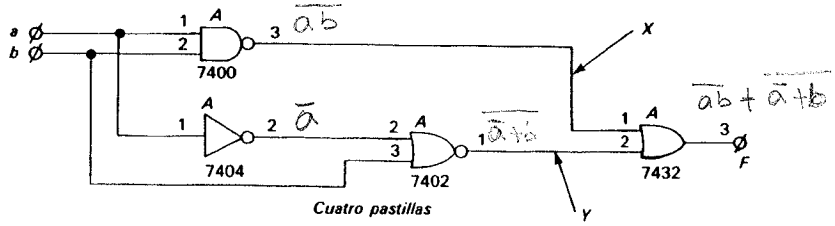



**Figura 3.11.** Circuito del Problema 3.4.

**Solución:** El proceso de obtención de la ecuación de una función implementada con puertas lógicas consiste en ir realizando la ecuación de salida de cada puerta del circuito partiendo desde el extremo izquierdo, donde habitualmente se localizan las entradas, hasta llegar al extremo derecho, donde se encontrarán colocadas las salidas.

En el circuito de nuestro problema, las ecuaciones en los puntos $X$ e $Y$ serán

$$X = \overline{a \cdot b} \quad ; \quad Y = \overline{\bar{a} + b}$$



y el valor de la ecuación de salida será

$$F = X + Y = (\overline{a \cdot b}) + (\overline{\bar{a} + b})$$

A continuación procederemos a realizar la tabla de verdad que representa a la función, y que se corresponde con la Tabla 3.4.

**Tabla 3.4.** Tabla de verdad del Problema 3.4

| $a$ $b$ | $\overline{a \cdot b}$ | $\overline{\bar{a} + b}$ | $F$ |
|---|---|---|---|
| 0 0 | 1 | 0 | 1 |
| 0 1 | 1 | 0 | 1 |
| 1 0 | 1 | 1 | 1 |
| 1 1 | 0 | 0 | 0 |

Tras ello, nos dispondremos a simplificar la función aplicando el álgebra de Boole, con lo que se obtiene

$$F = (\overline{a \cdot b}) + (\overline{\bar{a} + b}) = \bar{a} + \bar{b} + a \cdot \bar{b} = \bar{a} + \bar{b} = \overline{a \cdot b}$$

Por tanto, la implementación con puertas de la ecuación simplificada será la que aparece en la Figura 3.12.

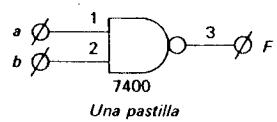



**Figura 3.12.** Resultado del Problema 3.4.

**3.5.** Obtener la ecuación y tabla de verdad del circuito de la Figura 3.13. Asimismo, se realizará la implementación con el menor número posible de puertas lógicas.

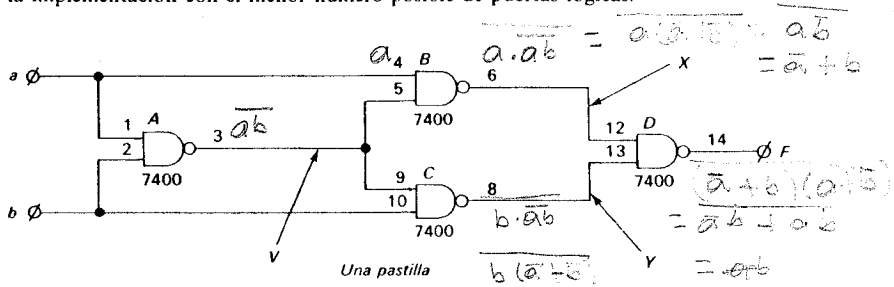



**Figura 3.13.** Circuito del Problema 3.5.

**Solución:** Las ecuaciones del circuito en los puntos $X$, $Y$ y $V$ serán

$$X = \overline{(a \cdot \bar{b}) \cdot a} \quad ; \quad Y = \overline{(a \cdot \bar{b}) \cdot b} \quad ; \quad V = \overline{a \cdot b}$$

La ecuación de la salida será, por tanto,

$$F = \overline{x \cdot y} = \overline{\overline{[(a \cdot \bar{b}) \cdot a]} \cdot \overline{[(a \cdot \bar{b}) \cdot b]}}$$

En la Tabla 3.5 aparece representada la tabla de verdad de la función anterior.

**Tabla 3.5.** Tabla de verdad del Problema 3.5

| $a$ | $b$ | $\overline{(a \cdot \bar{b}) \cdot a}$ | $\overline{(a \cdot \bar{b}) \cdot b}$ | $F$ |
|---|---|---|---|---|
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 |

Esta tabla de verdad nos indica que el circuito se comporta como una puerta OR EXCLUSIVA; es decir, responde con 1 cuando sus dos entradas son diferentes y responde con 0 cuando sus dos entradas son iguales. La anterior afirmación se puede comprobar fácilmente simplificando simplemente la función por la aplicación del álgebra de Boole:

$$F = \overline{\overline{[(a \cdot \bar{b}) \cdot a]} \cdot \overline{[(a \cdot \bar{b}) \cdot b]}} = [(\overline{a \cdot \bar{b}}) \cdot a] + [(\overline{a \cdot \bar{b}}) \cdot b] =$$
$$= [(\bar{a} + b) \cdot a] + [(\bar{a} + b) \cdot b] = \cancel{a \cdot a} + a \cdot \bar{b} + \bar{a} \cdot b + \cancel{b \cdot b} =$$
$$= a \cdot \bar{b} + \bar{a} \cdot b = a \oplus b$$

El circuito resultante de esta última función simplificada está representado en la Figura 3.14.

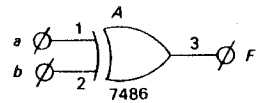



**Figura 3.14.** Resultado del Problema 3.5.

**3.6.** Partiendo del circuito de la Figura 3.15, obtener la ecuación de la función implementada, simplificarla e implementarla de nuevo para que tenga el menor número posible de puertas lógicas.



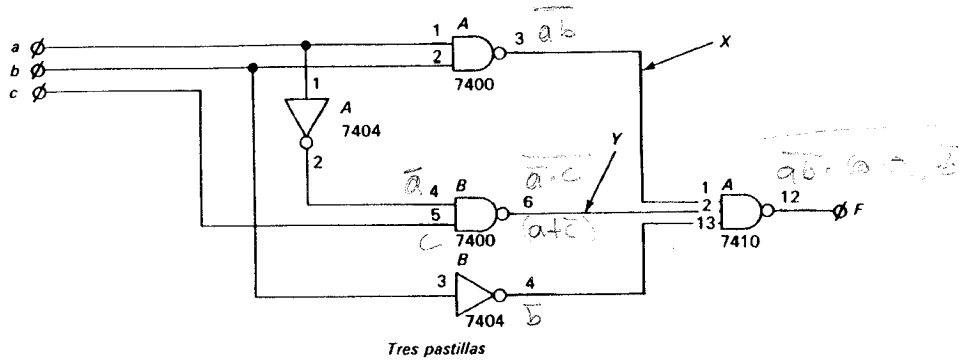



**Figura 3.15.** Circuito del Problema 3.6.

**Solución:** A la vista del circuito de la Figura 3.15 se puede afirmar que las ecuaciones en los puntos $X$ e $Y$ son las siguientes:

$$X = \overline{a \cdot b} \quad ; \quad Y = \overline{\bar{a} \cdot c}$$

Por tanto, la ecuación de la función de salida será

$$F = \overline{(\overline{a \cdot b}) \cdot (\overline{\bar{a} \cdot c}) \cdot b}$$

Procederemos seguidamente a su simplificación, aplicando en primer lugar las leyes de De Morgan, enunciadas en el Capítulo 1, al producto final; obtendremos

$$F = a \cdot b + \bar{a} \cdot c + b$$

A continuación aplicaremos los mapas de Karnaugh para simplificar la función resultante, tal y como aparecen en la Figura 3.16.

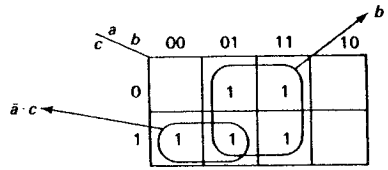



**Figura 3.16.** Mapa simplificativo del Problema 3.6.

Del mapa anterior se deduce que la función simplificada es

$$F = \bar{a} \cdot c + b$$

Implementando, por último, esta función, se obtiene el circuito de la Figura 3.17.

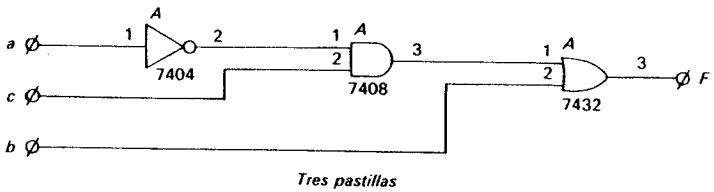



**Figura 3.17.** Resultado del Problema 3.6.

**3.7.** Analizar el circuito de la Figura 3.18 obteniendo su ecuación, tabla de verdad e implementación simplificada con el menor número de puertas lógicas.

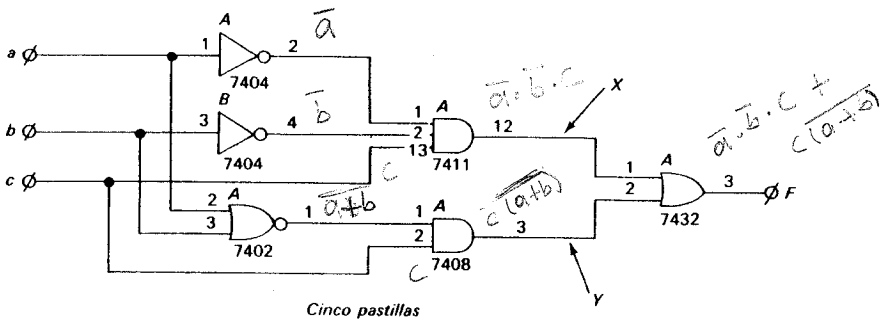



**Figura 3.18.** Circuito del Problema 3.7.

**Solución:** Las ecuaciones en los puntos $X$ e $Y$ serán

$$X = \bar{a} \cdot \bar{b} \cdot c \quad ; \quad Y = \overline{(a + b)} \cdot c$$

con lo que la ecuación de la salida será

$$F = X + Y = \bar{a} \cdot \bar{b} \cdot c + \overline{(a + b)} \cdot c$$

Si aplicamos seguidamente el teorema de De Morgan, tendremos

$$F = \bar{a} \cdot \bar{b} \cdot c + \bar{a} \cdot \bar{b} \cdot c = \bar{a} \cdot \bar{b} \cdot c$$



La Tabla 3.6 representa la tabla de verdad de la función, en este caso obtenida de la función simplificada, por ser ésta más sencilla.

**Tabla 3.6.** Tabla de verdad del Problema 3.7

| *a* | *b* | *c* | *F* |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |

Por último, la implementación de la función simplificada con el menor número de puertas es la representación en la Figura 3.19.

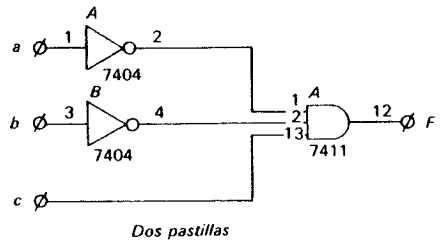



**Figura 3.19.** Resultado del Problema 3.7.

**3.8.** Analizar el circuito de la Figura 3.20, obtener la ecuación simplificada de la función representada e implementar el circuito con puertas lógicas. Se obtendrá, asimismo, su tabla de verdad.

**Solución:** Las ecuaciones en los puntos del circuito $X$ e $Y$ son las siguientes

$$X = \overline{(a \oplus b) \cdot (b \oplus c)} \quad ; \quad Y = \overline{(\bar{a} + \bar{b})} + \overline{(a + c)}$$

Por tanto, la ecuación de la función en la salida será

$$F = \overline{X \cdot Y} = \overline{[(a \oplus b) \cdot (b \oplus c)] \cdot [(\bar{a} + \bar{b}) + (a + c)]}$$

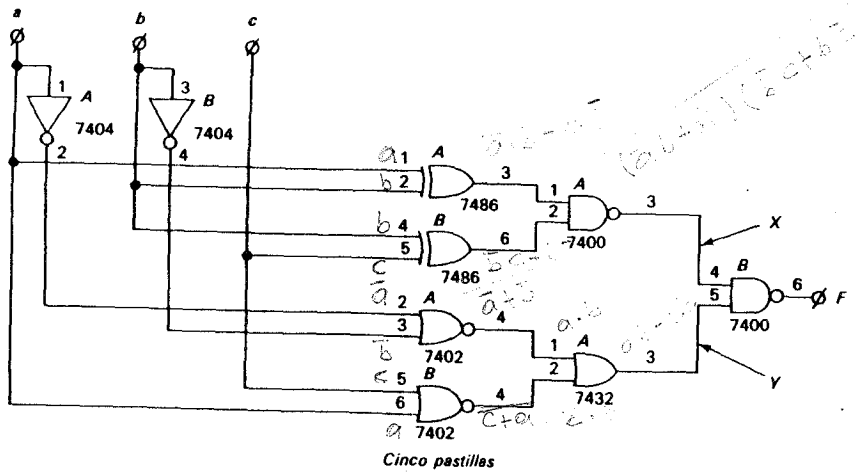



**Figura 3.20.** Circuito del Problema 3.8.

Simplificando la ecuación, obtendremos

$$F = \overline{\overline{[(a + b) \cdot (b + c)]}}^{\oplus} + \overline{\overline{[(\bar{a} + \bar{b}) + (a + c)]}}^{\oplus}$$

$$F = [(a + b) \cdot (b + c)] + [(\bar{a} + \bar{b}) \cdot (a + c)]$$

$$F = (a \cdot \bar{b} + \bar{a} \cdot b) \cdot (b \cdot \bar{c} + \bar{b} \cdot c) + (\bar{a} \cdot a + \bar{a} \cdot c + \bar{b} \cdot a + \bar{b} \cdot c)$$

$$F = a \cdot \bar{b} \cdot b \cdot \bar{c} + a \cdot \bar{b} \cdot \bar{b} \cdot c + \bar{a} \cdot b \cdot b \cdot \bar{c} + \bar{a} \cdot b \cdot \bar{b} \cdot c + \bar{a} \cdot c + \bar{b} \cdot a + \bar{b} \cdot c$$

$$F = a \cdot \bar{b} \cdot c + \bar{a} \cdot b \cdot \bar{c} + \bar{a} \cdot c + \bar{b} \cdot a + \bar{b} \cdot c$$

Aplicando Karnaugh a la anterior ecuación, se obtiene la Figura 3.21.

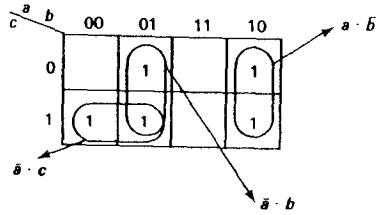



**Figura 3.21.** Mapa de Karnaugh del Problema 3.8.

De donde, por fin, obtenemos la ecuación de la función

$$F = \bar{a} \cdot b + a \cdot \bar{b} + \bar{a} \cdot c$$



La ecuación obtenida precisa de seis puertas lógicas para su implementación; sin embargo, se puede conseguir reducir el número de puertas si tenemos en cuenta que los dos primeros sumandos representan la ecuación de una puerta OR EXCLUSIVA. De esta forma, la ecuación se transforma en la que se muestra a continuación:

$$F = (a \oplus b) + \bar{a} \cdot c$$

Esta función precisa solamente de cuatro puertas para ser implementada. Hay que tener muy en cuenta este caso para próximos problemas, ya que *los mapas de Karnaugh no dan siempre el menor número de puertas posibles*. La implementación del circuito que cumple esta función se representa en la Figura 3.22.

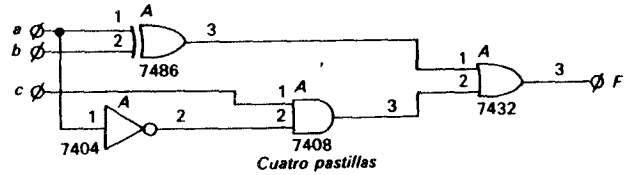



**Figura 3.22.** Circuito con el resultado del Problema 3.8.

La tabla de verdad que refleja esta función es la Tabla 3.7.

**Tabla 3.7.** Tabla de verdad del Problema 3.8

| $a$ | $b$ | $c$ | $a \oplus b$ | $c \cdot \bar{a}$ | $F$ |
|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 |

3.9. Obtener las ecuaciones de salida en el circuito de la Figura 3.23 y simplificarlas.

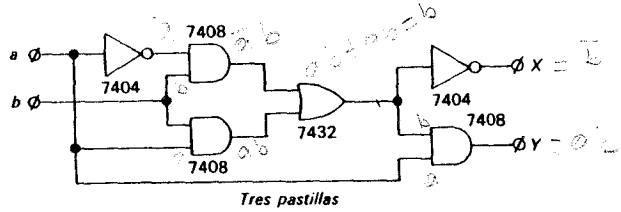



**Figura 3.23.** Circuito del Problema 3.9.

**Solución:** Los circuitos digitales poseen, en la práctica, más de una salida, el circuito de la Figura 3.23 es un ejemplo de ello. Para analizar estos circuitos se obtiene una ecuación por cada salida que posea; el proceso es similar al detallado en problemas anteriores (partiendo desde cada entrada hacia las salidas).

Las ecuaciones y su simplificación serán, en este caso

$$X = \overline{\bar{a} \cdot b + a \cdot \bar{b}} = \overline{\bar{a} \cdot b} \cdot \overline{a \cdot \bar{b}} = (a + \bar{b}) \cdot (\bar{a} + b) = a \cdot \bar{a} + a \cdot b + \bar{a} \cdot \bar{b} + \bar{b} \cdot b = \bar{b}$$

$$Y = a \cdot (\bar{a} \cdot b + a \cdot b) = a \cdot \bar{a} \cdot b + a \cdot a \cdot b = a \cdot b$$

**3.10.** Analizar el circuito de la Figura 3.24 y obtener sus ecuaciones lógicas simplificadas.

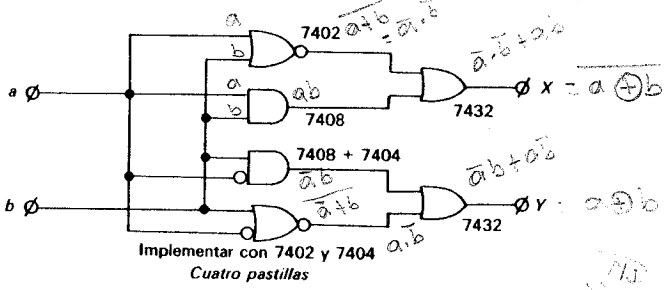



**Figura 3.24.** Circuito del Problema 3.10.

**Solución:** Las ecuaciones de ambas salidas del circuito son

$$X = (\overline{a + b}) + a \cdot b = \bar{a} \cdot \bar{b} + a \cdot b = \overline{a \oplus b}$$

$$Y = (\overline{\bar{a} + b}) + \bar{a} \cdot b = a \cdot \bar{b} + \bar{a} \cdot b = a \oplus b$$

**3.11.** Implementar la función del circuito de la Figura 3.25 empleando:

**a)** Puertas NAND de dos entradas

**b)** Puertas NAND de tres entradas

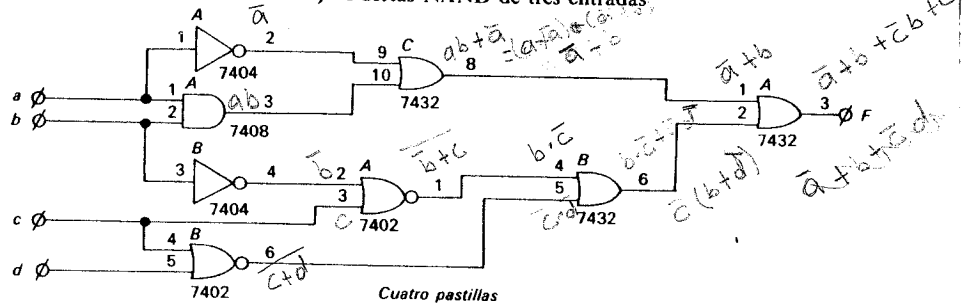



**Figura 3.25.** Circuito del Problema 3.11.



**Solución:** Comenzaremos por obtener la ecuación de la función representada por la Figura 3.25; esta es

$$F = (\bar{a} + a \cdot b) + [(\overline{\bar{b} + c}) + (\overline{c + d})]$$

simplificando la ecuación, se obtiene

$$F = (\bar{a} + a \cdot b) + [(\overline{\bar{b} + c}) + (\overline{c + d})]$$

$$F = \bar{a} + a \cdot b + b \cdot \bar{c} + \bar{c} \cdot \bar{d}$$

Después de esto, pasaremos a implementar la función con un solo tipo de puertas. Cuando se desea implementar una función sólo con puertas NAND, el procedimiento consiste en aplicar sucesivas veces el teorema de De Morgan hasta que todas las sumas se conviertan en producto.

**a)** En este apartado deberemos implementar la función de la Figura 3.25 con puertas NAND de dos entradas. Una forma habitual consiste en negar dos veces toda la ecuación y aplicar De Morgan, luego

$$F = \overline{\overline{\bar{a} + a \cdot b + b \cdot \bar{c} + \bar{c} \cdot \bar{d}}} = \overline{a \cdot (a \cdot b) \cdot (b \cdot \bar{c}) \cdot (\bar{c} \cdot \bar{d})}$$

Partiendo de esta expresión y teniendo en cuenta la equivalencia entre un inversor y puertas NAND —indicada anteriormente en la Tabla 3.3— podemos dibujar ya el circuito de la Figura 3.26 con puertas NAND de dos entradas.

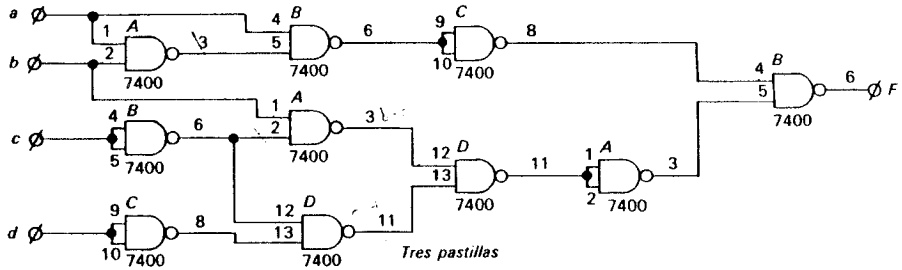



**Figura 3.26.** Circuito con NAND de dos entradas del Problema 3.11.

**b)** Si simplificamos la expresión resultante del Apartado **(a)**, aplicando el teorema de De Morgan y operando, se obtiene

$$F = \overline{a \cdot (a \cdot b) \cdot (b \cdot \bar{c}) \cdot (\bar{c} \cdot \bar{d})} = \overline{a \cdot (\bar{a} + \bar{b}) \cdot (\bar{b} + c) \cdot (c + d)} = (a \cdot \bar{a} + a \cdot \bar{b}) \cdot (\bar{b} \cdot c + \bar{b} \cdot d + c \cdot c + c \cdot d) =$$

$$= a \cdot \bar{b} \cdot c + a \cdot \bar{b} \cdot d + a \cdot \bar{b} \cdot c + a \cdot \bar{b} \cdot c \cdot d = a \cdot \bar{b} \cdot c + a \cdot \bar{b} \cdot d$$

$$F = \overline{(a \cdot \bar{b} \cdot c)} \cdot \overline{(a \cdot \bar{b} \cdot d)}$$

Por último, negando de nuevo dos veces la función, queda

$$F = \overline{(a \cdot \bar{b} \cdot c)} \cdot \overline{(a \cdot \bar{b} \cdot d)} = \overline{\overline{(a \cdot \bar{b} \cdot c)} \cdot \overline{(a \cdot \bar{b} \cdot d)}}$$

El circuito con puertas NAND de tres entradas será, por tanto, como el que se ve en la Figura 3.27.

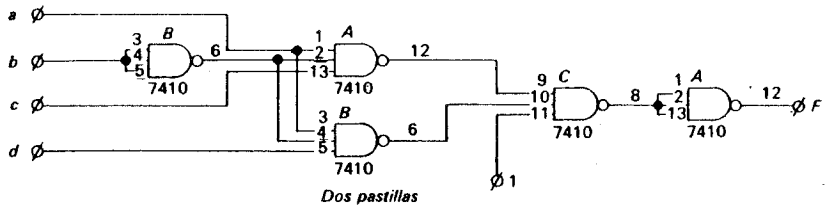



**Figura 3.27.** Circuito con NAND de tres entradas del Problema 3.11.

En el anterior circuito hay que destacar que en la puerta NAND, donde se realiza el producto final de los dos factores, al sobrar una entrada ésta ha sido conectada a nivel 1. La razón de ello está en que *es obligatorio que todas las entradas de una puerta lógica TTL estén conectadas, ya que de no estarlo se producen errores en su funcionamiento.* Por tanto, como el único nivel que no afecta al funcionamiento de una puerta NAND es el 1, se conectará la entrada libre a dicho nivel.

**3.12.** Implementar la siguiente función:

$$F = a \cdot b + a \cdot c + \bar{a} \cdot \bar{b} \cdot c + a \cdot \bar{b}$$

**a)** Sólo con puertas NOR de dos entradas
**b)** Sólo con puertas NAND de dos entradas

**Solución:** Aplicando Karnaugh para simplificar la función, obtenemos el mapa de la Figura 3.28.

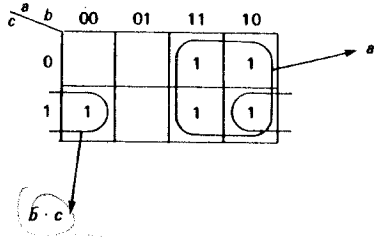



**Figura 3.28.** Mapa del Problema 3.12.

De donde se obtiene la ecuación de la función simplificada:

$$F = a + \bar{b} \cdot \bar{c}$$



**a)** Aplicando el teorema de Morgan en sentido inverso al segundo sumando, obtenemos

$$F = a + \bar{b} \cdot c = a + \overline{(b + \bar{c})}$$

y negando seguidamente dos veces la función, resulta

$$F = \overline{\overline{a + (b + \bar{c})}}$$

Si implementamos esta función, obtenemos el circuito de la Figura 3.29.

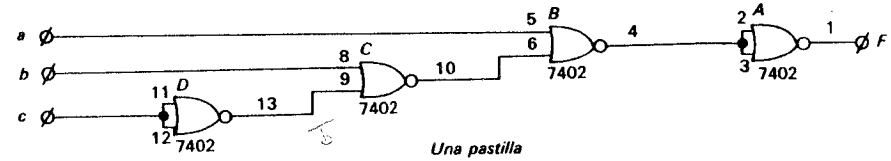



**Figura 3.29.** Implementación con puertas NOR de dos entradas.

**b)** Negando dos veces la función que hemos obtenido del mapa de Karnaugh y aplicando el teorema de De Morgan, se obtiene

$$F = \overline{\overline{a + \bar{b} \cdot c}} = \overline{\bar{a} \cdot \overline{(\bar{b} \cdot c)}}$$

Implementando este circuito con puertas NAND de dos entradas, se obtiene el circuito de la Figura 3.30.

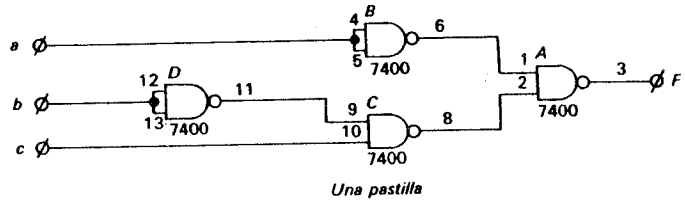



**Figura 3.30.** Implementación con puertas NAND de dos entradas.

**3.13.** Implementar la siguiente función:

$$F = \overline{\bar{c} \cdot d} + \overline{(\bar{a} + a \cdot b \cdot c)}$$

**a)** Sólo con puertas NOR
**b)** Sólo con puertas NAND

**Solución:**

**a)** Si aplicamos el teorema de De Morgan a la anterior expresión, quedará

$$F = \overline{\bar{c} \cdot \bar{d}} + \overline{(\bar{a} + \overline{a \cdot b \cdot c})} = (c + \bar{d}) + \overline{[\bar{a} + (\bar{a} + \bar{b} + \bar{c})]} = (c + \bar{d}) + \overline{(\bar{a} + \bar{b} + \bar{c})}$$

y negando cada operación de suma dos veces para implementarla sólo con puertas NOR, tendremos

$$F = \overline{\overline{\overline{(c + \bar{d})} + \overline{(\bar{a} + \bar{b} + \bar{c})}}}$$

porque el circuito implementado con puertas NOR es el de la Figura 3.31.

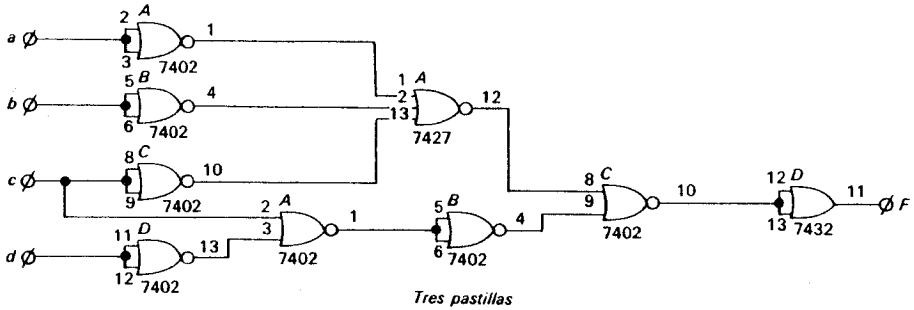



**Figura 3.31.** Implementación con puertas NOR del Problema 3.13.

**b)** Si a la expresión inicial aplicamos el teorema de De Morgan al segundo sumando, se obtiene

$$F = \overline{\bar{c} \cdot \bar{d}} + \overline{(\bar{a} + \overline{a \cdot b \cdot c})} = \overline{\bar{c} \cdot \bar{d}} + (a \cdot a \cdot b \cdot c) = \overline{\bar{c} \cdot \bar{d}} + a \cdot b \cdot c$$

y negando la función dos veces para transformarla en productos negados, queda

$$F = \overline{\overline{(\bar{c} \cdot \bar{d})} + (a \cdot b \cdot c)} = \overline{(\bar{c} \cdot \bar{d}) \cdot \overline{(a \cdot b \cdot c)}} = \overline{\overline{(\bar{c} \cdot \bar{d})} \cdot \overline{(a \cdot b \cdot c)}}$$

El circuito correspondiente a esta función es el que aparece en la Figura 3.32.

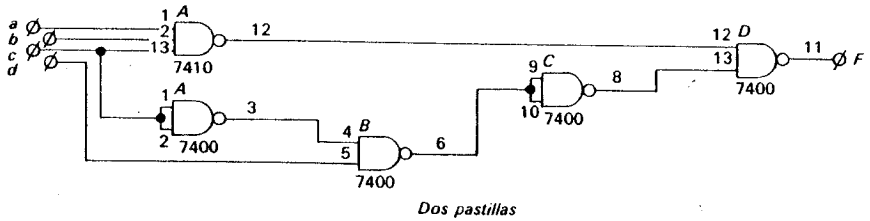



**Figura 3.32.** Implementación con puertas NAND del Problema 3.13.



**3.14.** Simplificar utilizando los mapas de Karnaugh e implementar la siguiente función:

$$F = a \cdot b \cdot e + \bar{b} \cdot d \cdot \bar{e} + \bar{b} \cdot e + \bar{b} \cdot \bar{d} \cdot e$$

**Solución:** Comenzaremos por simplificar la función, empleando para ello el mapa de cinco variables. Se obtiene así el mapa de la Figura 3.33.

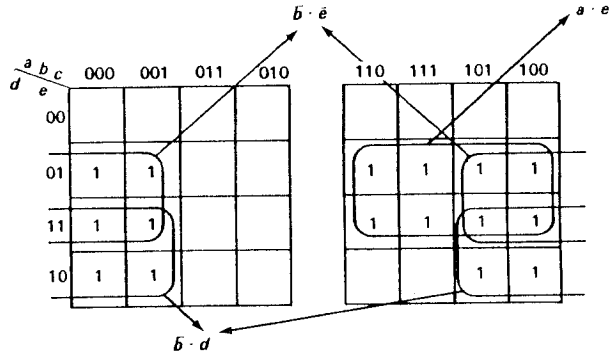



**Figura 3.33.** Mapa de cinco variables.

Por tanto, la función resultante simplificada será

$$F = a \cdot e + \bar{b} \cdot d + \bar{b} \cdot e$$

De donde deducimos que el circuito correspondiente a la implementación de esta función es el de la Figura 3.34.

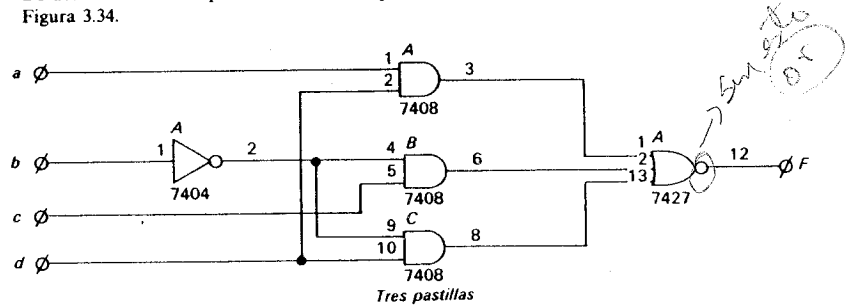



**Figura 3.34.** Implementación correspondiente al Problema 3.14.

**3.15.** Si en el circuito de la Figura 3.35 introducimos las señales *a*, *b* y *c* del cronograma de la Figura 3.36, ¿qué se obtendrá en la salida si suponemos nulos los tiempos de retardo de las puertas?

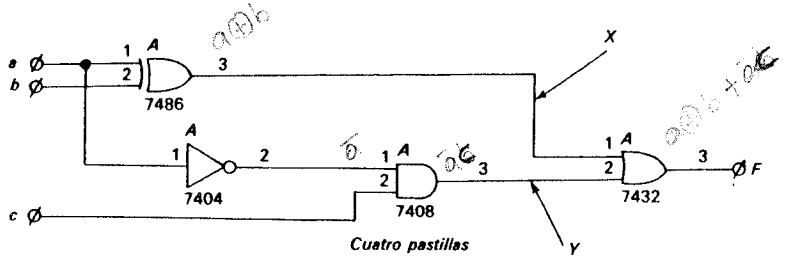



**Figura 3.35.** Circuito del Problema 3.15.

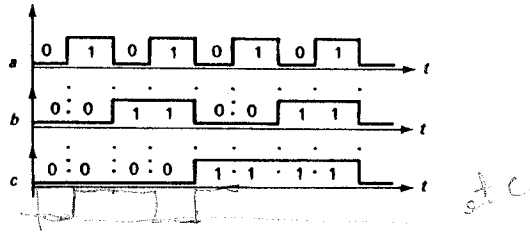



**Figura 3.36.** Cronograma de entrada del Problema 3.15.

**Solución:** La ecuación de la función representada es la siguiente:

$$F = (a \oplus b) + (\bar{a} \cdot c)$$

Calculando la tabla de verdad de esta función tal y como se explicó en el Capítulo 1, obtendremos la Tabla 3.3.

**Tabla 3.8.** Tabla de verdad del Problema 3.15

| a b c | $X = (a \oplus b)$ | $Y = (\bar{a} \cdot c)$ | $F$ |
|---|---|---|---|
| 0 0 0 | 0 | 0 | 0 |
| 0 0 1 | 0 | 1 | 1 |
| 0 1 0 | 1 | 0 | 1 |
| 0 1 1 | 1 | 1 | 1 |
| 1 0 0 | 1 | 0 | 1 |
| 1 0 1 | 1 | 0 | 1 |
| 1 1 0 | 0 | 0 | 0 |
| 1 1 1 | 0 | 0 | 0 |



Si aplicamos la Tabla 3.8 a cada una de las entradas, se obtiene el cronograma representado en la Figura 3.37.

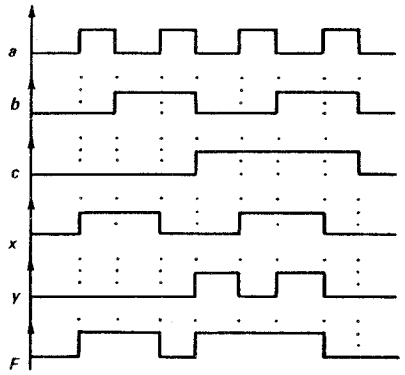



**Figura 3.37.** Cronograma de salida del Problema 3.15.

**3.16.** Dado el cronograma de la Figura 3.38, que corresponde a un circuito lógico, diseñar dicho circuito.

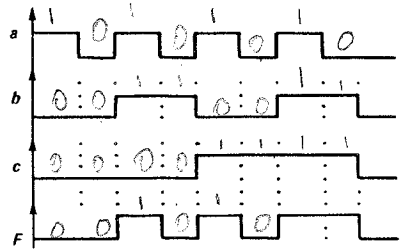



**Figura 3.38.** Cronograma del Problema 3.16.

**Solución:** A la vista del cronograma de la Figura 3.38 se puede obtener fácilmente la Tabla 3.9, que corresponde a la tabla de verdad del circuito.

**Tabla 3.9.** Tabla de verdad del Problema 3.16

| *a* | *b* | *c* | *F* |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

Obteniendo la ecuación de la función de la Tabla 3.9 y simplificando por el método de Karnaugh, resulta la Figura 3.39.

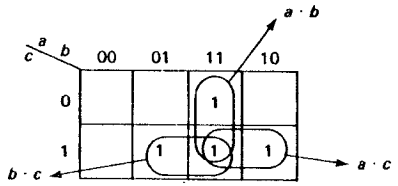



**Figura 3.39.** Mapa del Problema 3.16.

Del anterior mapa se llega, por fin, a la siguiente ecuación:

$$F = a \cdot b + a \cdot c + b \cdot c$$

Por tanto, el circuito capaz de realizar el cronograma de la Figura 3.38 es el que se muestra en la Figura 3.40.

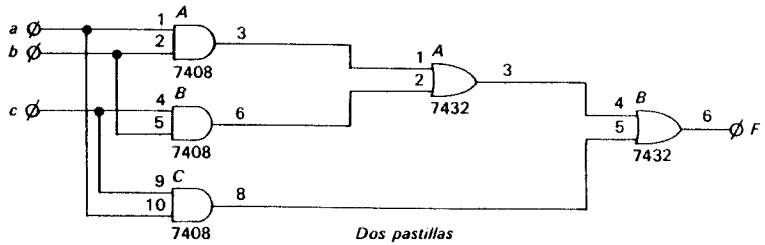



**Figura 3.40.** Circuito con el resultado del Problema 3.16.



**3.17.** Partiendo del cronograma de la Figura 3.41, diseñar el circuito lógico que lo cumple.

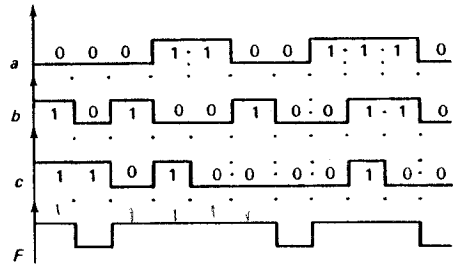



**Figura 3.41.** Cronograma de entradas/salidas del Problema 3.17.

**Solución:** Observando el diagrama de tiempos podemos sacar fácilmente la Tabla 3.10, que constituye la tabla de verdad del circuito que se debe diseñar.

**Tabla 3.10.** Tabla de verdad del Problema 3.17

| *a* | *b* | *c* | *F* |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

Si simplificamos por el método de Karnaugh, obtenemos el mapa de la Figura 3.42.

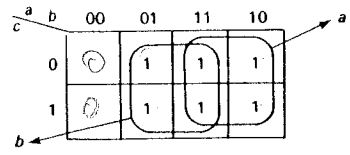



**Figura 3.42.** Mapa del Problema 3.17.

De este mapa se obtiene la ecuación del circuito

$$F = a + b$$

El circuito correspondiente a esta función es el de la Figura 3.43, en el que se puede observar que la entrada $c$ se puede eliminar ya que el resultado es independiente de sus variaciones.

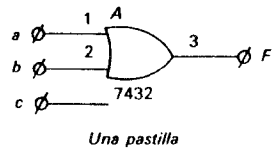



**Figura 3.43.** Resultado del Problema 3.17.

**3.18.** Utilizando puertas lógicas de dos entradas e inversores, implementar un circuito lo más sencillo posible que cumpla la Tabla de verdad 3.11.

**Tabla 3.11.** Tabla de verdad del Problema 3.18

| *a* | *b* | *c* | *d* | *F* |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

**Solución:** Aplicando los mapas de Karnaugh para simplificar esta función, obtenemos la Figura 3.44.



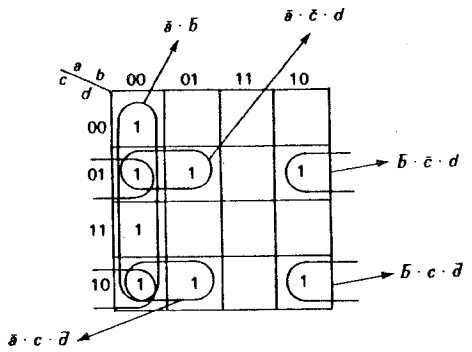



**Figura 3.44.** Mapa del Problema 3.18.

Del mapa anterior resulta la siguiente ecuación simplificada:

$$F = \bar{a}\cdot\bar{b} + \bar{a}\cdot\bar{c}\cdot d + \bar{a}\cdot c\cdot\bar{d} + \bar{b}\cdot\bar{c}\cdot d + \bar{b}\cdot c\cdot\bar{d}$$

sacando factor común $\bar{a}$ y $\bar{b}$ en los cuatro últimos sumandos, queda

$$F = \bar{a}\cdot\bar{b} + \bar{a}\cdot(c \oplus d) + \bar{b}\cdot(c \oplus d)$$

Tras ello sacaremos también factor común $(c \oplus d)$, resultando

$$F = \bar{a}\cdot\bar{b} + (\bar{a} + \bar{b})\cdot(c \oplus d)$$

Por último, aplicando De Morgan, tendremos

$$F = \bar{a}\cdot\bar{b} + (\overline{a\cdot b})\cdot(c \oplus d)$$

El circuito resultante es, por tanto, el de la Figura 3.45.

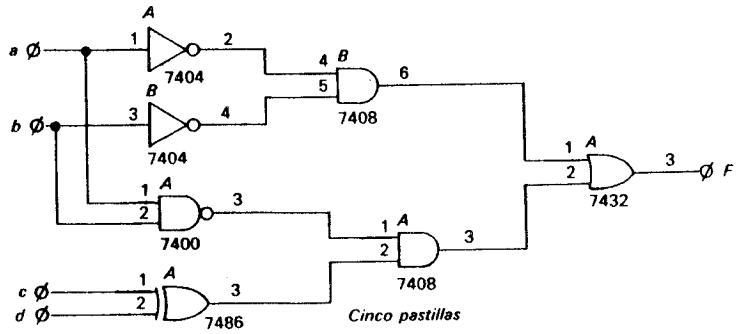



**Figura 3.45.** Resultado del Problema 3.18.

**3.19.** Implementar la función que define la Tabla de verdad 3.12.

**Tabla 3.12.** Tabla de verdad del Problema 3.19

| *a* | *b* | *c* | *d* | *F* |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

**Solución:**

$$F = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot b \cdot c \cdot \bar{d} + a \cdot \bar{b} \cdot c \cdot \bar{d} + a \cdot b \cdot \bar{c} \cdot d$$

Utilizando los mapas de Karnaugh para simplificar la función, se obtiene la Figura 3.46.

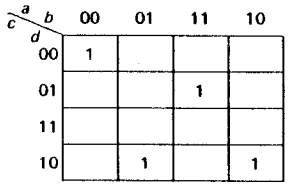



**Figura 3.46.** Mapa del Problema 3.19.

En principio, y a la vista de este mapa, la función no puede simplificarse. En estos casos se emplea, si es posible, una variante específica del mapa de Karnaugh para funciones OR exclusiva. Dicho mapa se obtiene intercambiando entre sí las dos últimas columnas y las dos últimas filas, resultando de este modo un mapa como el que aparece en la Figura 3.47.



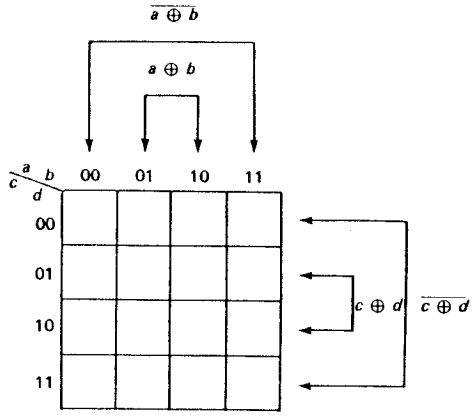



**Figura 3.47.** Mapa de Karnaugh para OR exclusiva.

En este mapa las casillas de las columnas y filas centrales poseen la siguiente propiedad simplificativa

$$\bar{a} \cdot b + a \cdot \bar{b} = a \oplus b \quad ; \quad \bar{c} \cdot d + c \cdot \bar{d} = c \oplus d$$

Asimismo, las casillas de las columnas y filas de los extremos cumplen

$$\bar{a} \cdot \bar{b} + a \cdot b = \overline{a \oplus b} \quad ; \quad \bar{c} \cdot \bar{d} + c \cdot d = \overline{c \oplus d}$$

Si utilizamos en nuestro problema el mapa de OR exclusivo, se obtiene el mapa de la Figura 3.48.

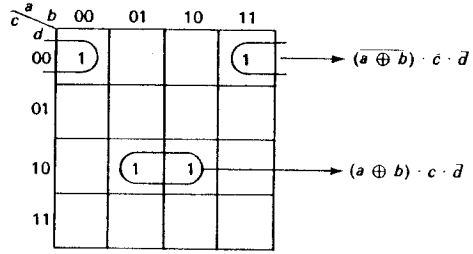



**Figura 3.48.** Mapa de OR exclusiva del Problema 3.19.

De tal mapa resulta la siguiente ecuación:

$$F = (a \oplus b) \cdot c \cdot \bar{d} + (\overline{a \oplus b}) \cdot \bar{c} \cdot \bar{d}$$

$$F = \bar{d} \cdot [(a \oplus b) \cdot c + (\overline{a \oplus b}) \cdot \bar{c}]$$

y, por último

$$F = \bar{d} \cdot [(a \oplus b) \oplus \bar{c}]$$

Por tanto, el circuito quedará tal y como se muestra en la Figura 3.49.

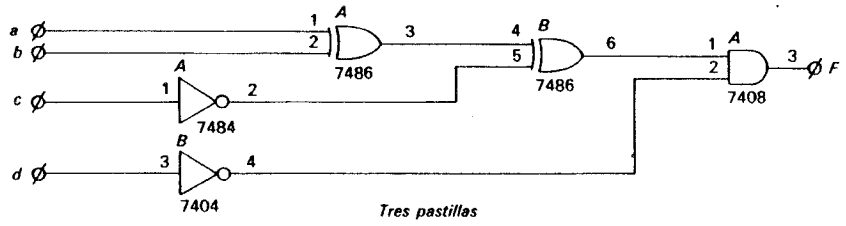



**Figura 3.49.** Circuito correspondiente al Problema 3.19.

**3.20.** Utilizando los mapas de Karnaugh para OR exclusiva, implementar la función que cumple la Tabla de verdad 3.13.

**Tabla 3.13.** Tabla de verdad del Problema 3.20

| *a* | *b* | *c* | *d* | *F* |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

**Solución:** Representando la ecuación minterms en el mapa de OR exclusiva, se obtiene el mapa de la Figura 3.50.



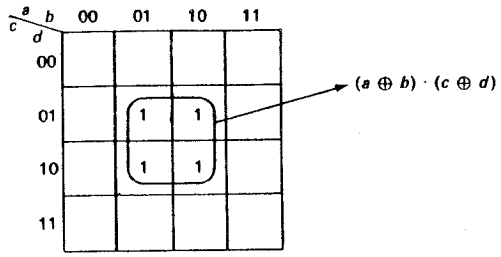



**Figura 3.50.** Mapa de OR exclusiva del Problema 3.20.

De este último mapa se obtiene la siguiente ecuación:

$$F = (a \oplus b) \cdot (c \oplus d)$$

La implementación del circuito aparece en la Figura 3.51.

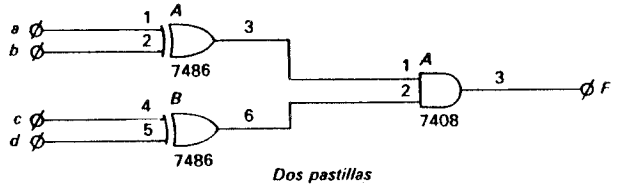



**Figura 3.51.** Circuito del Problema 3.20.

**3.21.** Utilizando los mapas de Karnaugh para OR exclusiva, implementar la función que cumple la Tabla de verdad 3.14.

**Tabla 3.14.** Tabla de verdad del Problema 3.21

| *a* | *b* | *c* | *d* | *F* | *a* | *b* | *c* | *d* | *F* |
|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |

**Solución:** Si se representa la ecuación minterms en el mapa de OR exclusiva, se obtiene el mapa de la Figura 3.52.

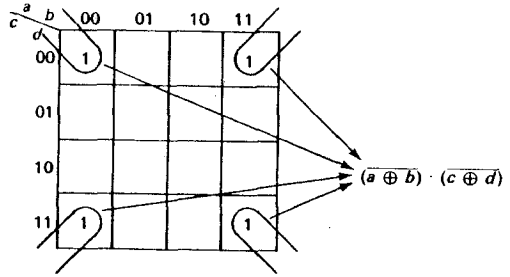



**Figura 3.52.** Mapa de OR exclusiva del Problema 3.21.

Del mapa anterior se obtiene la siguiente ecuación:

$$F = (\overline{a \oplus b}) \cdot (\overline{c \oplus d})$$

La implementación del circuito aparece en la Figura 3.53.

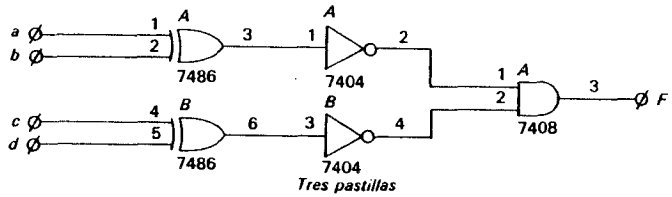



**Figura 3.53.** Circuito del Problema 3.21.

**3.22.** Dado el cronograma de la Figura 3.54, que corresponde a las entradas y salidas de un circuito combinacional, implementar el circuito con puertas lógicas de la forma más simplificada posible.

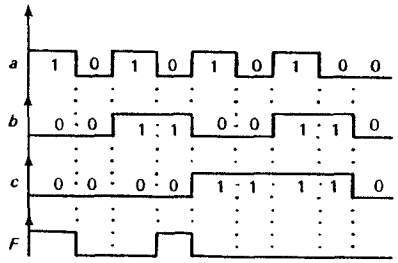



**Figura 3.54.** Cronograma del Problema 3.22.



**Solución:** Del cronograma resulta la ecuación de la función a implementar

$$F = a \cdot \bar{b} \cdot \bar{c} + \bar{a} \cdot b \cdot \bar{c} = \bar{c} \cdot (a \cdot \bar{b} + \bar{a} \cdot b) = \bar{c} \cdot (a \oplus b)$$

En la Figura 3.55 aparece implementado el circuito que cumple el cronograma del enunciado.

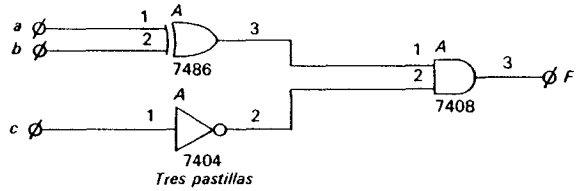



**Figura 3.55.** Resultado del Problema 3.22.

**3.23.** Utilizando los mapas de Karnaugh, implementar, con el menor número posible de puertas lógicas, el circuito que cumple la Tabla de verdad 3.15.

**Tabla 3.15.** Tabla de verdad del Problema 3.23

| *a* | *b* | *c* | *d* | *e* | *F* | *a* | *b* | *c* | *d* | *e* | *F* |
|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

**Solución:** Cuando hay que utilizar el método de Karnaugh para simplificar una función de cinco variables existen dos formas de aplicar los mapas:

a) Podemos emplear un mapa de Karnaugh de cuatro variables para aquellos valores en que $a = 0$ y otro para aquellos en que $a = 1$, tal y como aparece en los mapas de la Figura 3.56.

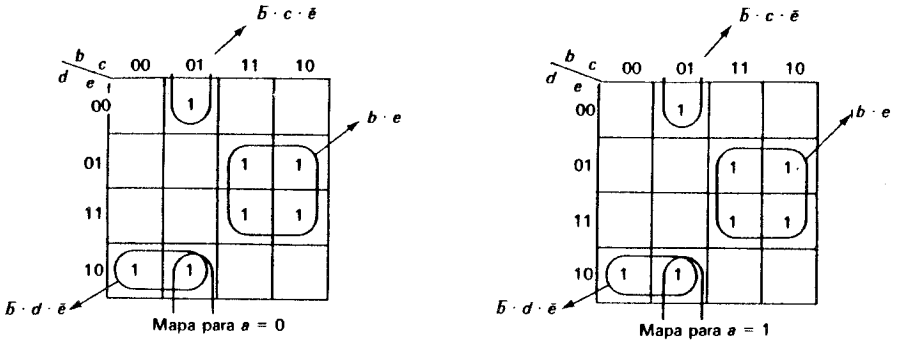



**Figura 3.56.** Mapas de Karnaugh del Problema 3.23.

De tales mapas se obtienen las ecuaciones

$$F_1 = \bar{a} \cdot (b \cdot e + \bar{b} \cdot c \cdot \bar{e} + \bar{b} \cdot d \cdot \bar{e})$$
$$F_2 = a \cdot (b \cdot e + \bar{b} \cdot c \cdot \bar{e} + \bar{b} \cdot d \cdot \bar{e})$$

Teniendo en cuenta que la ecuación de la función es la suma de ambas ecuaciones, resultará

$$F = F_1 + F_2 = \bar{a} \cdot (b \cdot e + \bar{b} \cdot c \cdot \bar{e} + \bar{b} \cdot d \cdot \bar{e}) + a \cdot (b \cdot e + \bar{b} \cdot c \cdot \bar{e} + \bar{b} \cdot d \cdot \bar{e})$$

Sacando factor común, quedará

$$F = (a + \bar{a}) \cdot (b \cdot e + \bar{b} \cdot c \cdot \bar{e} + \bar{b} \cdot d \cdot \bar{e}) = b \cdot e + \bar{b} \cdot c \cdot \bar{e} + \bar{b} \cdot d \cdot \bar{e}$$

**b)** Otra forma de simplificar ecuaciones de cinco variables con los mapas de Karnaugh consiste en el empleo del mapa de cinco entradas, como el que aparece en la Figura 3.57.

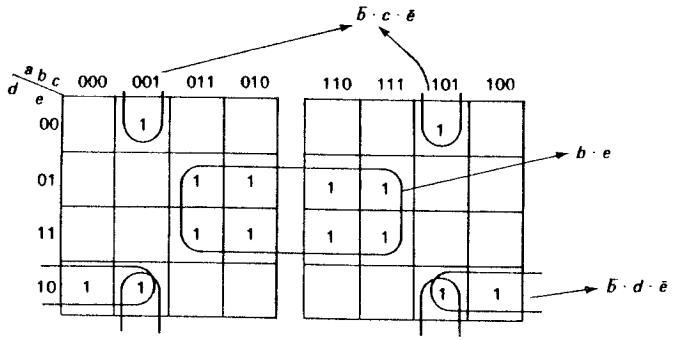



**Figura 3.57.** Mapa de Karnaugh de cinco variables del Problema 3.23.



Por tanto, directamente del mapa de la Figura 3.57 podemos obtener la función simplificada

$$F = e \cdot b + \bar{b} \cdot c \cdot \bar{e} + \bar{b} \cdot d \cdot \bar{e}$$

El circuito, por tanto, es el que aparece en la Figura 3.58.

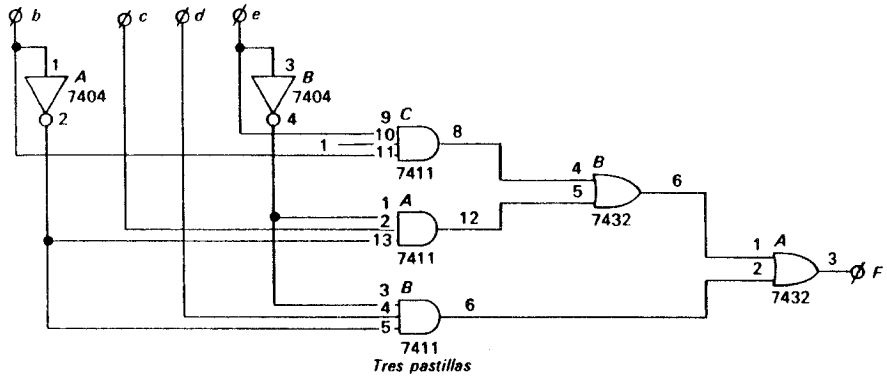



**Figura 3.58.** Resultado del Problema 3.23.

**3.24.** Diseñar un circuito constituido por tres pulsadores, *a*, *b*, *c*, y una lámpara que funcione de forma que ésta se encienda cuando se pulsen los tres pulsadores a la vez o uno cualquiera solamente.

**Solución:** La Tabla 3.16 representa la tabla de verdad que cumple el enunciado del problema donde se considera 0 a la lámpara apagada y 1 a la lámpara encendida.

**Tabla 3.16.** Tabla de verdad del Problema 3.24

| *a* | *b* | *c* | *F* |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

De la tabla anterior se deduce la siguiente ecuación:

$$F = \bar{a} \cdot \bar{b} \cdot c + \bar{a} \cdot b \cdot \bar{c} + a \cdot \bar{b} \cdot \bar{c} + a \cdot b \cdot c$$

Simplificando quedará

$$F = \bar{a} \cdot (\bar{b} \cdot c + b \cdot \bar{c}) + a \cdot (\bar{b} \cdot \bar{c} + b \cdot c) = \bar{a} \cdot (b \oplus c) + a \cdot \overline{(b \oplus c)}$$

$$F = a \oplus b \oplus c$$

La implementación de la función anterior aparece en la Figura 3.59.

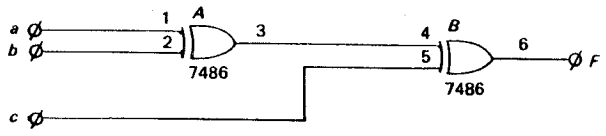



**Figura 3.59.** Circuito con el resultado del Problema 3.24.

**3.25.** Diseñar un circuito que, estando constituido por cuatro pulsadores, *a*, *b*, *c* y *d*, y dos lámparas, $L_1$ y $L_2$, cumpla las siguientes condiciones de funcionamiento:

- $L_1$ se encenderá si se pulsan tres pulsadores cualesquiera.
- $L_2$ se encenderá si se pulsan los cuatro pulsadores.
- Si se pulsa un solo pulsador, sea éste el que sea, se encenderán $L_1$ y $L_2$.

**Tabla 3.17.** Tabla de verdad del Problema 3.25

| *a* | *b* | *c* | *d* | $L_1$ | $L_2$ |
|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 |



**Solución:** De acuerdo con las condiciones de funcionamiento expresadas en el enunciado, se puede obtener la Tabla 3.17, o tabla de verdad del circuito a implementar. De la citada Tabla 3.17 se obtienen las siguientes ecuaciones:

$$L_1 = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d + \bar{a} \cdot \bar{b} \cdot c \cdot \bar{d} + \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot b \cdot c \cdot d +$$
$$+ a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + a \cdot \bar{b} \cdot c \cdot d + a \cdot b \cdot \bar{c} \cdot d + a \cdot b \cdot c \cdot \bar{d}$$

$$L_2 = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d + \bar{a} \cdot \bar{b} \cdot c \cdot \bar{d} + \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} + a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + a \cdot b \cdot c \cdot d$$

Sacando factores comunes en las ecuaciones, obtenemos

$$L_1 = \bar{a} \cdot \bar{b} \cdot (\bar{c} \cdot d + c \cdot \bar{d}) + a \cdot b \cdot (\bar{c} \cdot d + c \cdot \bar{d}) + \bar{c} \cdot \bar{d} \cdot (\bar{a} \cdot b + a \cdot \bar{b}) +$$
$$+ c \cdot d \cdot (\bar{a} \cdot b + a \cdot \bar{b}) = (a \oplus b) \oplus (c \oplus d)$$

$$L_2 = \bar{a} \cdot \bar{b} \cdot (\bar{c} \cdot d + c \cdot \bar{d}) + \bar{c} \cdot \bar{d} \cdot (\bar{a} \cdot b + a \cdot \bar{b}) + a \cdot b \cdot c \cdot d$$

$$L_2 = \overline{(a + b)} \cdot (c \oplus d) + \overline{(c + d)} \cdot (a \oplus b) + a \cdot b \cdot c \cdot d$$

Por tanto, el circuito capaz de realizar las condiciones del problema es el representado en la Figura 3.60.

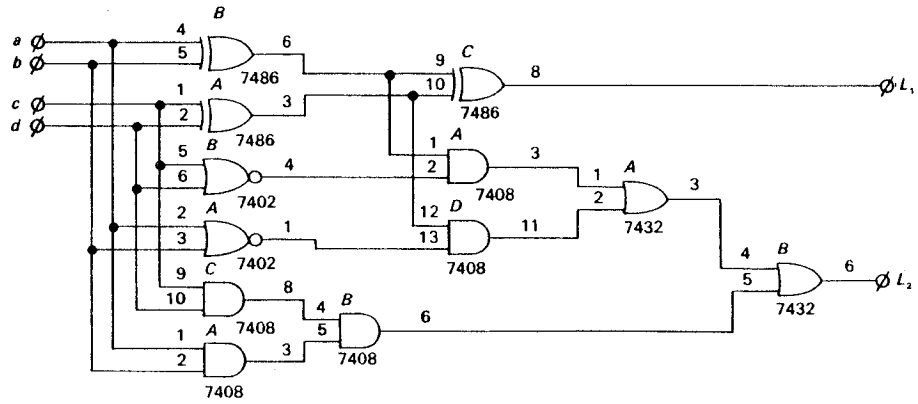



**Figura 3.60.** Circuito con el resultado del Problema 3.25.

**3.26.** Diseñar el circuito de control de un motor mediante tres pulsadores, *a*, *b* y *c*, que cumpla las siguientes condiciones de funcionamiento:

- Si se pulsan los tres pulsadores, el motor se activa.
- Si se pulsan dos pulsadores cualesquiera, el motor se activa, pero se enciende una lámpara de peligro.

- Si sólo se pulsa un pulsador, el motor no se activa, pero sí se enciende la lámpara indicadora de peligro.
- Si no se pulsa ningún pulsador, el motor y la lámpara están desactivados.

**Solución:** Partiendo de las condiciones indicadas en el enunciado, se obtiene la Tabla 3.18, o tabla de verdad del circuito a implementar.

**Tabla 3.18.** Tabla de verdad del Problema 3.26

| *a* | *b* | *c* | *M* | *L* |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 |

Si aplicamos los mapas de Karnaugh para simplificar las ecuaciones de ambas salidas, se obtienen los mapas de la Figura 3.61.

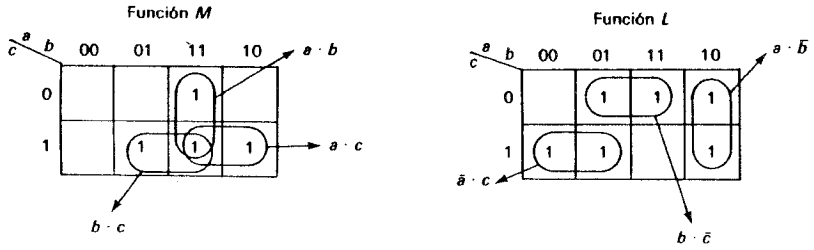



**Figura 3.61.** Mapas del Problema 3.26.

De los anteriores mapas se obtienen las ecuaciones

$$M = a \cdot b + b \cdot c + a \cdot c \quad ; \quad L = \bar{a} \cdot c + b \cdot \bar{c} + a \cdot \bar{b}$$

El circuito resultante de la implementación de las anteriores ecuaciones aparece en la Figura 3.62.



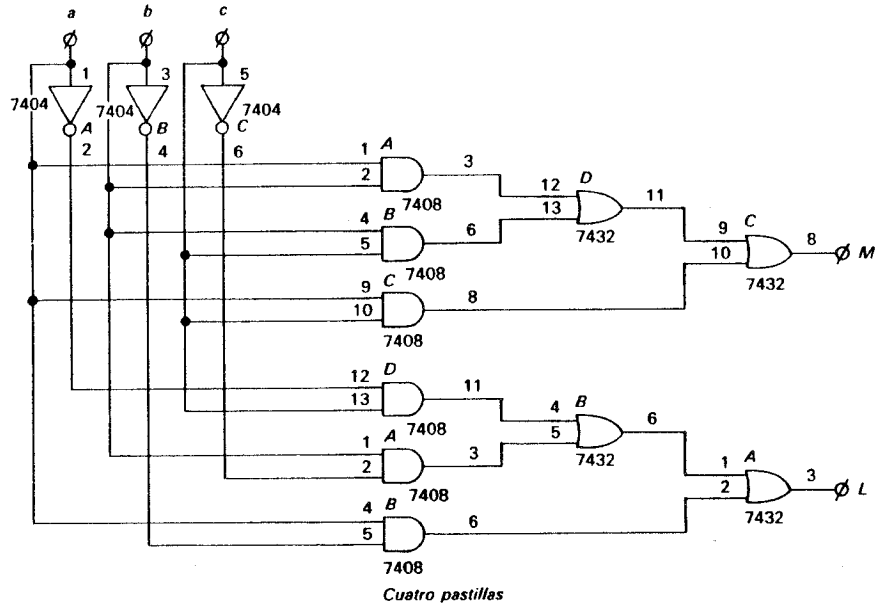



**Figura 3.62.** Circuito del Problema 3.26.

3.27. Diseñar un circuito que sume o reste dos entradas, *a* y *b*, según el valor de una tercera entrada, *c*. Si $c = 0$, aparecerá en la salida *X*, el valor de $a + b$; si $c = 1$, se realizará la operación $a - b$. Asimismo, el circuito constará de una salida adicional *Y* en la que aparecerá el posible acarreo en la suma binaria o el préstamo en la resta (véase Cap. 4).

**Solución:** La Tabla 3.19 representa la tabla de verdad del circuito a diseñar.

**Tabla 3.19.** Tabla de verdad del Problema 3.27

| *a* | *b* | *c* | *X* | *Y* |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 |

Aplicando los mapas de Karnaugh con el fin de simplificar las ecuaciones de ambas salidas se obtienen los mapas de la Figura 3.63.

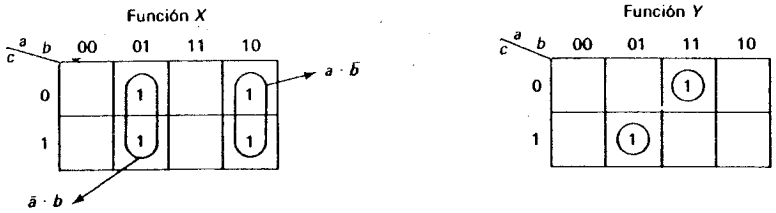



**Figura 3.63.** Mapas del Problema 3.27.

De los anteriores mapas se obtienen las ecuaciones

$$X = \bar{a} \cdot b + a \cdot \bar{b} = a \oplus b$$

$$Y = a \cdot b \cdot \bar{c} + \bar{a} \cdot b \cdot c = b \cdot (a \cdot \bar{c} + \bar{a} \cdot c) = b \cdot (a \oplus c)$$

Por tanto, el circuito que cumple las condiciones del enunciado es el representado en la Figura 3.64.

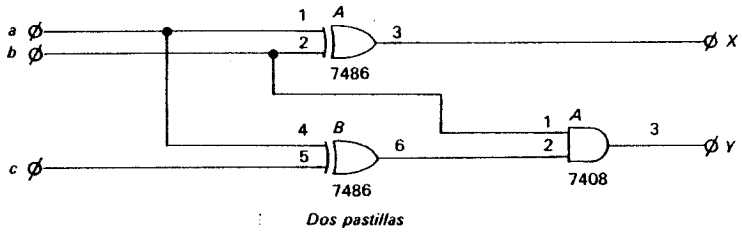



**Figura 3.64.** Circuito con el resultado del Problema 3.27.

**3.28.** Se pretende diseñar un circuito de cuatro variables ($a$, $b$, $c$ y $d$) que tome valor lógico 1 cuando el número de variables de entrada en estado 1 sea igual o mayor que el de las que están en estado 0.

**a)** Implementar el circuito con puertas NAND
**b)** Implementar el circuito con puertas NOR

**Solución:**

**a)** De acuerdo con el enunciado, la tabla de verdad de los circuitos a implementar es la que aparece en la Tabla 3.20.



**Tabla 3.20.** Tabla de verdad del Problema 3.28

| *a* | *b* | *c* | *d* | *F* |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

Aplicando el método de Karnaugh para simplificar la función, obtenemos el mapa de la Figura 3.65.

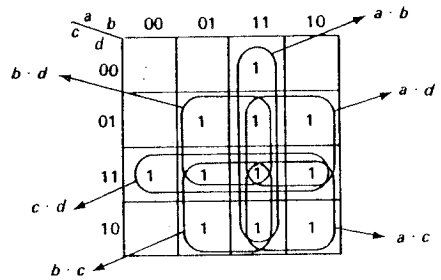



**Figura 3.65.** Mapa del Problema 3.28.

$$F = a \cdot b + c \cdot d + b \cdot d + b \cdot c + a \cdot d + a \cdot c$$

Negando dos veces esta función y a través del teorema de De Morgan, resulta

$$F = \overline{a \cdot b + c \cdot d + b \cdot d + b \cdot c + a \cdot d + a \cdot c}$$

$$F = \overline{(a \cdot b) \cdot (c \cdot d) \cdot (b \cdot d) \cdot (b \cdot c) \cdot (a \cdot d) \cdot (a \cdot c)}$$

De aquí se puede ya implementar el circuito con puertas NAND, tal y como se ve en la Figura 3.66.

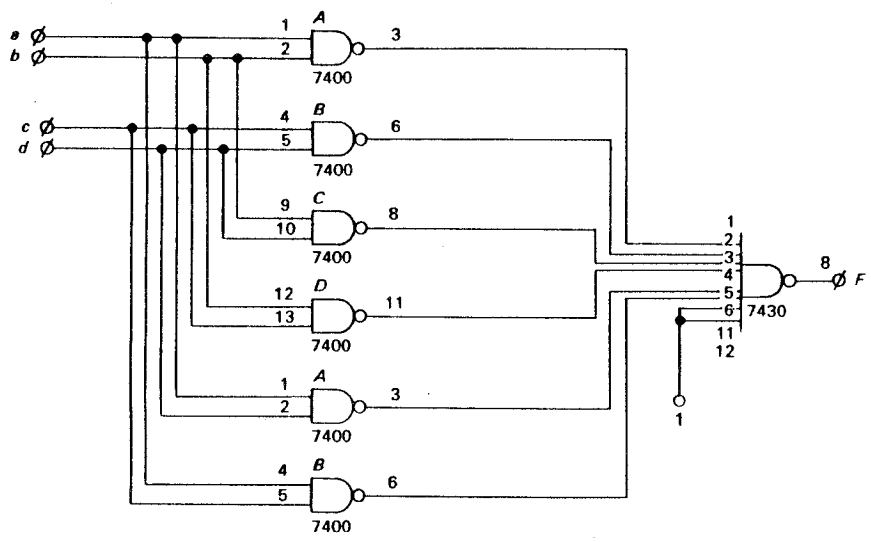



**Figura 3.66.** Circuito implementado con NAND del Problema 3.28.

**b)** Para implementar el circuito con puertas NOR se puede partir de la expresión anterior y aplicar el teorema de De Morgan, de lo que resulta

$$F = (\overline{\bar{a} + \bar{b}}) + (\overline{\bar{c} + \bar{d}}) + (\overline{\bar{b} + \bar{d}}) + (\overline{\bar{b} + \bar{c}}) + (\overline{\bar{a} + \bar{d}}) + (\overline{\bar{a} + \bar{c}})$$

$$F = \overline{(\overline{\bar{a} + \bar{b}}) + (\overline{\bar{c} + \bar{d}}) + (\overline{\bar{b} + \bar{d}}) + (\overline{\bar{b} + \bar{c}}) + (\overline{\bar{a} + \bar{d}}) + (\overline{\bar{a} + \bar{c}})}$$

Luego el circuito con puertas NOR es el de la Figura 3.67.



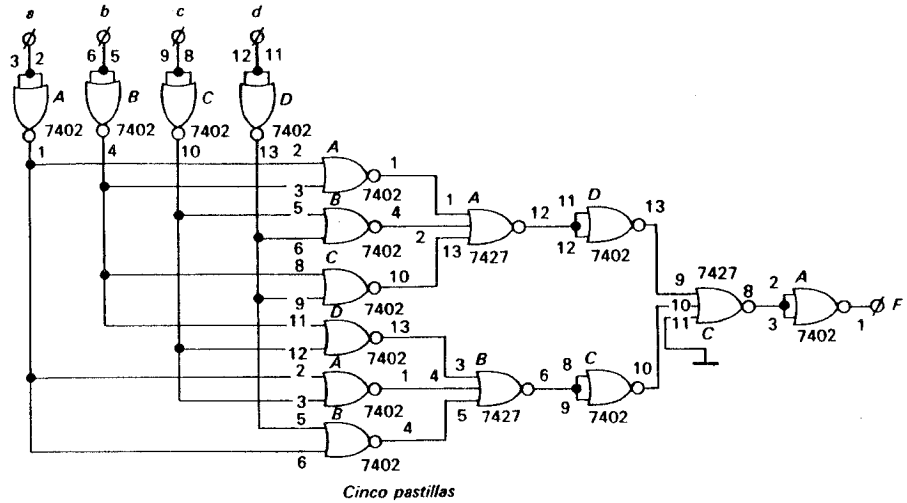



**Figura 3.67.** Circuito implementado con NOR del Problema 3.28.

**3.29.** Un sistema de alarma está constituido por cuatro detectores denominados *a*, *b*, *c* y *d*; el sistema debe activarse cuando se activen tres o cuatro detectores, si sólo lo hacen dos detectores, es indiferente la activación o no del sistema. Por último, el sistema nunca debe

**Tabla 3.21.** Tabla de verdad del Problema 3.29

| *a* | *b* | *c* | *d* | *F* |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | × |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | × |
| 0 | 1 | 1 | 0 | × |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | × |
| 1 | 0 | 1 | 0 | × |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | × |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

activarse si se dispara un solo detector o ninguno. Por razones de seguridad el sistema se deberá activar si $a = 0$, $b = 0$, $c = 0$ y $d = 1$.

El sistema se implementará empleando sólo puertas NOR.

**Solución:** Partiendo de las condiciones de funcionamiento indicadas en el enunciado, se puede establecer la Tabla 3.21.

En esta tabla aparece una situación no planteada en los problemas precedentes, pero que en muchos casos simplifica los circuitos finales. Dicha situación se plantea cuando la *respuesta del circuito es indiferente para alguna o varias combinaciones de entrada.*

*La indiferencia está determinada por las condiciones de funcionamiento del circuito.* En nuestro caso nos resulta indiferente la activación o no activación de la alarma cuando se activen sólo dos detectores, puesto que así lo consideramos conveniente. En otros casos, la condición de indiferencia queda establecida en función de la imposibilidad de producirse una determinada combinación de entradas o por cualquier otra causa que se considere oportuna. En el Capítulo 2 se indicó el modo de empleo de los términos indiferentes en las tablas de verdad y mapas de Karnaugh.

Una vez aclarado el tema de las indiferencias, continuaremos con la resolución del problema. Representando en un mapa de Karnaugh la ecuación minterms correspondiente a la Tabla 3.20, se obtiene el mapa de la Figura 3.68.

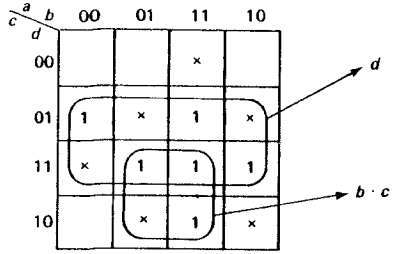



**Figura 3.68.** Mapa minterms del Problema 3.29.

Del mapa, a su vez, se obtiene la ecuación minterms simplificada:

$$F = b \cdot c + d$$

Negando dos veces la anterior ecuación y aplicando el teorema de De Morgan, tendremos

$$F = \overline{\overline{(b + c)} + d}$$

Si hubiéramos simplificado la ecuación por términos maxterms, el mapa obtenido sería el de la Figura 3.69.



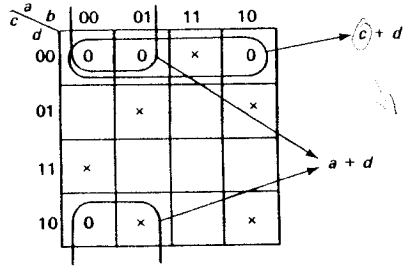



**Figura 3.69.** Mapa maxterms del Problema 3.29.

De donde resulta la siguiente ecuación simplificada:

$$F = (c + d) \cdot (a + d)$$

Si negamos dos veces la ecuación y aplicamos el teorema de De Morgan queda

$$F = \overline{\overline{(c + d)} \cdot \overline{(a + d)}}$$

Por tanto, el circuito que representa la implementación de la función será el de la Figura 3.70.

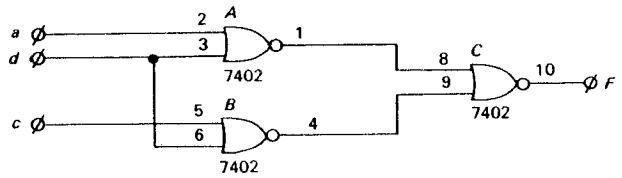



**Figura 3.70.** Resultado del Problema 3.29.

**3.30.** Se prevé que las instrucciones que han de impartirse en un próximo rally de coches deportivos serán muy complejas. Puesto que van a utilizarse dos conjuntos de instrucciones distintas, los organizadores han decidido utilizar, para determinar el bloque de instrucciones a entregar en la línea de salida a cada concursante, un circuito lógico digital que tenga en cuenta las siguientes condiciones:

- Los coches extranjeros con un motor de cilindrada mayor de 1.430 $cm^3$ deberán correr en clase II, junto con los coches nacionales; en caso contrario, deben correr en clase I.
- Para los coches que compiten en la clase II, el conjunto de instrucciones que se les va a

entregar dependerá del tipo de equipamiento. Es decir, los coches de esta clase que estén equipados de acuerdo con las instrucciones generales publicadas utilizarán el conjunto de las instrucciones *A*, mientras que aquellos que no estén equipados de acuerdo con las instrucciones generales utilizarán el conjunto de instrucciones *B*.

- Todos los coches de la clase I utilizarán el conjunto de instrucciones *B*, salvo que el coche tenga neumáticos radiales o esté equipado, en cuyo caso el participante recibirá el conjunto de instrucciones *A*.

En la línea de salida, el organizador dispondrá de cuatro conmutadores para indicar dónde ha sido fabricado el coche (por ejemplo, extranjero o nacional), su cilindrada con respecto a los 1.430 $cm^3$, si está debidamente equipado y el tipo de neumáticos. Dichos conmutadores accionarán a través de un circuito combinacional un diodo LED. Cuando el diodo esté encendido, el organizador dará al participante el conjunto de instrucciones *A*. En caso contrario, cuando el diodo no se encienda, el participante recibirá el conjunto de instrucciones *B*.

Diseñar este circuito utilizando el menor número de puertas posible.

**Solución:** Lo primero que se debe hacer es una tabla de verdad que contemple todas las posibilidades. Pero antes deberemos definir cada una de las variables.

- *A* será 1 si el coche es extranjero, 0 si es nacional.
- *B* será 1 si la cilindrada es mayor de 1.430 $cm^3$ y 0 si es menor de 1.430 $cm^3$.
- *C* será 1 si está equipado y 0 si no lo está.
- *D* será 1 si lleva ruedas radiales y 0 si no las lleva.

Bajo estas condiciones, la tabla de verdad es como la que puede verse en la Tabla 3.22.

**Tabla 3.22.** Tabla de verdad del Problema 3.30

| *a* | *b* | *c* | *d* | Clase | Ins. | Salida |
|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | II | *B* | 0 |
| 0 | 0 | 0 | 1 | II | *B* | 0 |
| 0 | 0 | 1 | 0 | II | *A* | 1 |
| 0 | 0 | 1 | 1 | II | *A* | 1 |
| 0 | 1 | 0 | 0 | II | *B* | 0 |
| 0 | 1 | 0 | 1 | II | *B* | 0 |
| 0 | 1 | 1 | 0 | II | *A* | 1 |
| 0 | 1 | 1 | 1 | II | *A* | 1 |
| 1 | 0 | 0 | 0 | I | *B* | 0 |
| 1 | 0 | 0 | 1 | I | *A* | 1 |
| 1 | 0 | 1 | 0 | I | *A* | 1 |
| 1 | 0 | 1 | 1 | I | *A* | 1 |
| 1 | 1 | 0 | 0 | II | *B* | 0 |
| 1 | 1 | 0 | 1 | II | *B* | 0 |
| 1 | 1 | 1 | 0 | II | *A* | 1 |
| 1 | 1 | 1 | 1 | II | *A* | 1 |

Simplificando por los mapas de Karnaugh, obtenemos el mapa de la Figura 3.71.



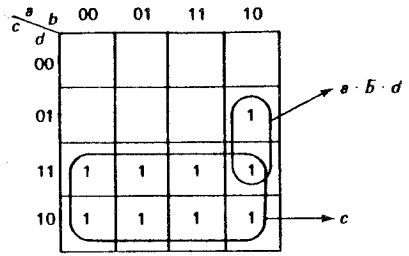



**Figura 3.71.** Mapa del Problema 3.30.

Del anterior mapa se obtiene la ecuación simplificada

$$S = c + a \cdot \bar{b} \cdot d$$

por lo que el circuito que resulta es el de la Figura 3.72.

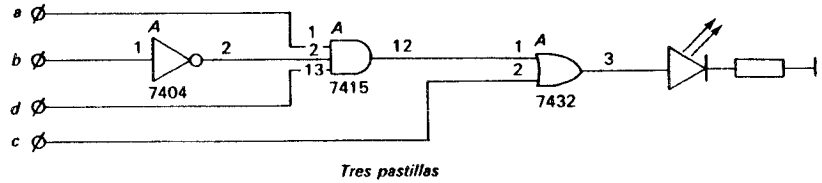



**Figura 3.72.** Resultado del Problema 3.30.

**3.31.** Diseñar el sistema que aparece en la Figura 3.73, constituido por cuatro interruptores *a*, *b*, *c* y *d*, en cuyas posiciones de activados introducen un nivel 1 a las respectivas entradas del bloque *A*.

Las salidas del bloque *A* cumplen las siguientes normas:

- $F_1$ se activa con 1 cuando existen dos interruptores no contiguos que estén desactivados. Por razones de seguridad, si $a = 1, b = 0, c = 0, d = 1 \rightarrow F_1 = 1$ y también $a = 0, b = 1, c = 1, d = 0 \rightarrow F_1 = 0$.
- $F_2$ se activa con 1 cuando hay dos o más interruptores activados.
- $F_3$ se activa con 1 cuando hay alguno de los interruptores extremos activados.

Las salidas del bloque *A* se encuentran conectadas a tres pequeños pilotos $P_1$, $P_2$ y $P_3$, así como a las entradas del bloque *B*.

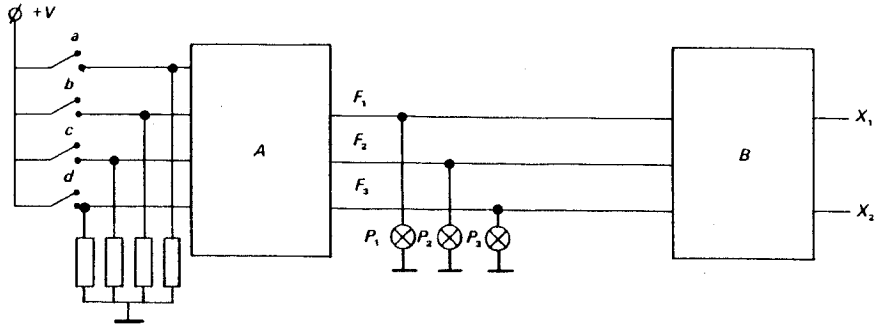



**Figura 3.73.** Diagrama de bloques del Problema 3.31.

Por último, las salidas del bloque *B* representan la codificación en binario del número de pilotos encendidos que hay en su entrada.

Se desea la implementación con puertas lógicas de los bloques *A* y *B*.

**Solución:** Partiendo del enunciado del problema, realizaremos la Tabla de verdad 3.23.

**Tabla 3.23.** Tabla de verdad del Problema 3.31

| Entradas *A* | | | | Salidas *A* Entradas *B* | | | Salidas *B* | |
|---|---|---|---|---|---|---|---|---|
| *a* | *b* | *c* | *d* | $F_1$ | $F_2$ | $F_3$ | $X_1$ | $X_2$ |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |



Aplicando los mapas de Karnaugh para obtener la ecuación simplificada de las salidas del bloque *A* se consiguen los mapas de la Figura 3.74.

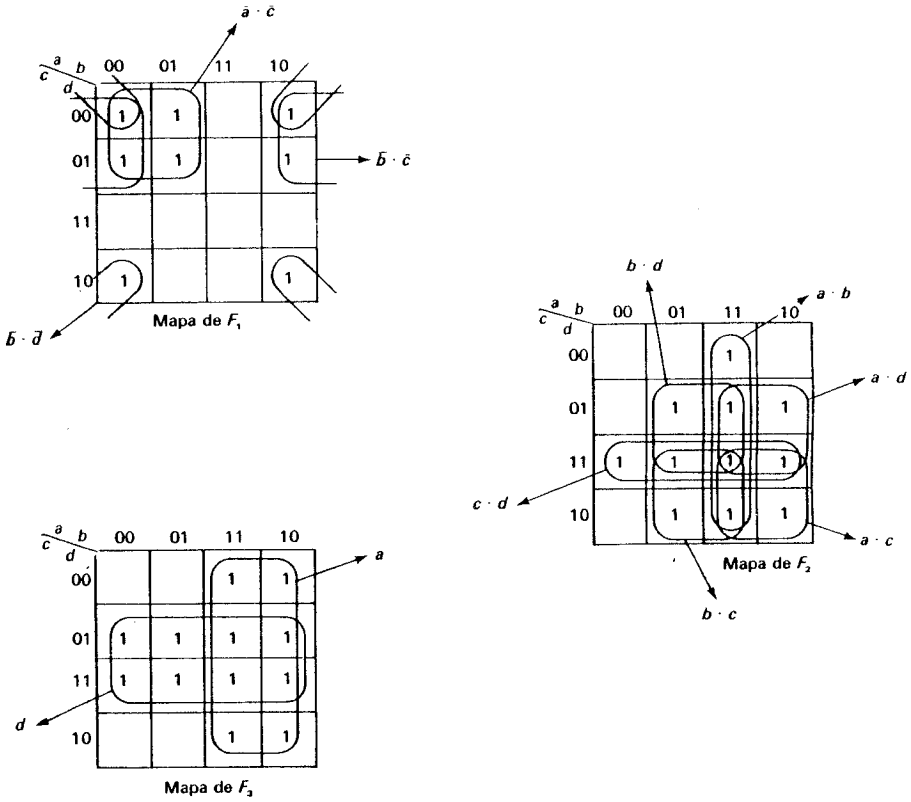



**Figura 3.74.** Mapas de Karnaugh del Problema 3.31.

Las ecuaciones de cada una de las salidas del bloque *A* serán

$$F_1 = \bar{a} \cdot \bar{c} + \bar{c} \cdot \bar{b} + \bar{b} \cdot \bar{d}$$

$$F_2 = a \cdot b + c \cdot d + b \cdot d + a \cdot d + a \cdot c + b \cdot c$$

$$F_3 = a + d$$

De las ecuaciones anteriores se implementa el circuito de la Figura 3.75.

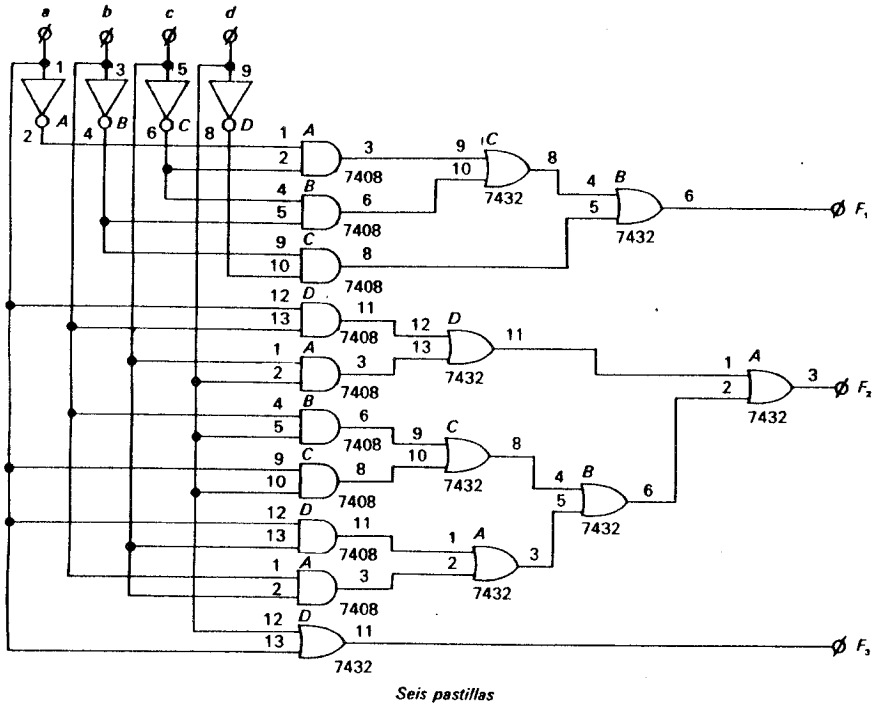



**Figura 3.75.** Circuito del bloque *A* del Problema 3.31.

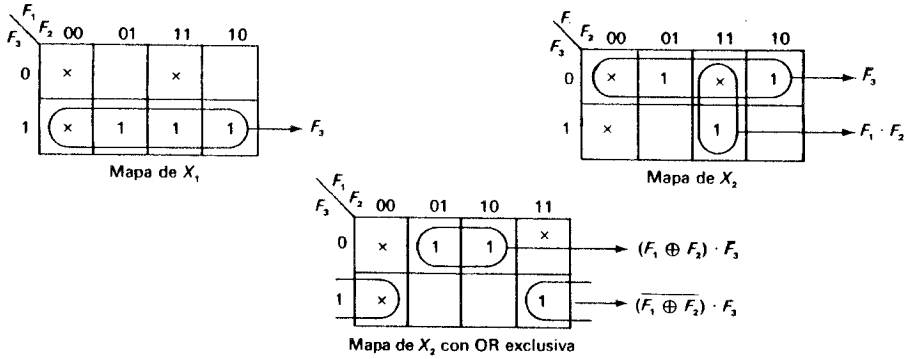



**Figura 3.76.** Mapas del Problema 3.31.



Seguidamente pasaremos a la obtención y simplificación de las ecuaciones correspondientes a las salidas del bloque *B*, donde consideraremos indiferente la respuesta del circuito a las combinaciones de $F_1$, $F_2$ y $F_3$ que no aparecen en la Tabla 3.23, ya que estas no podrán producirse nunca. Conseguiremos así los mapas de la Figura 3.76.

De estos mapas se obtienen las ecuaciones simplificadas de las salidas del bloque *B*:

$$X_1 = F_3 \quad ; \quad X_2 = (F_1 + F_2) \cdot \bar{F}_3 + (\overline{F_1 \oplus F_2}) \cdot F_3 = F_1 \oplus F_2 \oplus F_3$$

Por último, la implementación del circuito *B* aparece en la Figura 3.77.

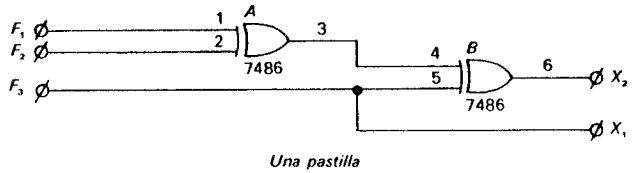



**Figura 3.77.** Circuito del bloque *B* del Problema 3.31.

## PROBLEMAS PROPUESTOS

**3.32.** Obtener la ecuación de la función lógica correspondiente al circuito de la Figura 3.78.

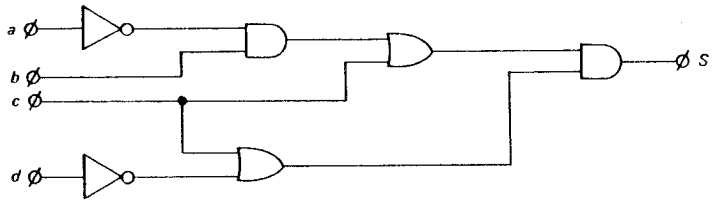



**Figura 3.78.** Circuito del Problema 3.32.

**Solución:** $S = (a \cdot \bar{b} + c) \cdot (c + \bar{d})$.

**3.33.** Analizar el circuito de la Figura 3.79 y obtener su ecuación lógica.

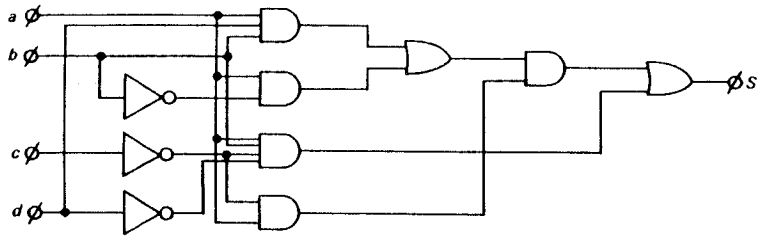



**Figura 3.79.** Circuito del Problema 3.33.

**Solución:** $S = (a \cdot b \cdot d + a \cdot \bar{b}) \cdot a \cdot \bar{c} + a \cdot b \cdot \bar{c} \cdot \bar{d}$.

**3.34.** Escribir la ecuación de la función lógica implementada en el circuito de la Figura 3.80.

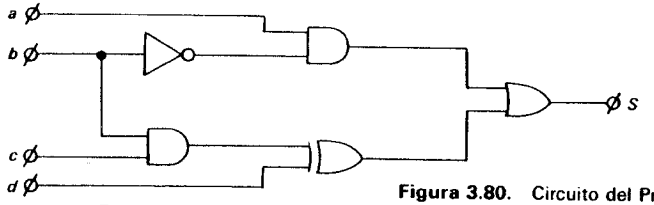



**Figura 3.80.** Circuito del Problema 3.34.

**Solución:** $S = a \cdot \bar{b} + [(b \cdot c) \oplus d]$.

**3.35.** Obtener la ecuación lógica del circuito de la Figura 3.81.

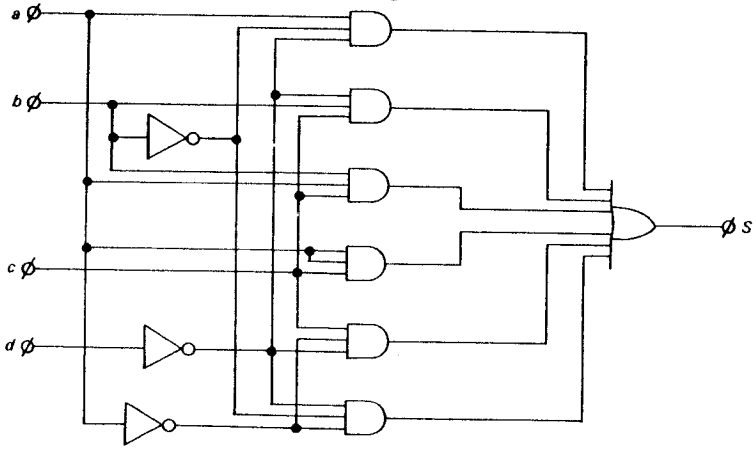



**Figura 3.81.** Circuito del Problema 3.35.

**Solución:** $S = a \cdot \bar{b} \cdot \bar{d} + b \cdot c \cdot \bar{d} + a \cdot b \cdot c + a \cdot a \cdot c + \bar{a} \cdot c \cdot \bar{d} + \bar{a} \cdot \bar{b} \cdot \bar{d}$.



**3.36.** Simplificar la siguiente ecuación e implementarla con puertas lógicas:

$$F = \bar{a} \cdot \bar{b} \cdot c + \bar{a} \cdot c \cdot \bar{d} + b \cdot d$$

**Solución:** $F = \bar{a} \cdot c + b \cdot d$.

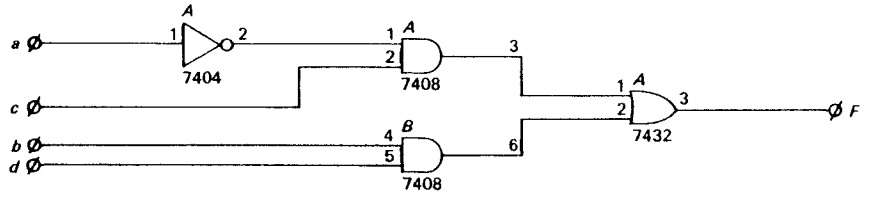



**Figura 3.82.** Resultado del Problema 3.36.

**3.37.** Implementar con puertas lógicas la siguiente función, simplificándola previamente.

$$F = (a + c) \cdot (b + c + \bar{d}) \cdot (b + \bar{c} + \bar{d})$$

**Solución:** $F = (a + c) \cdot (b + \bar{d})$.

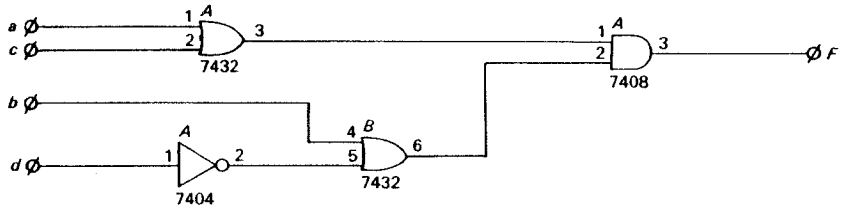



**Figura 3.83.** Resultado del Problema 3.37.

**3.38.** Simplificar la siguiente ecuación e implementarla con puertas lógicas:

$$F = b \cdot d + \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} + a \cdot c \cdot d + \bar{a} \cdot \bar{b} \cdot c \cdot d$$

**Solución:** $F = b \cdot [\overline{(a + c)} + d] + c \cdot d$.

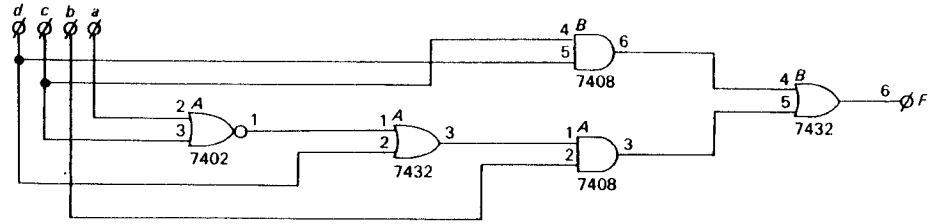



**Figura 3.84.** Resultado del Problema 3.38.

**3.39.** Implementar con puertas lógicas la siguiente función, simplificándola previamente:

$$F = \bar{c} \cdot \bar{d} + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d + \bar{a} \cdot b \cdot c + \bar{a} \cdot \bar{b} \cdot c$$

**Solución:** $F = (\overline{a + b}) + \bar{a} \cdot c + (\overline{c + d})$.

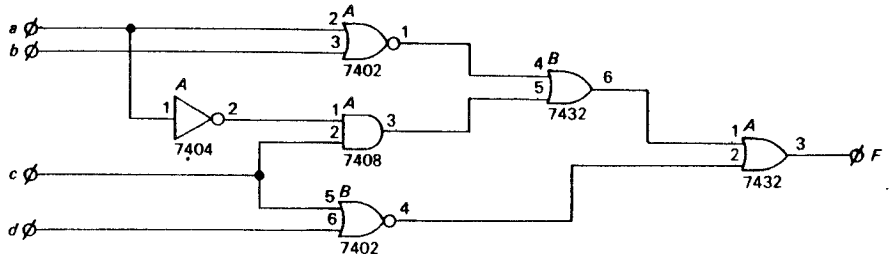



**Figura 3.85.** Resultado del Problema 3.39.

**3.40.** Simplificar la siguiente ecuación e implementarla con puertas lógicas de tipo NOR:

$$F = a \cdot \bar{b} \cdot \bar{c} + \bar{a} \cdot b + c \cdot \bar{d} + \bar{a} \cdot b \cdot c \cdot \bar{d} + b \cdot \bar{c} \cdot \bar{d}$$

**Solución:** $F = \overline{\overline{(\bar{a} + d)} + \overline{(a + \bar{b})} + \overline{(\bar{c} + d)} + \overline{(\bar{a} + b + c)}}$.

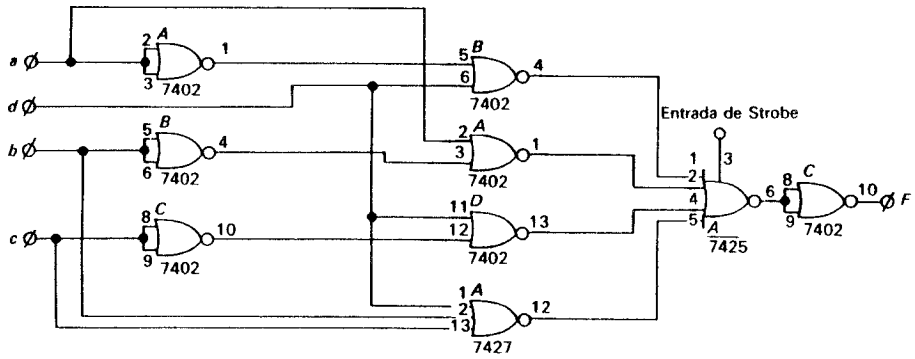



**Figura 3.86.** Resultado del Problema 3.40.



**3.41.** Implementar con puertas lógicas tipo NOR la siguiente función, simplificándola previamente:

$$F = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot \bar{b} \cdot c \cdot \bar{d} + \bar{a} \cdot b + a \cdot \bar{b} \cdot \bar{d}$$

**Solución:** $F = \overline{\overline{(a + \bar{b})} + \overline{(b + d)}}$.

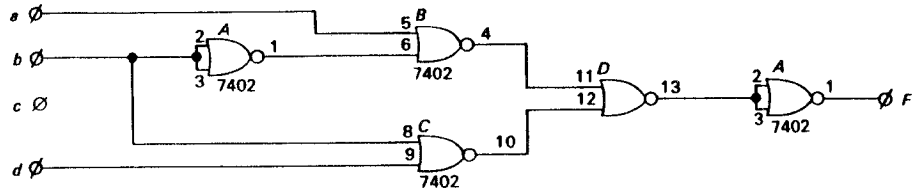



**Figura 3.87.** Resultado del Problema 3.41.

**3.42.** Simplificar la siguiente ecuación e implementarla con puertas lógicas de tipo NAND de dos o tres entradas.

$$F = \bar{a} \cdot \bar{b} \cdot \bar{d} + a \cdot b + c \cdot d + a \cdot \bar{b} \cdot \bar{c} \cdot d + \bar{b} \cdot c \cdot \bar{d}$$

**Solución:** $F = \overline{\overline{[(\bar{a} \cdot \bar{b} \cdot \bar{d}) \cdot \overline{(a \cdot d)} \cdot \overline{(\bar{b} \cdot c)}]} \cdot \overline{(a \cdot b)} \cdot \overline{(c \cdot d)}}$.

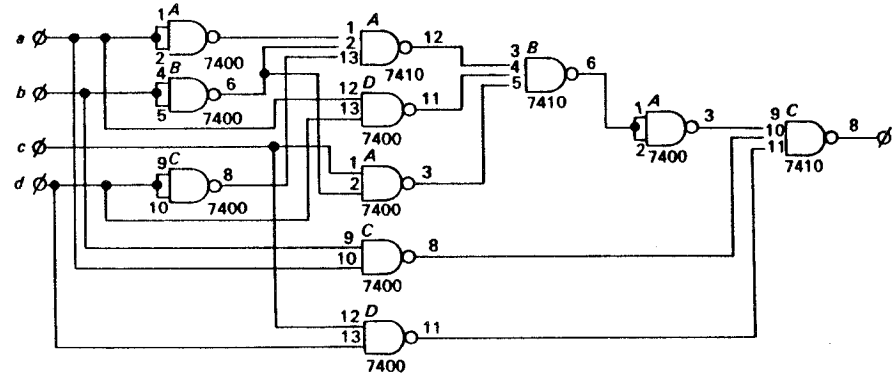



**Figura 3.88.** Resultado del Problema 3.42.

**3.43.** Implementar con puertas lógicas NAND de dos o tres entradas la siguiente función, simplificándola previamente:

$$F = b \cdot d \cdot (c + a) + a \cdot c \cdot (b + d)$$

**Solución:** $F = \overline{(\overline{b \cdot c \cdot d}) \cdot (\overline{a \cdot b \cdot d}) \cdot (\overline{a \cdot b \cdot c}) \cdot (\overline{a \cdot c \cdot d})}$.

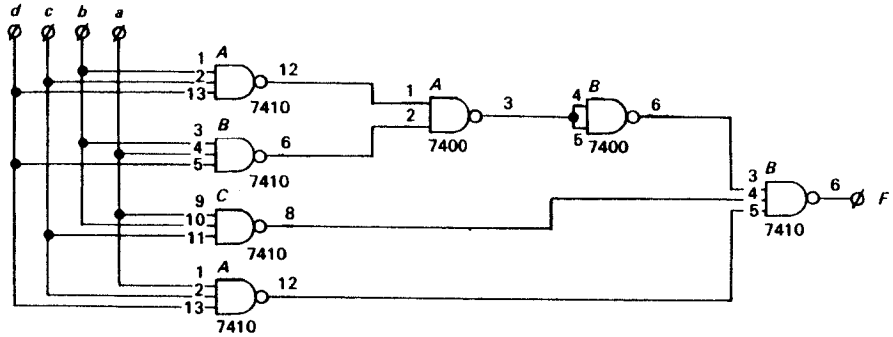



**Figura 3.89.** Resultado del Problema 3.42.

**3.44.** Simplificar la siguiente ecuación e implementarla con puertas lógicas de tipo NOR de dos entradas:

$$F = a \cdot b \cdot c \cdot d + \bar{a} \cdot \bar{d} + \bar{c} \cdot d + \bar{a} \cdot c \cdot d + a \cdot \bar{c}$$

**Solución:** $F = \overline{[\overline{(\overline{\bar{a} + \bar{c}}) + d}] + [\overline{(\overline{\bar{a} + \bar{c}}) + b}]}$.

**3.45.** Implementar con puertas lógicas de tipo NOR de dos entradas la siguiente función, simplificándola previamente:

$$F = a \cdot \bar{b} \cdot \bar{c} + \bar{a} \cdot c \cdot d + \bar{a} \cdot \bar{b} \cdot d + \\ + \bar{b} \cdot \bar{d} + a \cdot \bar{b} \cdot \bar{c} \cdot d + \bar{b} \cdot c \cdot d$$

**Solución:** $F = \bar{a} + \overline{(\overline{\bar{d} + \bar{c}}) + \bar{b}}$.

**3.46.** Dada la Tabla de verdad 3.24, implementar el circuito que cumple dicha tabla.

**Tabla 3.24.** Tabla de verdad del Problema 3.46

| a | b | c | d | F | a | b | c | d | F |
|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 |

**Solución:** $F = \bar{b} \cdot (\bar{a} + c) + \overline{(c + d)}$.



**3.47.** Partiendo de la Tabla de verdad 3.25, implementar el circuito que cumple dicha tabla.

**Tabla 3.25.** Tabla de verdad del Problema 3.47

| a | b | c | d | F |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

**Solución:** $F = (b + c) \cdot (\overline{a \cdot d})$.

**3.48.** De la Tabla de verdad 3.26, obtener: **a)** la función que la cumple bajo la forma de suma de productos; **b)** la función que representa bajo la forma de producto de sumas; **c)** simplificar las ecuaciones de los apartados **a)** y **b)** implementando el circuito con la ecuación que contenga el menor número de puertas; **d)** implementar el circuito del apartado **c)** empleando puertas NAND de dos entradas.

**Tabla 3.26.** Tabla de verdad del Problema 3.48

| a | b | c | d | F |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

**Solución:**

**a)** $F = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot d + \bar{a} \cdot b \cdot \bar{c} \cdot \bar{d} + \bar{a} \cdot b \cdot \bar{c} \cdot d + a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + a \cdot \bar{b} \cdot \bar{c} \cdot d + a \cdot \bar{b} \cdot c \cdot d + a \cdot b \cdot \bar{c} \cdot \bar{d} + a \cdot b \cdot \bar{c} \cdot d + a \cdot b \cdot c \cdot d.$

**b)** $F = (a + b + \bar{c} + d) \cdot (a + b + \bar{c} + \bar{d}) \cdot (a + \bar{b} + \bar{c} + d) \cdot (a + \bar{b} + \bar{c} + \bar{d}) \cdot (\bar{a} + b + \bar{c} + d) \cdot (\bar{a} + \bar{b} + \bar{c} + d).$

**c)** $F = \overline{c \cdot \overline{a \cdot d}}.$

**d)**

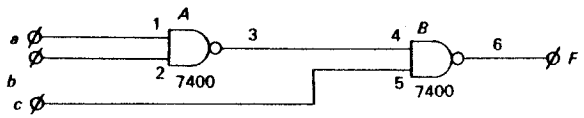



**Figura 3.90.** Resultado del Problema 3.48.

**3.49.** Utilizando los mapas de Karnaugh para OR exclusiva, obtener la ecuación simplificada de la función representada por la Tabla 3.27.

**Tabla 3.27.** Tabla de verdad del Problema 3.49

| a | b | c | d | F |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

**Solución:** $F = \bar{c} \cdot (a \oplus b \oplus d).$



**3.50.** Aplicando los mapas de Karnaugh para OR exclusiva, obtener la ecuación simplificada de la función representada por la Tabla 3.28.

**Tabla 3.28.** Tabla de verdad del Problema 3.50

| a | b | c | d | F |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

**Solución:** $F = (a \oplus b \oplus c).$

**3.51.** Un circuito posee cuatro entradas, $a$, $b$, $c$ y $d$. El circuito responderá con un 1 cuando las entradas $a$ y $d$ sean 1 o cuando las entradas $b$ y $c$ valgan 0. Por razones de prioridad, las combinaciones $a = 1$, $b = 1$, $c = 0$, $d = 0$ y $a = 0$, $b = 1$, $c = 0$, $d = 1$, serán indiferentes. Implementar el circuito con puertas NOR de dos entradas.

**Solución:** $F = \overline{\overline{(a + \bar{c})} + \overline{(\bar{c} + d)}}.$

**3.52.** Un circuito posee cuatro entradas, $a$, $b$, $c$ y $d$. El circuito responderá con un 0 cuando las entradas $a$ y $d$ sean 1 o cuando las entradas $b$ y $c$ valgan 1. Por razones de prioridad, las combinaciones $a = 1$, $b = 0$, $c = 1$, $d = 1$ y $a = 1$, $b = 1$, $c = 1$, $d = 1$ serán indiferentes. Implementar el circuito con puertas NAND de dos entradas.

**Solución:** $F = \overline{\overline{(a \cdot d)} \cdot \overline{(b \cdot c)}}.$

**3.53.** Diseñar mediante puertas NOR un circuito combinacional de tres entradas que detecte cuándo se cumplen las condiciones expresadas en la Tabla 3.29. Llamaremos $a$, $b$ y $c$ a las tres entradas, de mayor a menor peso en binario.

**Tabla 3.29.** Tabla del Problema 3.53

| |
|---|
| $F_1$ = 1 si el número es $\geq$ 5 en binario |
| $F_2$ = 1 si el número es $\leq$ 3 en binario |
| $F_3$ = 1 si el número es = 4 en binario |

**Solución:** $F = \overline{\bar{a} + \overline{(c + b)}}$ ; $F_2 = \bar{a}$ ; $F_3 = \overline{c + b + \bar{a}}.$

**3.54.** Diseñar un sistema de lotería para una máquina recreativa, de forma que si al colarse la bola en juego, el número binario que forman cuatro interruptores situados sobre el tablero de juego equivale a alguno de los siguientes números decimales: 4, 5, 8, 9, 11, 13, 15, se conceda bola gratis. Llamaremos *a*, *b*, *c* y *d* a los cuatro pulsadores de mayor a menor peso en la cifra binaria, y *x* al detector de bola tragada.

**Solución:** $F = [\bar{c} \cdot (a \oplus b) + a \cdot d] \cdot x$.

**3.55.** Diseñar un circuito combinacional con el menor número de puertas lógicas que tenga por entrada una cifra decimal (del 0 al 9) codificada en binario y que detecte a su salida los múltiplos de 3. Denominaremos *d*, *c*, *b*, *a*, a cada uno de los bits de la cifra binaria de mayor a menor peso.

**Solución:** $F = a \cdot d + b \cdot (c \oplus a)$.

**3.56.** Un sistema sencillo para hacer votación secreta es utilizar un circuito combinacional cuyas entradas estén controladas por interruptores que puedan accionar los miembros del jurado. La salida del circuito será 0 o 1 en función de cómo hayan puesto los interruptores la mayoría de los miembros del jurado.

El sistema que queremos realizar es el siguiente. Hay dos tribunales: *A* y *B*. El tribunal *A* tiene cuatro miembros (*a*, *b*, *c*, *d*) y el tribunal *B* tres (*e*, *f*, *g*). El veredicto deberá ser:

- El del tribunal *A* en caso de que en éste no se produzca empate.
- Si se produce empate en el tribunal *A*, el veredicto será el del tribunal *B*.

Se recomienda diseñar el circuito según el diagrama de bloques de la Figura 3.91.

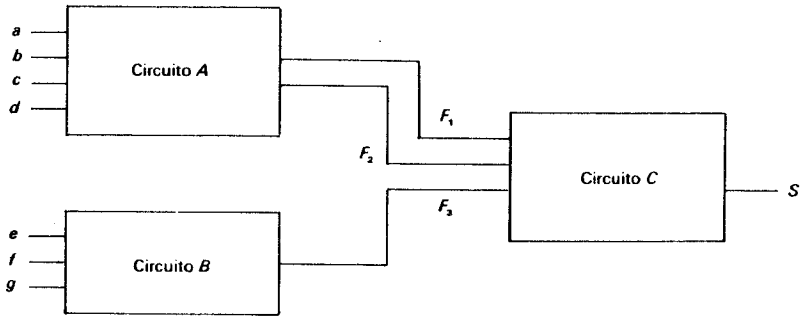



**Figura 3.91.** Diagrama de bloques del Problema 3.56.

**Solución:**

$$F_1 = a \cdot b + c \cdot d.$$

$$F_2 = (a \oplus b) \cdot (c \oplus d) + \bar{a} \cdot \bar{b} \cdot c \cdot d + a \cdot b \cdot \bar{c} \cdot \bar{d}.$$

$$F_3 = g \cdot f + e \cdot f + e \cdot g.$$

$$S = F_3 \cdot F_2 + F_1 \cdot \bar{F}_2.$$

# CAPITULO 4

# Sistemas de numeración y códigos binarios

## 4.1. INTRODUCCIÓN

Existen muchas formas de representación de las magnitudes cuantitativas, que se denominan **sistemas de numeración**.

Cada sistema tiene una base, que se define como *el número de símbolos distintos utilizados para la representación de las cantidades*. El sistema que cotidianamente utilizamos es el **decimal**, cuya base es el número 10 porque se emplean diez símbolos para su representación. En este sistema un número puede descomponerse en potencias de 10; así, por ejemplo, el número 657 se puede descomponer de la siguiente manera:

$$657 = 600 + 50 + 7 = 6 \cdot 100 + 5 \cdot 10 + 7 \cdot 1$$

Al número 10 se le denomina **base** del sistema.

Es fácil deducir que un número $N_{10} = abcd$ puede descomponer en

$$N_{10)} = a \cdot 10^3 + b \cdot 10^2 + c \cdot 10^1 + d \cdot 10^0$$

Por otra parte,

$$657{,}25 = 600 + 50 + 7 = 6 \cdot 100 + 5 \cdot 10 + 7 \cdot 1 + 2 \cdot 1/10 + 5 \cdot 1/100$$

Y, en general,

$$N_{10)} = \overbrace{ab...d}^{n+1} . \overbrace{ef..z}^{m} = a \cdot 10^n + b \cdot 10^{n-1} + \cdots + d \cdot 10^0 + e \cdot 10^{-1} + f \cdot 10^{-2} + \cdots + z \cdot 10^{-m}$$

Esto es aplicable para cualquier sistema de numeración de base *B*.

Para distinguir en qué base se está representando una cantidad, a la derecha de ésta se pone un subíndice que indica su base. Así, por ejemplo:

$427_{10)}$ Es un número expresado en base 10 o decimal.
$101_{2)}$ Es un número expresado en base 2 o binario.

$653_{8)}$ Es un número expresado en 8 u octal.
$3AF_{16)}$ Es un número expresado en base 16 o hexadecimal.

## 4.2. SISTEMA BINARIO

Este sistema de numeración utiliza solamente dos símbolos (0, 1); normalmente se le denomina **sistema de numeración en base 2 o binario natural**. A cada dígito binario se denomina **bit**.

En este sistema de numeración, los pesos son 1, 2, 4, 8, 16, 32, etc. (que son las potencias 0, 1, 2, 3, 4, 5, etc., de 2). Los pesos fraccionarios son 1/2, 1/4, 1/8, etc., que corresponden a $2^{-1}$, $2^{-2}$, $2^{-3}$, etcétera. La Tabla 4.1 muestra algunos números pertenecientes a este código y su correspondencia con el código decimal.

**Tabla 4.1.** Código binario y código decimal

| Código decimal | Código binario natural | | | | |
|---|---|---|---|---|---|
| | 16 | 8 | 4 | 2 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 0 | 1 | 1 |
| 4 | 0 | 0 | 1 | 0 | 0 |
| 5 | 0 | 0 | 1 | 0 | 1 |
| 6 | 0 | 0 | 1 | 1 | 0 |
| 7 | 0 | 0 | 1 | 1 | 1 |
| 8 | 0 | 1 | 0 | 0 | 0 |
| 9 | 0 | 1 | 0 | 0 | 1 |
| 10 | 0 | 1 | 0 | 1 | 0 |
| 11 | 0 | 1 | 0 | 1 | 1 |
| 12 | 0 | 1 | 1 | 0 | 0 |
| 13 | 0 | 1 | 1 | 0 | 1 |
| 14 | 0 | 1 | 1 | 1 | 0 |
| 15 | 0 | 1 | 1 | 1 | 1 |
| 16 | 1 | 0 | 0 | 0 | 0 |
| 17 | 1 | 0 | 0 | 0 | 1 |
| 18 | 1 | 0 | 0 | 1 | 0 |
| 19 | 1 | 0 | 0 | 1 | 1 |
| | $2^4$ | $2^3$ | $2^2$ | $2^1$ | $2^0$ |
| | Potencias de 2 | | | | |

## 4.3. SISTEMAS OCTAL Y HEXADECIMAL

Estos dos sistemas resultan muy prácticos en el tratamiento de la información digital, en la que suelen emplearse números de ocho y dieciséis elementos binarios.



El **sistema octal**, o de base 8, tiene ocho dígitos: 0, 1, 2, 3, 4, 5, 6, 7.

El **sistema hexadecimal**, o de base 16, utiliza como símbolos diez dígitos decimales y las primeras letras del alfabeto. Sus símbolos son, pues: 0, 1, 2, 3, 4, 5, 6, 7, 9, A, B, C, D, E, F. En la Tabla 4.2 se muestra la relación entre los códigos decimal, binario, octal y hexadecimal.

**Tabla 4.2.** Tabla de equivalencias entre el sistema decimal, binario, octal y hexadecimal

| Sistema decimal | Sistema binario | Sistema octal | Sistema hexadecimal |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 2 | 10 | 2 | 2 |
| 3 | 11 | 3 | 3 |
| 4 | 100 | 4 | 4 |
| 5 | 101 | 5 | 5 |
| 6 | 110 | 6 | 6 |
| 7 | 111 | 7 | 7 |
| 8 | 1000 | 10 | 8 |
| 9 | 1001 | 11 | 9 |
| 10 | 1010 | 12 | A |
| 11 | 1011 | 13 | B |
| 12 | 1100 | 14 | C |
| 13 | 1101 | 15 | D |
| 14 | 1110 | 16 | E |
| 15 | 1111 | 17 | F |
| 16 | 10000 | 20 | 10 |
| 17 | 10001 | 21 | 11 |
| 18 | 10010 | 22 | 12 |
| 19 | 10011 | 23 | 13 |
| 20 | 10100 | 24 | 14 |

## 4.4. CONVERSION ENTRE EL SISTEMA BINARIO Y LOS SISTEMAS OCTAL, DECIMAL Y HEXADECIMAL

Para convertir un número entero de **base binaria en base decimal** se recurre al polinomio equivalente, operando éste en modo decimal.

EJEMPLO:

$$1101{,}011_{2)} = 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 + 0 \cdot 2^{-1} + 1 \cdot 2^{-2} + 1 \cdot 2^{-3}$$

$$\begin{aligned} 1 \cdot 2^3 &= 8 \\ 1 \cdot 2^2 &= 4 \\ 1 \cdot 2^0 &= 2 \\ 1 \cdot 2^{-2} &= 0{,}25 \\ 1 \cdot 2^{-3} &= 0{,}125 \\ \hline & 14{,}375 \end{aligned}$$

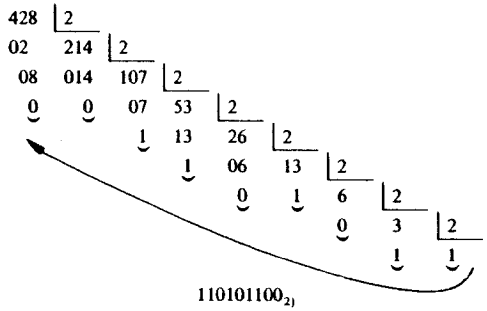
Por tanto:

$$1101{,}011_{2)} = 14{,}375_{10)}$$

Para pasar un número entero de **base decimal a base binaria** se divide el número décimal entre 2, el cociente se vuelve a dividir entre 2, y así sucesivamente; los restos obtenidos forman el número en el sistema binario.

EJEMPLO:

Convertir el número $428_{10)}$ en su correspondiente binario.



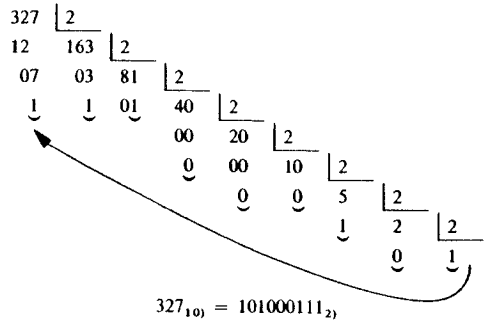

Por tanto, $428_{10)} = 110101100_{2)}$.

Si el número decimal tiene parte fraccionaria, la parte entera se convierte de la misma manera que se ha expuesto anteriormente y la parte fraccionaria se multiplica por 2; la parte entera obtenida es la cifra más significativa del número. Si la parte fraccionaria restante se vuelve a multiplicar por 2, la nueva parte entera será la siguiente cifra más significativa, y así sucesivamente.

EJEMPLO:

Convertir el número $327{,}625_{10)}$ en binario. $327{,}625_{10)} = 327_{10)} + 0{,}625_{10)}$

La parte entera es $327_{10)}$, que pasándola al binario, resulta






Para obtener la parte fraccionaria se procede de la siguiente manera:

| 0,625 | 0,250 | 0,500 |
|---|---|---|
| × 2 | × 2 | × 2 |
| 1,250 | 0,500 | 1,000 |

Por tanto, la parte fraccionaria será

$$0{,}625_{10)} = 0{,}101_{2)}$$

Entonces, $327{,}625_{10)} = 101000111{,}101_{2)}$.

Para pasar un número del **sistema binario al octal** se divide el número binario en grupos de tres dígitos su suma ponderada dará un número del sistema octal. El número dado tendrá tantos dígitos en el sistema octal como grupos se hayan formado en el sistema binario.

EJEMPLO:

Sea el número $110011_{2)}$ si se divide en grupos de tres dígitos desde el dígito de menor peso.

$$110_{2)} = 6_{10)} = 6_{8)}$$
$$011_{2)} = 3_{10)} = 3_{8)}$$

será:

$$\overbrace{110}^{6}\ \overbrace{011_{2)}}^{3} = 63_{8)}.$$

Para convertir un número del **sistema binario al sistema hexadecimal** se divide el número binario en grupos de cuatro dígitos, desde el dígito de menor peso, y la suma ponderada de estos dígitos dará el dígito correspondiente en hexadecimal. Por tanto, el número hexadecimal tendrá tantos dígitos como grupos de cuatro dígitos se puedan formar con el número binario.

EJEMPLO:

Sea el número binario $110001011010_{2)}$ para pasarlo a hexadecimal:

$$1100_{2)} = 12_{10)} = C_{16)}$$
$$0101_{2)} = 5_{10)} = 5_{16)}$$
$$1010_{2)} = 10_{10)} = A_{16)}$$

Por tanto,

$$\overbrace{1100\,0101\,1010_{2)}}^{C\ \ 5\ \ A} = C5A_{16)}$$

## 4.5. CONVERSION ENTRE EL SISTEMA OCTAL Y LOS SISTEMAS DECIMAL, BINARIO Y HEXADECIMAL

Para pasar un número del **sistema octal al decimal**, de acuerdo con los principios expuestos, se aplican los pesos correspondientes al sistema octal. Así, por ejemplo, el número

$$\begin{aligned} 3034{,}75_{8)} &= 3 \cdot 8^3 + 0 \cdot 8^2 + 3 \cdot 8^1 + 4 \cdot 8^0 + 7 \cdot 8^{-1} + 5 \cdot 8^{-2} = \\ &= 3 \cdot 512 + 3 \cdot 8 + 4 \cdot 1 + 7 \cdot 0{,}125 + 5 \cdot 0{,}015625 = \\ &= 1564{,}953125_{10)} \end{aligned}$$

Otro método para la conversión consiste en multiplicar la cifra más significativa por 8, al producto se le suma el dígito siguiente y el resultado se vuelve a multiplicar por 8 y se suma al dígito siguiente; y así sucesivamente hasta que la cifra menos significativa se sume. El resultado obtenido es el número decimal equivalente.

EJEMPLO:

Sea el número $236_{8)}$; según la regla anterior:

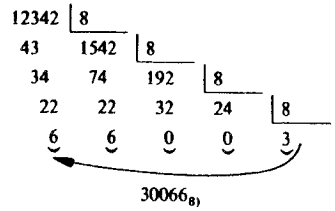
$$\begin{aligned} 2 \cdot 8 &= 16 \\ 16 + 3 &= 19 \\ 19 \cdot 8 &= 152 \\ 152 + 6 &= 158_{10)} \end{aligned}$$

Es decir, $236_{8)} = 158_{10)}$.

Para pasar un número del **sistema decimal al sistema octal** el método es similar al visto en el sistema binario. Veámoslo con un ejemplo.

EJEMPLO:

Sea el número $12342_{10)}$, que se desea pasar al sistema octal.




Por tanto, $12342_{10)} = 30066_{8)}$.

En caso de que el número decimal tenga una parte fraccionaria, se procede de la siguiente manera:



Sea: $12342{,}890625_{10)}$

$$\begin{array}{r} 0{,}890625 \\ \times\, 8 \\ \hline 7{,}125000 \end{array} = 7 + \begin{array}{r} 0{,}125000 \\ \times\, 8 \\ \hline 1{,}000000 \end{array}$$

Entonces, $12342{,}890625_{10)} = 30066{,}71_{8)}$.

Si se quiere una aproximación de cuatro cifras y no se llega al producto 0, se toman los cuatro primeros enteros. Esta regla se aplica a las demás conversiones con parte fraccionaria.

Para convertir un número del **sistema octal al binario** se pone el equivalente binario de cada una de las cifras con tres dígitos.

EJEMPLO:

Para obtener el correspondiente en binario del número $52_{8)}$ tenemos

$$\begin{aligned} 5 &= 101 \\ 2 &= 010 \end{aligned}$$

Por tanto, $52_8 = 101010_{2)}$.

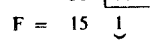
Para convertir un número del **sistema octal en su correspondiente del sistema hexadecimal** es conveniente llevar a cabo la etapa intermedia; o sea, pasar el número a decimal y éste, por último, a hexadecimal.

EJEMPLO:

Sea el número octal $37_{8)}$. El equivalente decimal será

$$3 \cdot 8^1 + 7 \cdot 8^0 = 31_{10)}$$

y el hexadecimal:




Por tanto, $31_{8)} = 1F_{16)}$

## 4.6. CONVERSION ENTRE EL SISTEMA HEXADECIMAL Y LOS SISTEMAS BINARIO, OCTAL Y DECIMAL

Para pasar un número del **sistema hexadecimal al binario** tendremos en cuenta que cada grupo de cuatro cifras binarias equivale a una cifra hexadecimal, por lo que las sustituiremos por el corres-

pondiente símbolo hexadecimal. Por consiguiente, para convertir un número hexadecimal en otro binario bastará con sustituir cada valor hexadecimal por los cuatro dígitos binarios equivalentes.

EJEMPLO:

Sea el número hexadecimal $DF4_{16)}$, entonces:

$$D_{16)} = 13_{10)} = 1101_{2)}$$
$$F_{16)} = 15_{10)} = 1111_{2)}$$
$$4_{16)} = 4_{10)} = 0100_{2)}$$

$$\overbrace{1101}^{D}\ \overbrace{1111}^{F}\ \overbrace{0100}^{4}{}_{2)}$$

Por tanto, se obtendra: $DF4_{16)} = 1101111101002)$.

Para convertir un número del **sistema hexadecimal al decimal** utilizamos el polinomio equivalente, teniendo en cuenta que los dígitos A, B, C, D, E y F han de ser sustituidos por 10, 11, 12, 13, 14 y 15 respectivamente.

EJEMPLO:

Consideremos $3AC_{16)}$ para su transformación en su equivalente decimal; entonces:

$$3AC_{16)} = 3 \cdot 16^2 + 10 \cdot 16^1 + 12 \cdot 16^0 = 768 + 160 + 12 = 940_{10)}$$

Para trasladar un número del **sistema hexadecimal al octal** es más conveniente pasarlo primero al decimal y de éste al sistema octal.

EJEMPLO:

Si se tiene el número $1E_{16)}$, para pasarlo al sistema decimal:

$$1E_{16)} = 1 \cdot 16^1 + E \cdot 16^0 = 16 + 14 = 30_{10)}$$

Pasando $30_{10)}$ a octal:

$$\begin{array}{r|l} 30 & 8 \\ \hline 6 & 3 \end{array}$$

$$36_{8)}$$

Por tanto, $1E_{16)} = 30_{10)} = 36_{8)}$.

## 4.7. CODIGOS BINARIOS

El sistema binario recibe el nombre de código binario natural. No obstante, existen sistemas digitales en los que se utilizan otros códigos binarios diferentes del binario natural debido a sus características peculiares.



### 4.7.1. Código Gray

Es un código continuo porque las combinaciones correspondientes a números decimales consecutivos son adyacentes. (Se denominan combinaciones binarias adyacentes aquellas que difieren solamente en un bit.)

Además, es un código cíclico porque la última combinación es adyacente a la primera. Este código aparece para cuatro bits en la Tabla 4.3.

**Tabla 4.3.** Código decimal y su equivalencia en el código Gray

| Código decimal | Código Gray |
|---|---|
| 0 | 0000 |
| 1 | 0001 |
| 2 | 0011 |
| 3 | 0010 |
| 4 | 0110 |
| 5 | 0111 |
| 6 | 0101 |
| 7 | 0100 |
| 8 | 1100 |
| 9 | 1101 |
| 10 | 1111 |
| 11 | 1110 |
| 12 | 1010 |
| 13 | 1011 |
| 14 | 1001 |
| 15 | 1000 |

### 4.7.2. Código Johnson

Es un código continuo y cíclico, y la capacidad de codificación para un código de $n$ bits es de $2 \cdot n$ cantidades diferentes. Así, por ejemplo, para el código Johnson para 5 bits es el que se muestra en la Tabla 4.4.

**Tabla 4.4.** Código Johnson de 5 bits

| Código decimal | Código Johnson |
|---|---|
| 0 | 00000 |
| 1 | 00001 |
| 2 | 00011 |
| 3 | 00111 |
| 4 | 01111 |
| 5 | 11111 |
| 6 | 11110 |
| 7 | 11100 |
| 8 | 11000 |
| 9 | 10000 |

### 4.7.3. Códigos BCD ponderados

Los códigos BCD (Codificación Binario-Decimal) son ponderados, ya que a cada posición o cifra binaria se le asigna un peso y el número decimal equivalente a una combinación binaria se obtiene sumando los pesos de las posiciones que valen 1. Algunos de estos códigos se muestran en la Tabla 4.5.

**Tabla 4.5.** Códigos decimal, BCD natural, BCD Aiken y BCD 5421

| Código decimal | BCD natural $2^3$ $2^2$ $2^1$ $2^0$ | BCD Aiken $2^1$ $2^2$ $2^1$ $2^0$ | BCD 5421 |
|---|---|---|---|
| 0 | 0 0 0 0 | 0 0 0 0 | 0 0 0 0 |
| 1 | 0 0 0 1 | 0 0 0 1 | 0 0 0 1 |
| 2 | 0 0 1 0 | 0 0 1 0 | 0 0 1 0 |
| 3 | 0 0 1 1 | 0 0 1 1 | 0 0 1 1 |
| 4 | 0 1 0 0 | 0 1 0 0 | 0 1 0 0 |
| 5 | 0 1 0 1 | 1 0 1 1 | 1 0 0 0 |
| 6 | 0 1 1 0 | 1 1 0 0 | 1 0 0 1 |
| 7 | 0 1 1 1 | 1 1 0 1 | 1 0 1 0 |
| 8 | 1 0 0 0 | 1 1 1 0 | 1 0 1 1 |
| 9 | 1 0 0 1 | 1 1 1 1 | 1 1 0 0 |

### 4.7.4. Código BCD exceso de tres

Es el que se muestra en la Tabla 4.6; se obtiene de sumar 3 a cualquiera de las combinaciones del código BCD natural. Tiene la ventaja, al igual que el código Aiken, de ser autocomplementario; es decir, que la combinación correspondiente al complemento a 9 de $n$, o sea, $n - 9$, se obtiene invirtiendo la combinación correspondiente a $n$; es decir, cambiando los ceros por unos y los unos por ceros.

**Tabla 4.6.** Código decimal y su equivalencia en BCD exceso de 3

| Código decimal | Código BCD exceso de 3 |
|---|---|
| 0 | 0 0 1 1 |
| 1 | 0 1 0 0 |
| 2 | 0 1 0 1 |
| 3 | 0 1 1 0 |
| 4 | 0 1 1 1 |
| 5 | 1 0 0 0 |
| 6 | 1 0 0 1 |
| 7 | 1 0 1 0 |
| 8 | 1 0 1 1 |
| 9 | 1 1 0 0 |



La conversión a un código BCD de un número decimal se realiza sustituyendo cada dígito decimal por la correspondiente combinación binaria. Así, por ejemplo, en la Tabla 4.7 se muestra el numero decimal $327_{10}$ expresado en los códigos BCD natural, BCD Aiken, BCD 5421 y BCD exceso de 3.

**Tabla 4.7.** Representación de los diferentes códigos del número decimal $327_{10}$

| Código | Representación del $327_{10}$ |
|---|---|
| BCD Natural | 0011 0010 0111 |
| BCD Aiken | 0011 0010 1101 |
| BCD 5421 | 0011 0010 1010 |
| BCD exceso de 3 | 0110 0101 1010 |

## PROBLEMAS RESUELTOS

**4.1.** ¿En qué base están expresadas las siguientes cantidades?:

**a)** $401_{10}$ **b)** $1227_{8}$ **c)** $12A5_{16}$ **d)** $011011_{10}$ **e)** $001010_{2}$

**Solución:** De acuerdo con el subíndice que aparece al lado del bit de menor peso:

**a)** $401_{10}$ Decimal **b)** $1227_{8}$ Octal **c)** $12A5_{16}$ Hexadecimal **d)** $011011_{10}$ Decimal **e)** $001010_{2}$ Binario

**4.2.** Convertir a base decimal las siguientes cantidades:

**a)** $11100111_{2}$ **b)** $1010111_{2}$ **c)** $00101000_{2}$ **d)** $01111101_{2}$ **e)** $10111110_{2}$

**Solución:** Teniendo en cuenta el polinomio asociado a este código:

**a)** $11100111_{2} = 1 \cdot 2^7 + 1 \cdot 2^6 + 1 \cdot 2^5 + 0 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 128 + 64 + 32 + 4 + 2 + 1 = 231_{10}$

**b)** $1010111_{2} = 1 \cdot 2^6 + 0 \cdot 2^5 + 1 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 64 + 16 + 4 + 2 + 1 = 87_{10}$

**c)** $00101000_{2} = 0 \cdot 2^7 + 0 \cdot 2^6 + 1 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 0 \cdot 2^1 + 0 \cdot 2^0 = 32 + 8 = 40_{10}$

**d)** $01111101_{2)} = 0 \cdot 2^7 + 1 \cdot 2^6 + 1 \cdot 2^5 + 1 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 64 + 32 + 16 + 8 + 4 + 1 = 125_{10)}$

**e)** $10111110_{2)} = 1 \cdot 2^7 + 0 \cdot 2^6 + 1 \cdot 2^5 + 1 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 128 + 32 + 16 + 8 + 4 + 2 = 190_{10)}$

**4.3.** Convertir a base decimal las siguientes cantidades:

**a)** $1101{,}10011_{2)}$ **b)** $10111{,}001101_{2)}$ **c)** $110000{,}11010_{2)}$

**Solución:**

**a)** $1101{,}10011_{2)} = 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 + 1 \cdot 2^{-1} + 0 \cdot 2^{-2} + 0 \cdot 2^{-3} + 1 \cdot 2^{-4} + 1 \cdot 2^{-5} = 8 + 4 + 1 + 0{,}5 + 0{,}0625 + 0{,}03125 = 13{,}59375_{10)}$

**b)** $10111{,}001101_{2)} = 1 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 + 0 \cdot 2^{-1} + 0 \cdot 2^{-2} + 1 \cdot 2^{-3} + 1 \cdot 2^{-4} + 0 \cdot 2^{-5} + 1 \cdot 2^{-6} = 16 + 4 + 2 + 1 + 0{,}125 + 0{,}0625 + 0{,}015625 = 23{,}203125_{10)}$

**c)** $110000{,}11010_{2)} = 1 \cdot 2^5 + 1 \cdot 2^4 + 0 \cdot 2^3 + 0 \cdot 2^2 + 0 \cdot 2^1 + 0 \cdot 2^0 + 1 \cdot 2^{-1} + 1 \cdot 2^{-2} + 0 \cdot 2^{-3} + 1 \cdot 2^{-4} + 0 \cdot 2^{-5} = 32 + 16 + 0{,}5 + 0{,}25 + 0{,}0625 = 48{,}8125_{10)}$

**4.4.** Convertir a base decimal las siguientes cantidades:

**a)** $1010{,}1010_{2)}$
**b)** $1110{,}1110_{2)}$
**c)** $01010101_{2)}$
**d)** $10101010_{2)}$

**Solución:**

**a)** $1010{,}1010_{2)} = 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 + 1 \cdot 2^{-1} + 0 \cdot 2^{-2} + 1 \cdot 2^{-3} + 0 \cdot 2^{-4} = 8 + 2 + 0{,}5 + 0{,}125 = 10{,}625_{10)}$

**b)** $1110{,}1110_{2)} = 1 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 + 1 \cdot 2^{-1} + 1 \cdot 2^{-2} + 1 \cdot 2^{-3} + 0 \cdot 2^{-4} = 8 + 4 + 2 + 0{,}5 + 0{,}25 + 0{,}125 = 14.875_{10)}$

**c)** $01010101_{2)} = 0 \cdot 2^7 + 1 \cdot 2^6 + 0 \cdot 2^5 + 1 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 64 + 16 + 4 + 1 = 85_{10)}$

**d)** $10101010_{2)} = 1 \cdot 2^7 + 0 \cdot 2^6 + 1 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 128 + 32 + 8 + 2 = 170_{10}$

**4.5.** Pasar las siguientes cantidades decimales a base binaria:

**a)** $765_{10)}$ **b)** $431_{10)}$ **c)** $4710_{10)}$



**Solución:**

**a)**

| | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|
| 765 | 2 | | | | | | | | |
| 16 | 382 | 2 | | | | | | | |
| 05 | 18 | 191 | 2 | | | | | | |
| 1 | 02 | 11 | 95 | 2 | | | | | |
| | 0 | 1 | 15 | 47 | 2 | | | | |
| | | | 1 | 07 | 23 | 2 | | | |
| | | | | 1 | 03 | 11 | 2 | | |
| | | | | | 1 | 1 | 5 | 2 | |
| | | | | | | | 1 | 2 | 2 |
| | | | | | | | | 0 | 1 |

Por tanto, $765_{10)} = 1011111101_{2)}$.

**b)**

| | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|
| 431 | 2 | | | | | | | | |
| 03 | 215 | 2 | | | | | | | |
| 11 | 015 | 107 | 2 | | | | | | |
| 1 | 1 | 07 | 53 | 2 | | | | | |
| | | 1 | 13 | 26 | 2 | | | | |
| | | | 1 | 06 | 13 | 2 | | | |
| | | | | 0 | 1 | 6 | 2 | | |
| | | | | | | 0 | 3 | 2 | |
| | | | | | | | 1 | 1 | |

Por tanto, $431_{10)} = 110101111_{2)}$.

**c)**

| | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|
| 471 | 2 | | | | | | | | |
| 07 | 235 | 2 | | | | | | | |
| 11 | 03 | 117 | 2 | | | | | | |
| 1 | 15 | 17 | 58 | 2 | | | | | |
| | 1 | 1 | 18 | 29 | 2 | | | | |
| | | | 0 | 09 | 14 | 2 | | | |
| | | | | 1 | 0 | 7 | 2 | | |
| | | | | | | 1 | 3 | 2 | |
| | | | | | | | 1 | 1 | |

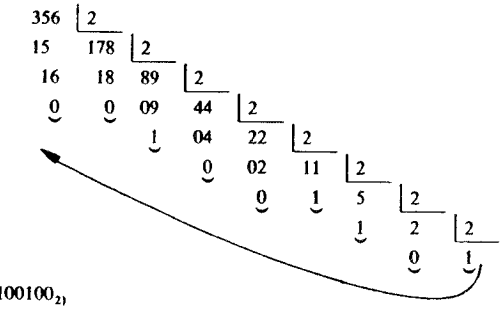
Por tanto, $471_{10)} = 111010111_{2)}$

**4.6.** Pasar las siguientes cantidades decimales a base binaria:

**a)** $356{,}92_{10)}$ **b)** $460{,}17_{10)}$ **c)** $691{,}23_{10)}$

**Solución:**

**a)** Descomponiendo el número $356{,}92_{10)}$ en $356_{10)} + 0{,}92_{10)}$

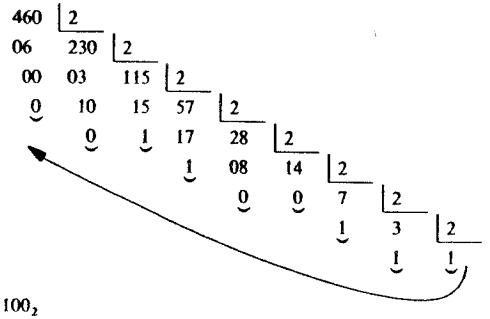



$356_{10)} = 101100100_{2)}$

| 0,92 | 0,84 | 0,68 | 0,36 |
|---|---|---|---|
| ×2 | ×2 | ×2 | ×2 |
| 1,84 | 1,68 | 1,36 | 0,72 |

Utilizando sólo cuatro decimales: $0{,}92_{10)} = 0{,}1110_{2)}$
Por tanto, $356{,}92_{10)} = 101100100{,}1110_{2)}$

**b)** $460{,}17_{10)}$
$460{,}17_{10)} = 460_{10)} + 0{,}17_{10)}$



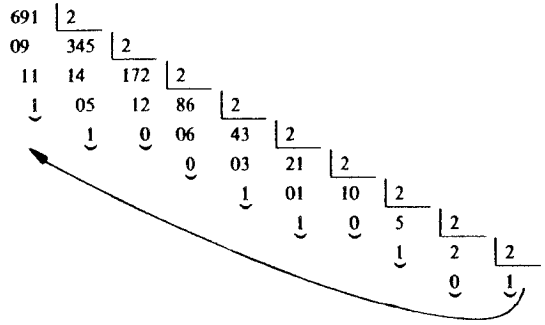

$460_{10} = 111001100_{2}$

| 0,17 | 0,34 | 0,68 | 0,36 |
|---|---|---|---|
| ×2 | ×2 | ×2 | ×2 |
| 0,34 | 0,68 | 1,36 | 0,72 |

luego si se utilizan sólo cuatro decimales: $0{,}17_{10)} = 0{,}0010$
Por tanto, $460{,}17_{10)} = 111001100{,}0010_{2)}$



**c)** $691{,}23_{10)}$
$691{,}23_{10)} = 691_{10)} + 23_{10)}$




$691_{10)} = 1010110011_{2)}$

| 0,23 | 0,46 | 0,92 | 0,84 |
|---|---|---|---|
| ×2 | ×2 | ×2 | ×2 |
| 0,46 | 0,92 | 1,84 | 1,68 |

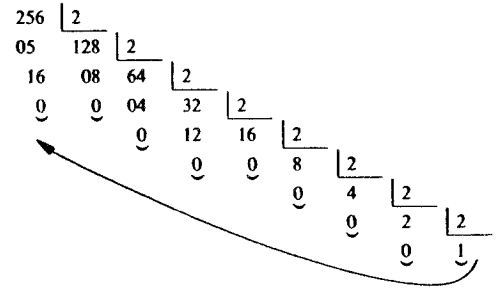
$0{,}23_{10)} = 0{,}0011_{2)}$
Por tanto, $691{,}23_{10)} = 1010110011{,}0011_{2)}$

**4.7.** Pasar las siguientes cantidades decimales a base binaria:

**a)** 256
**b)** 153
**c)** 479,22
**d)** 356,85

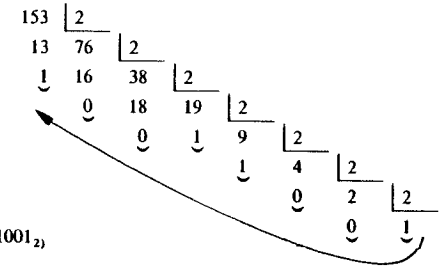
**Solución:**

**a)** $256_{10)}$




$256_{10)} = 100000000_{2)}$

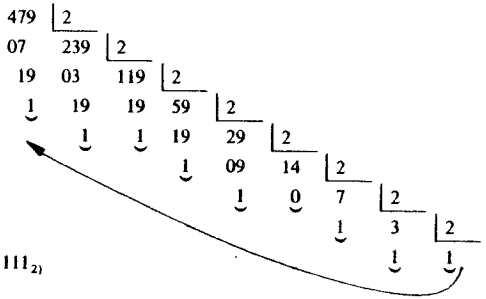
**b)** $153_{10)}$




$153_{10)} = 10011001_{2)}$

**c)** $479{,}22_{10)}$

$479{,}22_{10)} = 479_{10)} + 0{,}22_{10)}$




$479_{10)} = 111011111_{2)}$

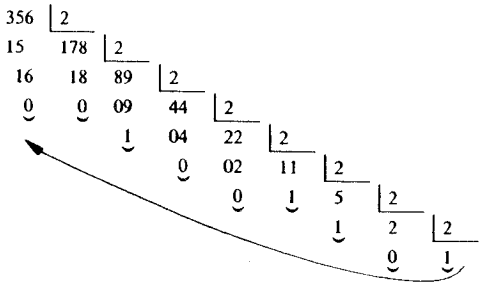
| 0,22 | 0,44 | 0,88 | 0,76 |
|---|---|---|---|
| ×2 | ×2 | ×2 | ×2 |
| 0,44 | 0,88 | 1,76 | 1,52 |

$0{,}22_{10)} = 0{,}0011_{2)}$

Por tanto, $479{,}22_{10)} = 111011111{,}0011_{2)}$

**d)** $356{,}85_{10)}$

$356{,}85_{10)} = 356_{10)} + 0{,}85_{10)}$






$356_{10)} = 101100100_{2)}$

| 0,85 | 0,70 | 0,40 | 0,80 |
|---|---|---|---|
| ×2 | ×2 | ×2 | ×2 |
| 1,70 | 1,40 | 0,80 | 1,60 |

$0{,}85_{10)} = 0{,}1101_{2)}$

Por tanto, $356{,}85_{10} = 101100100{,}1101_{2)}$

**4.8.** Convertir a base octal las siguientes cantidades binarias:

**a)** $1110001010110_{2)}$ **b)** $1001101001111_{2)}$ **c)** $1011110101110_{2)}$

**Solución:**

**a)** $1110001010110_{2)}$

Si tomamos de tres en tres, empezando por la derecha, los dígitos binarios y pasamos al código octal a través del polinomio característico, se obtiene

$$1 \,\vdots\, 110 \,\vdots\, 001 \,\vdots\, 010 \,\vdots\, 110$$

$$110 = 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 6$$
$$010 = 0 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 2$$
$$001 = 0 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 1$$
$$110 = 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 6$$
$$001 = 0 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 1$$

Por tanto, $1110001010110_{2)} = 16126_{8)}$

**b)** $1001101001111_{2)}$

$$1 \,\vdots\, 001 \,\vdots\, 101 \,\vdots\, 001 \,\vdots\, 111$$

$$111 = 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 7$$
$$001 = 0 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 1$$
$$101 = 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 5$$

Por tanto, $1001101001111_{2)} = 11517_{8)}$

**c)** $1011110101110_{2)}$

$$1 \,\vdots\, 011 \,\vdots\, 110 \,\vdots\, 101 \,\vdots\, 110$$

$$110 = 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 6$$
$$101 = 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 5$$
$$011 = 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 3$$
$$001 = 0 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 1$$

Por tanto, $1011110101110_{2)} = 13656_{8)}$

**4.9.** Convertir a base octal las siguientes cantidades binarias:

**a)** $1010110{,}101101_{2)}$ **b)** $0110011{,}10011101_{2)}$ **c)** $11110{,}000110_{2)}$

**Solución:**

**a)** $1010110{,}101101_{2)}$

$$1 \mid 010 \mid 110 \mid , \mid 101 \mid 101 \mid$$
$$1 \quad 2 \quad 6 \quad , \quad 5 \quad 5$$

Por tanto, $1010110{,}101101_{2)} = 126{,}55_{8)}$

**b)** 0110011,100111010

$$0 \mid 110 \mid 011 \mid , \mid 100 \mid 111 \mid 010$$
$$6 \quad 3 \quad , \quad 4 \quad 7 \quad 2$$

Por tanto, $0110011{,}10011110_{2)} = 63{,}472_{8)}$

**c)** $11110{,}000110_{2)}$

$$11 \mid 110 \mid , \mid 000 \mid 110$$
$$3 \quad 6 \quad , \quad 0 \quad 6$$

Por tanto, $11110{,}000110_{2)} = 36{,}06_{8)}$

**4.10.** Convertir a base octal las siguientes cantidades binarias:

**a)** $101111100_{2)}$ **c)** $10111{,}10111_{2)}$
**b)** $1000010000_{2)}$ **d)** $111100{,}100_{2)}$

**Solución:**

**a)** $101111100_{2)}$

$$5 \quad 7 \quad 4$$
$$101 \mid 111 \mid 100$$

$$110 = 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 4$$
$$111 = 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 7$$
$$101 = 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 5$$

Por tanto, $101111100_{2)} = 475_{8)}$

**b)** $1000010000_{2)}$

$$1 \mid 000 \mid 010 \mid 000$$

$$000 = 0 \cdot 2^2 + 0 \cdot 2^1 + 0 \cdot 2^0 = 0$$
$$010 = 0 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 2$$
$$001 = 0 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 1$$

Por tanto $1000010000_{2)} = 1020_{8)}$



**c)** $10111{,}10111_{2)}$

$$10 \mid 111 \mid , \mid 101 \mid 110$$

$$110 = 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 6$$
$$101 = 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 5$$
$$111 = 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 7$$
$$010 = 0 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 2$$

Por tanto, $10111{,}10111_{2)} = 27{,}56_{8)}$

**d)** $111100{,}100_{2)}$

$$111 \mid 100 \mid , \mid 100$$

$$100 = 1 \cdot 2^2 + 0 \cdot 2^1 + 0 \cdot 2^0 = 4$$
$$111 = 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 7$$

Por tanto, $111100{,}100_{2)} = 74{,}4_{8)}$

**4.11.** Convertir a base hexadecimal las siguientes cantidades binarias:

**a)** $101101010110_{2)}$ **b)** $11110111010_{2)}$ **c)** $1110000000001010_{2)}$

**Solución:**

**a)** $101101010110_{2)}$
Tomando de cuatro en cuatro dígitos binarios, empezando por la derecha, y pasando al código hexadecimal de acuerdo con la Tabla 4.2, se obtiene

$$1011 \mid 0101 \mid 0110 \mid$$
$$B \quad 5 \quad 6$$

Por tanto, $101101010110_{2)} = B56_{16)}$

**b)** $11110111010_{2)}$

$$111 \mid 1011 \mid 1010 \mid$$
$$7 \quad B \quad A$$

Por tanto, $11110111010_{2)} = 7BA_{16)}$

**c)** $1110000000001010_{2)}$

$$111 \mid 0000 \mid 0000 \mid 1010$$
$$7 \quad 0 \quad 0 \quad A$$

Por tanto, $1110000000001010_{2)} = 700A_{16)}$

**4.12.** Convertir a base hexadecimal las siguientes cantidades binarias:

**a)** $100110101{,}01011101_{2)}$ **b)** $1011000{,}1101010$ **c)** $1011111{,}0010001_{2)}$

**Solución:**

**a)** $100110101,01011101_{2)}$

| 1 | 0011 | 0101 | , | 0101 | 1101 |
|---|---|---|---|---|---|
| 1 | 3 | 5 | , | 5 | D |

Por tanto, $100110101,01011101_{2)} = 135,5D_{16)}$

**b)** $1011000,1101010_{2)}$

| 0101 | 1000 | , | 1101 | 0100 |
|---|---|---|---|---|
| 5 | 8 | | D | , 4 |

Por tanto, $1011000,1101010_{2)} = 58,D4_{16)}$

**c)** $1011111,0010001_{2)}$

| 0101 | 1111 | , | 0010 | 0010 |
|---|---|---|---|---|
| 5 | F | , | 2 | 2 |

Por tanto, $1011111,0010001_{2)} = 5F,22_{16)}$

**4.13.** Convertir a base hexadecimal las siguientes cantidades binarias:

**a)** $111011010101_{2)}$
**b)** $10101010101011_{2)}$
**c)** $1010,1101101_{2)}$
**d)** $0,1111001010_{2)}$

**Solución:**

**a)** $111011010101_{2)}$

| 1110 | 1101 | 0101 |
|---|---|---|
| E | D | 5 |

Por tanto, $111011010101_{2)} = ED5_{16)}$

**b)** $10101010101011_{2)}$

| 0010 | 1010 | 1010 | 1011 |
|---|---|---|---|
| 2 | A | A | B |

Por tanto, $10101010101011_{2)} = 2AAB_{16)}$

**c)** $1010,1101101_{2)}$

| 1010 | , | 1101 | 1010 |
|---|---|---|---|
| A | , | D | A |

Por tanto, $1010,1101101_{2)} = A,DA_{16)}$



**d)** $0,1111001010_{2)}$

| 0 | , | 1111 | 0010 | 1000 |
|---|---|---|---|---|
| 0 | , | F | 2 | 8 |

Por tanto, $0,1111001010_{2)} = 0,F28_{16)}$

**4.14.** Convertir a base decimal las siguientes cantidades octales:

**a)** $6754_{8)}$ **b)** $6656_{8)}$ **c)** $12345_{8)}$

**Solución:**

**a)** $6754_{8)}$
Para pasar esta cantidad octal a base decimal utilizamos el polinomio asociado:

$$6754_{8)} = 6 \cdot 8^3 + 7 \cdot 8^2 + 5 \cdot 8^1 + 4 \cdot 8^0 = 3564_{10)}$$

**b)** $6656_{8)}$

$$6656_8 = 6 \cdot 8^3 + 6 \cdot 8^2 + 5 \cdot 8^1 + 6 \cdot 8^0 = 3502_{10)}$$

**c)** $12345_{8)}$

$$12345_{8)} = 1 \cdot 8^4 + 2 \cdot 8^3 + 3 \cdot 8^2 + 4 \cdot 8^1 + 5 \cdot 8^0 = 5349_{10)}$$

**4.15.** Convertir a base decimal las siguientes cantidades octales:

**a)** $75,253_{8)}$ **b)** $24,0260_{8)}$ **c)** $0,0607_{8)}$

**Solución:**

**a)** $75,253_{8)}$

$$75,253_8 = 7 \cdot 8^1 + 5 \cdot 8^0 + 2 \cdot 8^{-1} + 5 \cdot 8^{-2} + 3 \cdot 8^{-3} = 61,33398438_{10)}$$

**b)** $24,0260_{8)}$

$$24,0260_{8)} = 2 \cdot 8^1 + 4 \cdot 8^0 + 0 \cdot 8^{-1} + 2 \cdot 8^{-2} + 6 \cdot 8^{-3} = 20,04296875_{10)}$$

**c)** $0,0607_{8)}$

$$0,0607_{8)} = 0 \cdot 8^{-1} + 6 \cdot 8^{-2} + 0 \cdot 8^{-3} + 7 \cdot 8^{-4} = 0,095458984_{10)}$$

**4.16.** Convertir a base decimal las siguientes cantidades octales:

**a)** $3006_{8)}$
**b)** $4031_{8)}$
**c)** $20,44_{8)}$
**d)** $0,657_{8)}$

**Solución:**

**a)** $3006_{8)}$

$$3006_{8)} = 3 \cdot 8^3 + 6 \cdot 8^0 = 1542_{10)}$$

**b)** $4031_{8)}$

$$4031_{8)} = 4 \cdot 8^3 + 0 \cdot 8^2 + 3 \cdot 8^1 + 1 \cdot 8^2 = 2073_{10)}$$

**c)** $20{,}44_{8)}$

$$20{,}44_{8)} = 2 \cdot 8^1 + 0 \cdot 8^0 + 4 \cdot 8^{-1} + 4 \cdot 8^{-2} = 16{,}5625_{10)}$$

**d)** $0{,}657_{8)}$

$$0{,}657_{8)} = 6 \cdot 8^{-1} + 5 \cdot 8^{-2} + 7 \cdot 8^{-3} = 0{,}841796875_{10)}$$

**4.17.** Pasar las siguientes cantidades decimales a base octal:

**a)** $438_{10)}$ **b)** $1230_{10)}$ **c)** $569_{10)}$

**Solución:**

**a)** $438_{10)}$

| | | |
|---|---|---|
| 438 \| 8 | | |
| 38 | 54 \| 8 | |
| 6 | 6 | 6 |

$438_{10)} = 666_{8)}$

**b)** $1230_{10)}$

| | | | |
|---|---|---|---|
| 1230 \| 8 | | | |
| 43 | 153 \| 8 | | |
| 30 | 73 | 19 \| 8 | |
| 6 | 1 | 3 | 2 |

$1230_{10)} = 2316_{8)}$

**c)** $569_{10)}$

| | | |
|---|---|---|
| 569 \| 8 | | |
| 09 | 71 \| 8 | |
| 1 | 7 | 8 \| 8 |
| | | 0 1 |

$569_{10)} = 1071_{8)}$



**4.18.** Pasar las siguientes cantidades decimales a base octal:

**a)** $437{,}7_{10)}$ **b)** $3008{,}5_{10)}$ **c)** $0{,}85_{10)}$

**Solución:**

**a)** $437{,}7_{10)} = 437_{10)} + 0{,}7_{10)}$

| | | |
|---|---|---|
| 437 \| 8 | | |
| 37 | 54 \| 8 | |
| 5 | 6 | 6 |

$437_{10} = 665_{8)}$

| | | | |
|---|---|---|---|
| 0,7 | 0,6 | 0,8 | 0,4 |
| ×8 | ×8 | ×8 | ×8 |
| 5,6 | 4,8 | 6,4 | 3,2 |

$0{,}7_{10)} = 0{,}5463_{8)}$
Por tanto, $437{,}7_{10)} = 665{,}5463_{8)}$

**b)** $3008{,}5_{10)} = 3008_{10)} + 0{,}5_{10)}$

| | | | |
|---|---|---|---|
| 3008 \| 8 | | | |
| 60 | 376 \| 8 | | |
| 48 | 56 | 47 \| 8 | |
| 0 | 0 | 7 | 5 |

$3008_{10)} = 5700_{8)}$

| |
|---|
| 0,5 |
| ×8 |
| 4,0 |

$0{,}5_{10)} = 0{,}4_{8)}$
Por tanto, $3008{,}5_{10)} = 5700{,}4_{8)}$

**c)** $0{,}85_{10)}$

| | | | |
|---|---|---|---|
| 0,85 | 0,8 | 0,4 | 0,2 |
| ×8 | ×8 | ×8 | ×8 |
| 6,80 | 6,4 | 3,2 | 1,6 |

Por tanto, $0{,}85_{10)} = 0{,}6631_{8)}$

**4.19.** Pasar las siguientes cantidades de decimal a base octal:

**a)** $24026_{10)}$ **c)** $432{,}27_{10)}$
**b)** $3006_{10)}$ **d)** $98{,}76_{10)}$

**Solución:**

**a)** $24026_{10)}$

| | | | | | |
|---|---|---|---|---|---|
| 24026 | 8 | | | | |
| 00 | 3003 | 8 | | | |
| 026 | 60 | 375 | 8 | | |
| 2 | 43 | 55 | 46 | 8 | |
| | 3 | 7 | 6 | 5 | |

$24026_{10)} = 56732_{8)}$

**b)** $3006_{10)}$

| | | | |
|---|---|---|---|
| 3006 | 8 | | |
| 60 | 375 | 8 | |
| 46 | 55 | 46 | 8 |
| 6 | 7 | 6 | 5 |

$3006_{10)} = 5676_{8)}$

**c)** $432{,}27_{10)}$
$432{,}27_{10)} = 432_{10)} + 0{,}27_{10)}$

| | | | |
|---|---|---|---|
| 432 | 8 | | |
| 32 | 54 | 8 | |
| 0 | 6 | 6 | |

$432_{10)} = 660_{8)}$

| 0,27 | 0,16 | 0,28 |
|---|---|---|
| ×8 | ×8 | ×8 |
| 2,16 | 1,28 | 2,24 |

$0{,}27_{10)} = 0{,}212_{8)}$
Por tanto, $432{,}27_{10)} = 660{,}212_{8)}$

**d)** $98{,}76_{10)}$
$98{,}76_{10)} = 98_{10)} + 0{,}76_{10)}$

| | | | |
|---|---|---|---|
| 98 | 8 | | |
| 18 | 12 | 8 | |
| 2 | 4 | 1 | |



$98_{10)} = 142_{8)}$

| 0,76 | 0,08 | 0,64 |
|---|---|---|
| ×8 | ×8 | ×8 |
| 6,08 | 0,64 | 5,12 |

$0{,}76_{10)} = 0{,}605_{8)}$
Por tanto, $98{,}76_{10)} = 142{,}605_{8)}$

**4.20.** Convertir las siguientes cantidades octales en binarias:

**a)** $376_{8)}$ **b)** $450_{8)}$ **c)** $6052_{8)}$

**Solución:**

**a)** $376_{8)}$

$3_{8)} = 011_{2)}$
$7_{8)} = 111_{8)}$
$6_{8)} = 110_{2)}$

Por tanto, $376_{8)} = 011111110_{2)}$

**b)** $450_{8)}$

$4_{8)} = 100_{2)}$
$5_{8)} = 101_{2)}$
$0_{8)} = 000_{2)}$

Por tanto, $450_{8)} = 100101000_{2)}$

**c)** $6052_{8)}$

$6_{8)} = 110_{2)}$
$0_{8)} = 000_{2)}$
$5_{8)} = 101_{2)}$
$2_{8)} = 010_{2)}$

Por tanto, $6052_{8)} = 110000101010_{2)}$

**4.21.** Convertir las siguientes cantidades octales en binarias:

**a)** $250{,}27_{8)}$ **b)** $30{,}022_{8)}$ **c)** $0{,}25_{8)}$

**Solución:**

**a)** $250{,}27_{8)}$
Para pasar un número octal a binario no hay más que sustituir cada número por el equivalente binario.

Por tanto:

$$2_{8)} = 010_{2)}$$
$$5_{8)} = 101_{2)}$$
$$0_{8)} = 000_{2)}$$
$$7_{8)} = 111_{2)}$$

Luego $250,27_{8)} = 10101000,010111_{2)}$

**b)** $30,022_{8)}$

$$3_{8)} = 011_{2)}$$
$$2_{8)} = 010_{2)}$$

Luego $30,022_{8)} = 11000,000010010_{2)}$

**c)** $0,25_{8)}$

$$2_{8)} = 010_{2)}$$
$$5_{8)} = 101_{2)}$$

Por tanto, $0,25_{8)} = 0,010101_{2)}$

**4.22.** Convertir las siguientes cantidades octales al sistema binario:

**a)** $22_{8)}$ **c)** $3,28_{8)}$
**b)** $425_{8)}$ **d)** $33,33_{8)}$

**Solución:**

**a)** $22_{8)}$

$$2_{8)} = 010_{2)}$$

Por tanto, $22_{8)} = 010010_{2)}$

**b)** $425_{8)}$

$$4_{8)} = 100_{2)}$$
$$2_{8)} = 010_{2)}$$
$$5_{8)} = 101_{2)}$$

Por tanto, $425_{8)} = 100010101_{2)}$

**c)** $3,26_{8)}$

$$3_{8)} = 011_{2)}$$
$$2_{8)} = 010_{2)}$$
$$6_{8)} = 011_{2)}$$

Por tanto, $3,26_{8)} = 11,010110_{2)}$



**d)** $33,33_{8)}$

$$3_{8)} = 011_{2)}$$

Por tanto, $33,33_{8)} = 11011,011011_{2)}$

**4.23.** Convertir en binarias las siguientes cantidades hexadecimales:

**a)** $3F0_{16)}$ **b)** $4A7_{16)}$ **c)** $123_{16)}$

**Solución:**

**a)** $3F0_{16)}$
Para pasar un número hexadecimal a binario no hay más que sustituirlo por el equivalente binario. Por tanto:

$$3_{16)} = 0011_{2)}$$
$$F_{16)} = 1111_{2)}$$
$$0_{16)} = 0000_{2)}$$

Luego $3F0_{16)} = 001111110000_{2)}$

**b)** $4A7_{16)}$

$$4_{16)} = 0100_{2)}$$
$$A_{16)} = 1010_{2)}$$
$$7_{16)} = 0111_{2)}$$

Por tanto, $4A7_{10)} = 010010100111_{2)}$

**c)** $123_{16)}$

$$1_{16} = 0001_{2)}$$
$$2_{16} = 0010_{2)}$$
$$3_{16} = 0011_{2)}$$

Por tanto, $123_{16)} = 100100011_{2)}$

**4.24.** Convertir al sistema binario las siguientes cantidades hexadecimales:

**a)** $0,10F_{16)}$ **b)** $62,10_{16)}$ **c)** $330,22_{16)}$

**Solución:**

**a)** $0,10F_{16)}$

$$1_{16)} = 0001_{2)}$$
$$0_{16)} = 0000_{2)}$$
$$F_{16)} = 1111_{2)}$$

Por tanto, $0,10F_{16)} = 0,000100001111_{2)}$

**b)** $62{,}10_{16)}$

$$6_{16)} = 0110_{2)}$$
$$2_{16)} = 0010_{2)}$$
$$1_{16)} = 0001_{2)}$$
$$0_{16)} = 0000_{2)}$$

Por tanto, $62{,}10_{16)} = 1100010{,}00010000_{2)}$

**c)** $330{,}22_{16)}$

$$3_{16)} = 0011_{2)}$$
$$0_{16)} = 0000_{2)}$$
$$2_{16)} = 0010_{2)}$$

Por tanto, $330{,}22_{16)} = 1100110000{,}00100010_{2)}$

**4.25.** Convertir a binario las siguientes cantidades hexadecimales:

**a)** $320{,}27_{16)}$
**b)** $420{,}01_{16)}$
**c)** $27{,}32_{16)}$
**d)** $11010_{16)}$

**Solución:**

**a)** $320{,}27_{16)}$

$$3_{16)} = 0011_{2)}$$
$$2_{16)} = 0010_{2)}$$
$$0_{16)} = 0000_{2)}$$
$$7_{16)} = 0111_{2)}$$

Por tanto, $320{,}27_{16)} = 1100100000{,}00100111_{2)}$

**b)** $420{,}01_{16)}$

$$4_{16)} = 0100_{2)}$$
$$2_{16)} = 0010_{2)}$$
$$0_{16)} = 0000_{2)}$$
$$1_{16)} = 0001_{2)}$$

Por tanto, $420{,}01_{16)} = 10000100000{,}00000001_{2)}$

**c)** $27{,}32_{16)}$

$$2_{16)} = 0010_{2)}$$
$$7_{16)} = 0111_{2)}$$
$$3_{16)} = 0011_{2)}$$
$$1_{16)} = 0001_{2)}$$

Por tanto, $27{,}32_{16)} = 100111{,}00110010_{2)}$



**d)** $11010_{16)}$

$$1_{16)} = 0001_{2)}$$
$$0_{16)} = 0000_{2)}$$

Por tanto: $11010_{16)} = 10001000000010000_{2)}$

**4.26.** Realizar las siguientes operaciones aritméticas en código binario natural.

**a)**
$$\begin{array}{r} 1101100 \\ 11010 \\ 111010 \\ +\ 1111111 \\ \hline \end{array}$$

**b)**
$$\begin{array}{r} 1011 \\ 1101 \\ 0101 \\ 1101 \\ 0011 \\ 1111 \\ +\ 0001 \\ \hline \end{array}$$

**c)**
$$\begin{array}{r} 110 \\ 111 \\ 1011 \\ 11111 \\ +\ 101111 \\ \hline \end{array}$$

**Solución:**

**a)**
$$\begin{array}{r} 1101100 \\ 11010 \\ 111010 \\ +\ 1111111 \\ \hline 100111111 \end{array}$$

**b)**
$$\begin{array}{r} 1011 \\ 1101 \\ 0101 \\ 1101 \\ 0011 \\ 1111 \\ +\ 100001 \\ \hline 1011101 \end{array}$$

**c)**
$$\begin{array}{r} 110 \\ 111 \\ 1011 \\ 11111 \\ +\ 101111 \\ \hline 1100110 \end{array}$$

**4.27.** Realizar las siguientes operaciones aritméticas en código binario natural:

**a)**
$$\begin{array}{r} 111001101 \\ -\ 101110111 \\ \hline \end{array}$$

**b)**
$$\begin{array}{r} 1001110101 \\ -\ 0110111110 \\ \hline \end{array}$$

**Solución:**

**a)**
$$\begin{array}{r} 111001101 \\ -\ 101110111 \\ \hline 001010110 \end{array}$$

**b)**
$$\begin{array}{r} 1001110101 \\ -\ 0110111110 \\ \hline 0010110111 \end{array}$$

**4.28.** Realizar las siguientes operaciones aritméticas en código binario:

**a)**
$$\begin{array}{r} 10000111 \\ \times\ 11111 \\ \hline \end{array}$$

**b)**
$$\begin{array}{r} 10110111 \\ \times\ 11001 \\ \hline \end{array}$$

**c)**
$$\begin{array}{r} 1111000 \\ \times\ 10001 \\ \hline \end{array}$$

**Solución:**

**a)**
$$\begin{array}{r} 10000111 \\ \times\ 11111 \\ \hline 10000111 \\ 10000111 \\ 10000111 \\ 10000111 \\ 10000111 \\ \hline 1000001011001 \end{array}$$

**b)**
$$\begin{array}{r} 10110111 \\ \times\ 11001 \\ \hline 10110111 \\ 10110111 \\ 10110111 \\ \hline 100011011111 \end{array}$$

**c)**
$$\begin{array}{r} 1111000 \\ \times\ 10001 \\ \hline 1111000 \\ 1111000 \\ \hline 11111111000 \end{array}$$

**4.29.** Realizar las siguientes operaciones binarias indicando el resultado en base decimal:

**a)**
$$\begin{array}{r} 101011 \\ 110010 \\ 101010 \\ +\ 101111 \\ \hline \end{array}$$

**b)**
$$\begin{array}{r} 10111 \\ 101100 \\ +\ 11111 \\ \hline \end{array}$$

**c)**
$$\begin{array}{r} 110 \\ 1111 \\ 10010 \\ +\ 111 \\ \hline \end{array}$$

**Solución:**

**a)**
$$\begin{array}{r} 101011 \\ 110010 \\ 101010 \\ +\ 101111 \\ \hline 10110110 \end{array}$$

$$10110110_{2)} = 1 \cdot 2^7 + 0 \cdot 2^6 + 1 \cdot 2^5 + 1 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 182_{10)}$$

**b)**
$$\begin{array}{r} 10111 \\ 101100 \\ +\ 11111 \\ \hline 1100010 \end{array}$$

$$1100010_{2)} = 1 \cdot 2^6 + 1 \cdot 2^5 + 0 \cdot 2^4 + 0 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 98_{10)}$$

**c)**
$$\begin{array}{r} 110 \\ 1111 \\ 10010 \\ +\ 111 \\ \hline 101110 \end{array}$$

**a)** $101110_{2)} = 1 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 46_{10)}$

**4.30.** Realizar las siguientes operaciones binarias indicando el resultado en código hexadecimal:

**a)**
$$\begin{array}{r} 111001 \\ -\ 010011 \\ \hline \end{array}$$

**b)**
$$\begin{array}{r} 110110111 \\ -\ 11010010 \\ \hline \end{array}$$

**c)**
$$\begin{array}{r} 11011011 \\ -\ 11001111 \\ \hline \end{array}$$



**Solución:**

**a)**
$$\begin{array}{r} 111001 \\ -\ 010011 \\ \hline 100110 \end{array}$$

$100110_{2)} = 38_{16)}$

**b)**
$$\begin{array}{r} 110110111 \\ -\ 11010010 \\ \hline 011100101 \end{array}$$

$011100101_{2)} = E5_{16)}$

**c)**
$$\begin{array}{r} 11011011 \\ -\ 11001111 \\ \hline 00001100 \end{array}$$

$00001100_{2)} = 0C_{16)}$

**4.31.** Realizar las siguientes operaciones en código binario y expresar el resultado en código octal.

**a)**
$$\begin{array}{r} 1011101 \\ \times\ 101 \\ \hline \end{array}$$

**b)**
$$\begin{array}{r} 11011011 \\ \times\ 11101 \\ \hline \end{array}$$

**c)**
$$\begin{array}{r} 10011001 \\ \times\ 1111 \\ \hline \end{array}$$

**Solución:**

**a)**
$$\begin{array}{r} 1011101 \\ \times\ 101 \\ \hline 1011101 \\ 1011101 \\ \hline 111010001 \end{array}$$

**b)**
$$\begin{array}{r} 11011011 \\ \times\ 11101 \\ \hline 11011011 \\ 11011011 \\ 11011011 \\ 11011011 \\ \hline 1100011001111 \end{array}$$

**c)**
$$\begin{array}{r} 10011001 \\ \times\ 1111 \\ \hline 10011001 \\ 10011001 \\ 10011001 \\ 10011001 \\ \hline 100011110111 \end{array}$$

$111010001_{2)} = 721_{8)}$ $\quad$ $1100011001111_{2)} = 14317_{8)}$ $\quad$ $100011110111_{2)} = 4367_{8)}$

**4.32.** Pasar los siguientes números decimales a BCD natural, BCD Aiken, BCD 5421 y BCD exceso de 3:

**a)** 47,32 **b)** 8941 **c)** 32,4 **d)** 8751

**Solución:**

**a)** 47,32

| | | | |
|---|---|---|---|
| BCD natural: | 0100 | 0111,0011 | 0010 |
| BCD Aiken: | 0100 | 1101,0011 | 0010 |
| BCD 5421: | 0100 | 1010,0011 | 0010 |
| BCD exceso de 3: | 0111 | 1010,0110 | 0101 |

**b)** 8941

| | | | | |
|---|---|---|---|---|
| BCD natural: | 1000 | 1001 | 0100 | 0001 |
| BCD Aiken: | 1110 | 1111 | 0100 | 0001 |
| BCD 5421: | 1011 | 1100 | 0100 | 0001 |
| BCD exceso de 3: | 1011 | 1100 | 0111 | 0100 |

c) 32,4

| | | | | |
|---|---|---|---|---|
| BCD natural: | 0011 | 0010 | , | 0100 |
| BCD Aiken: | 0011 | 0010 | , | 0100 |
| BCD 5421: | 0011 | 0010 | , | 0100 |
| BCD exceso de 3: | 0110 | 0101 | , | 0111 |

d) 8751

| | | | | |
|---|---|---|---|---|
| BCD natural: | 1000 | 0111 | 0101 | 0001 |
| BCD Aiken: | 1110 | 1101 | 1011 | 0001 |
| BCD 5421: | 1011 | 1010 | 1000 | 0001 |
| BCD exceso de 3: | 1011 | 1010 | 1000 | 0100 |

**4.33.** Realizar las siguientes operaciones aritméticas con números codificados en BCD.

a)
$$\begin{array}{rcccc} & 0111 & 0011 & 0001 \\ + & 0100 & 0011 & 0001 \\ \hline \end{array}$$

b)
$$\begin{array}{rcccc} 0001 & 0001 & 0110 & 0010 \\ + & 1000 & 1001 & 0101 \\ \hline \end{array}$$

**Solución:** Cuando se realiza una suma en BCD natural, el procedimiento a seguir es el siguiente. Se realiza una suma binaria; si el resultado binario es menor que 10 en decimal, es correcto en BCD natural. Si, por el contrario, el resultado es mayor o igual a 10, se debe sumar 6 para obtener el valor correcto en BCD natural. Por tanto:

a)
$$\begin{array}{rcccc} & 0111 & 0011 & 0001 \\ + & 0100 & 0011 & 0001 \\ \hline 1 & 1011 & \mathbf{0110} & \mathbf{0010} \\ \mathbf{0001} & 0110 & & \\ \hline & \mathbf{0001} & & \end{array}$$

b)
$$\begin{array}{rcccc} 0001 & 0001 & 0110 & 0010 \\ + & 1000 & 1001 & 0101 \\ \hline 1 & 1 & 1111 & \mathbf{0111} \\ \mathbf{0010} & 1010 & 0110 & \\ & 0110 & \mathbf{0101} & \\ \hline & \mathbf{0000} & & \end{array}$$

**4.34.** Sumar en BCD los siguientes números decimales pasándolos previamente a BCD.

a) 789 + 999 + 1214
b) 731 + 431 + 895

**Solución:**

a)
$$\begin{array}{rcccc} 789_{10)} = & 0111 & 1000 & 1001_{BCD)} \\ 999_{10)} = & 1001 & 1001 & 1001_{BCD)} \\ 1214_{10)} = 0001 & 0010 & 0001 & 0100_{BCD)} \end{array}$$



Realizando la suma de dos veces

$$\begin{array}{rcccc} & 0111 & 1000 & 1001 \\ + & 1001 & 1001 & 1001 \\ \hline 1 & 1 & 1 & 0010 \\ \mathbf{0001} & 0001 & 0010 & 0110 \\ & 0110 & 0110 & \mathbf{1000} \\ & \mathbf{0111} & \mathbf{1000} & \end{array}$$

$$\begin{array}{rcccc} 0001 & 0111 & 1000 & 1000 \\ + & 0001 & 0010 & 0001 & 0100 \\ \hline 1 & 1 & 1 & 1100 \\ \mathbf{0011} & 1010 & 1010 & 0110 \\ & 0110 & 0110 & \mathbf{0010} \\ & \mathbf{0000} & \mathbf{0000} & \end{array}$$

b) $731_{10)} = 0111\ \ 0011\ \ 0001_{BCD)}$
$431_{10)} = 0100\ \ 0011\ \ 0001_{BCD)}$
$895_{10)} = 1000\ \ 1001\ \ 0101_{BCD)}$

Realizando la suma en dos partes:

$$\begin{array}{rcccc} & 0111 & 0011 & 0001 \\ + & 0100 & 0011 & 0001 \\ \hline 1 & 1011 & \mathbf{0110} & \mathbf{0010} \\ \mathbf{0001} & 0110 & & \\ & \mathbf{0001} & & \end{array}$$

$$\begin{array}{rcccc} 0001 & 0001 & 0110 & 0010 \\ + & & 1000 & 1001 & 0101 \\ \hline 1 & 1 & 1111 & \mathbf{0111} \\ \mathbf{0010} & 1010 & 0110 & \\ & 0110 & \mathbf{0101} & \\ & \mathbf{0000} & & \end{array}$$

**4.35.** Dadas las siguientes cantidades, realizar la suma expresando el resultado en BCD natural:

$$\begin{array}{cccc} 0100 & 1001 & 0111_{BCD)} \\ 1100 & 1101 & 0010_{BCD\ AIKEN)} \end{array}$$

**Solución:** $1100\ \ 1101\ \ 0010_{BCD\ AIKEN)} = 672_{10)} = 0110\ \ 0111\ \ 0010_{BCD)}$

$$\begin{array}{rcccc} & 0110 & 0111 & 0010 \\ + & 0100 & 1001 & 0111 \\ \hline 1 & 1 & 0000 & \mathbf{1001} \\ \mathbf{0001} & 1011 & 0110 & \\ & 0110 & \mathbf{0110} & \\ & \mathbf{0001} & & \end{array}$$

# PROBLEMAS PROPUESTOS

**4.36.** Convertir a base decimal las siguientes cantidades:

a) $111000111_{2)}$ c) $000111_{2)}$
b) $101010_{2)}$ d) $10111001101_{2)}$

**Solución:**

a) $111000111_{2)} = 455_{10)}$
b) $101010_{2)} = 42_{10)}$
c) $000111_{2)} = 7_{10)}$
d) $10111001101_{2)} = 1485_{10)}$

**4.37.** Convertir a base decimal las siguientes cantidades:

a) $1011101,0110_{2)}$ c) $101011,0011_{2)}$
b) $111000,111000_{2)}$

**Solución:**

a) $1011101,0110_{2)} = 93,375_{10)}$
b) $111000,111000_{2)} = 56,875_{10)}$
c) $101011,0011_{2)} = 43,1875_{10)}$

**4.38.** Convertir a binario las siguientes cantidades decimales:

a) $755_{10)}$ b) $431_{10)}$ c) $391_{10)}$

**Solución:**

a) $755_{10)} = 1011110011_{2)}$
b) $431_{10)} = 110101111_{2)}$
c) $391_{10)} = 110000111_{2)}$

**4.39.** Convertir a base binaria las siguientes cantidades decimales:

a) $321,527_{10)}$ c) $7854,321_{10)}$
b) $57,0023_{10)}$ d) $0,432_{10)}$

**Solución:**

a) $321,527_{10)} = 101000001,100001_{2)}$
b) $57,0023_{10)} = 111001,0000000010_{2)}$
c) $7854,321_{10)} = 1111010101110,0101001_{2)}$
d) $0,432_{10)} = 0,01101_{2)}$

**4.40.** Convertir a base octal las siguientes cantidades binarias:

a) $10110111101_{2)}$
b) $101111000101_{2)}$
c) $110111001110111_{2)}$



**Solución:**

a) $10110111101_{2)} = 2675_{8)}$
b) $101111000101_{2)} = 5705_{8)}$
c) $110111001110111_{2)} = 67167_{8)}$

**4.41.** Convertir a base octal las siguientes cantidades:

a) $1011011101,0110110_{2)}$
b) $1011100,110101_{2)}$
c) $0,110101_{2)}$

**Solución:**

a) $1011011101,0110110_{2)} = 1335,330_{8)}$
b) $1011100,110101_{2)} = 134,65_{8)}$
c) $0,110101_{2)} = 0,65_{8)}$

**4.42.** Convertir a base hexadecimal las siguientes cantidades binarias:

a) $10111101101_{2)}$
b) $1010101011111100_{2)}$
c) $1010110011011111_{2)}$

**Solución:**

a) $10111101101_{2)} = 5ED_{16)}$
b) $1010101011111100_{2)} = 557C_{16)}$
c) $1010110011011111_{2)} = ACDF_{16)}$

**4.43.** Convertir a hexadecimal las siguientes cantidades binarias:

a) $1011011101,11101111_{2)}$
b) $100011,00110011_{2)}$
c) $0,10101111_{2)}$

**Solución:**

a) $1011011101,11101111_{2)} = 2DD,EF_{16)}$
b) $100011,00110011_{2)} = 23,33_{16)}$
c) $0,10101111_{2)} = 0,AF_{16)}$

**4.44.** Convertir a base decimal las siguientes cantidades octales:

a) $567_{8)}$ b) $3333_{8)}$ c) $4040_{8)}$

**Solución:**

a) $567_{8)} = 375_{10)}$
b) $3333_{8)} = 1755_{10)}$
c) $4040_{8)} = 2080_{10)}$

**4.45.** Convertir a base decimal las siguientes cantidades octales:

a) $0,367_{8)}$ b) $6,7001_{8)}$ c) $356,277_{8)}$

**Solución:**

**a)** $0{,}367_{8)} = 0{,}482421875_{10)}$
**b)** $6{,}7001_{8)} = 6{,}875244141_{10)}$
**c)** $356{,}277_{8)} = 238{,}3730469_{10)}$

**4.46.** Convertir a base octal las siguientes cantidades decimales:

**a)** $0{,}375_{10)}$ **b)** $2000_{10)}$ **c)** $548_{10)}$

**Solución:**

**a)** $375_{10)} = 567_{8)}$
**b)** $2000_{10)} = 3720_{8)}$
**c)** $548_{10)} = 1044_{8)}$

**4.47.** Convertir a base octal las siguientes cantidades decimales:

**a)** $0{,}45_{10)}$ **b)** $25{,}30_{10)}$ **c)** $405{,}27_{10)}$

**Solución:**

**a)** $0{,}45_{10)} = 0{,}3463_{8)}$
**b)** $25{,}30_{10)} = 31{,}2314_{8)}$
**c)** $405{,}27_{10)} = 625{,}212_{8)}$

**4.48.** Convertir a binario las siguientes cantidades octales:

**a)** $375_{8)}$ **b)** $1010_{8)}$ **c)** $2100_{8)}$

**Solución:**

**a)** $375_{8)} = 011111101_{2)}$
**b)** $1010_{8)} = 001000001000_{2)}$
**c)** $2100_{8)} = 010001000000_{2)}$

**4.49.** Convertir a binario las siguientes cantidades octales:

**a)** $50{,}05_{8)}$ **b)** $300{,}03_{8)}$ **c)** $0{,}27_{8)}$

**Solución:**

**a)** $50{,}05_{8)} = 101000{,}000101_{2)}$
**b)** $300{,}03_{8)} = 011000000{,}000011_{2)}$
**c)** $0{,}27_{8)} = 0{,}010111_{2)}$

**4.50.** Convertir a binario las siguientes cantidades hexadecimales:

**a)** $12002_{16)}$ **c)** $C1AD_{16)}$
**b)** $10AF_{16)}$ **d)** $1111_{16)}$

**Solución:**

**a)** $12002_{16)} = 00010010000000000010_{2)}$
**b)** $10AF_{16)} = 0001000010101111_{2)}$
**c)** $C1AD_{16)} = 1100000110101101_{2)}$
**d)** $1111_{16)} = 0001000100010001_{2)}$



**4.51.** Realizar las siguientes operaciones binarias:

**a)**
```
   1010110011
   1010101010
     11110000
+  101010111
```

**b)**
```
   11011100
   10101000
    1010111
+  11001100
```

**c)**
```
    1101
    1101
    1111
    1011
    1010
    1101
    1001
+     11
```

**Solución:**

**a)** 11110100100
**b)** 1010100111
**c)** 1010111

**4.52.** Realizar las siguientes operaciones aritméticas binarias:

**a)**
```
   101110101101
-  100011101111
```

**b)**
```
   110100100110
-  101111100001
```

**Solución:**

**a)** 101010111110
**b)** 000101000101

**4.53.** Realizar las siguientes operaciones aritméticas binarias:

**a)**
```
  10110101
×   101
```

**b)**
```
  110000110111
×     10111
```

**c)**
```
  11011101
×   1110
```

**Solución:**

a) 1110001001
b) 10001100011110001
c) 1100000100110

**4.54.** Realizar las siguientes operaciones aritméticas binarias dando el resultado en base decimal:

a)
```
   1100
   1101
   1100
   0010
   1100
 + 0110
```

b)
```
  101011
× 110
```

**Solución:**

a) $57_{10)}$
b) $258_{10)}$

**4.55.** Pasar los siguientes números decimales a BCD natural, BCD Aiken, BCD 5421 y BCD exceso de 3:

a) 309,62 b) 2402,60 c) 3518

**Solución:**

a) BCD natural: 0011 0000 1001, 0110 0010
BCD Aiken: 0011 0000 1111, 1100 0010
BCD 5421: 0011 0000 1100, 1001 0010
BCD exceso de 3: 0110 0011 1100, 1001 0101

b) BCD natural: 0010 0100 0000 0010, 0110 0000
BCD Aiken: 0010 0100 0000 0010, 1100 0000
BCD 5421: 0010 0100 0000 0010, 1001 0000
BCD exceso de 3: 0101 0111 0011 0101, 1001 0011

c) BCD natural: 0011 0101 0001 1000
BCD Aiken: 0011 1011 0001 1110
BCD 5421: 0011 1000 0001 1011
BCD exceso de 3: 0110 1000 0100 1011

**4.56.** Realizar las siguientes operaciones aritméticas con números codificados en BCD:

a)
```
    0011 1000 0101
+   0010 0001 0000
```



b)
```
    0111 0110 0101
+   0101 0100 0011
```

**Solución:**

a) 0101 1001 0101
b) 0001 0011 0000 1000

**4.57.** Dadas las siguientes cantidades codificadas en BCD natural y BCD Aiken respectivamente, realizar la suma expresando el resultado en BCD natural:

$$0010\ \ 0010\ \ 0010_{\text{BCD natural)}}$$
$$1100\ \ 0011\ \ 1110_{\text{Aiken)}}$$

**Solución:** $1000\ \ 0110\ \ 0000_{\text{BCD natural)}}$

**4.58.** Dadas las siguientes cantidades codificadas en BCD natural, BCD Aiken y BCD exceso de 3, realizar su suma dando el resultado en BCD natural:

$$0001\ \ 0100\ \ 0011\ \ 0000_{\text{BCD natural)}}$$
$$1101\ \ 0000\ \ 0000\ \ 0010_{\text{BCD Aiken)}}$$
$$0100\ \ 0101\ \ 0110_{\text{BCD exceso de 3)}}$$

**Solución:** $1000\ \ 0101\ \ 0101\ \ 0101_{\text{BCD natural)}}$

# CAPITULO 5

# Circuitos combinacionales MSI

## 5.1. CLASIFICACION DE LOS CIRCUITOS INTEGRADOS DIGITALES

Las técnicas de fabricación de circuitos integrados han evolucionado extraordinariamente, siendo capaces hoy día de integrar en una oblea de silicio más de 500.000 componentes por centímetro cuadrado.

Los circuitos integrados digitales se clasifican, en función de su densidad de integración, en los siguientes grupos:

- **Circuitos SSI** (circuitos de baja escala de integración). Son aquellos que contienen un máximo de 10 puertas lógicas o 100 transistores.
- **Circuitos MSI** (circuitos de media escala de integración). Son aquellos que contienen entre 10 y 100 puertas lógicas o de 100 a 1.000 transistores.
- **Circuitos LSI** (circuitos de alta escala de integración). Son aquellos que contienen entre 100 y 1.000 puertas lógicas o de 1.000 a 10.000 transistores.
- **Circuitos VLSI** (circuitos de muy alta escala de integración). Son aquellos que contienen más de 1.000 puertas lógicas o más de 10.000 transistores.

En este capítulo nos ocuparemos de los circuitos que pertenecen a la escala media de integración o MSI (*Medium Size Integration*).

## 5.2. DEFINICION DE CIRCUITO DIGITAL COMBINACIONAL

Se denomina circuitos digitales combinacionales a un conjunto de circuitos en los cuales se cumple la condición de que *sus salidas son exclusivamente función de sus entradas, sin que intervenga para nada el último valor en el que se encontrarán dichas salidas.*

Los circuitos combinacionales se realizan implementando su ecuación booleana de funcionamiento con puertas lógicas y cumplen en el interior de los circuitos digitales muy diversas funciones.

En la práctica, existe una serie de estructuras de este tipo que, a causa de su volumen de puertas y su elevado número de aplicaciones, se encuentran en el mercado de componentes como *chips* integrados MSI.





## 5.3. CLASIFICACION DE LOS CIRCUITOS COMBINACIONALES MSI

Los circuitos combinacionales MSI se clasifican, según la función que desempeñan en el interior de los sistemas digitales, en los siguientes grupos:

### ■ Circuitos de comunicación

Sirven tanto para transmitir información por una línea como para codificar, decodificar o modificar la estructura de dicha información. Los más importantes son:

- Codificadores:
  - — Codificadores sin prioridad.
  - — Codificadores con prioridad.
- Decodificadores:
  - — Decodificadores no excitadores.
  - — Decodificadores excitadores: en ánodo común, en cátodo común.
- Convertidores de código.
- Multiplexores y demultiplexores.

### ■ Circuitos aritméticos

Son circuitos que realizan una serie de operaciones aritméticas con los datos binarios que procesan. Los principales son:

- Comparadores.
- Sumadores.
- Restadores.

## 5.4. CODIFICADORES

Se trata de circuitos combinacionales que poseen $n$ salidas y $2^n$ entradas y cuya estructura es tal que al activarse una de las entradas (adoptando un estado lógico determinado, 0 o 1) en la salida aparece la combinación binaria (o su complementaria) correspondiente al número decimal asignado a dicha entrada.

*La función habitual de un codificador es la de convertir cualquier información digitalizada que entra al sistema digital en su equivalente en binario natural o en cualquiera de los códigos binarios existentes.*

Hay dos tipos de codificadores:

### ■ Codificadores sin prioridad

Son circuitos en los que no pueden activarse simultáneamente más de una entrada porque, si se activan, aparecen códigos binarios erróneos en las salidas. La Tabla 5.1 resume las condiciones de funcionamiento de un codificador sin prioridad de ocho a tres líneas y con entrada de inhibición.

**Tabla 5.1.** Tabla de funcionamiento de un codificador sin prioridad y con entrada de inhibición

| Entradas | | | | | | | | | Salidas | | |
|---|---|---|---|---|---|---|---|---|---|---|---|
| $I$ | $E_0$ | $E_1$ | $E_2$ | $E_3$ | $E_4$ | $E_5$ | $E_6$ | $E_7$ | $A_2$ | $A_1$ | $A_0$ |
| 1 | × | × | × | × | × | × | × | × | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |

### ■ Codificadores con prioridad

Son codificadores que, en el caso de producirse la activación simultánea de varias entradas del codificador, en la salida aparecerá el código de la entrada de mayor prioridad (normalmente la entrada de peso más significativo). La Tabla 5.2 muestra el funcionamiento de un codificador con prioridad de decimal a binario BCD y activo al nivel bajo tipo 74147.

**Tabla 5.2.** Tabla de funcionamiento de un codificador con prioridad del tipo 74147

| Entradas | | | | | | | | | Salidas | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | $A_3$ | $A_2$ | $A_1$ | $A_0$ |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| × | × | × | × | × | × | × | × | 0 | 0 | 1 | 1 | 0 |
| × | × | × | × | × | × | × | 0 | 1 | 0 | 1 | 1 | 1 |
| × | × | × | × | × | × | 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| × | × | × | × | × | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| × | × | × | × | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 |
| × | × | × | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| × | × | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| × | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |



## 5.5. DECODIFICADORES

Son circuitos combinacionales provistos de $n$ entradas y un número de salidas menor o igual $2^n$. Básicamente funcionan de manera que, al aparecer una combinación binaria en sus entradas, se activa una sola de sus salidas. Normalmente, la salida activada presenta un 0 (en TTL), mientras que las demás permanecen a 1. No todos los decodificadores poseen la misma asignación de estados lógicos; de hecho, hay muchos que trabajan tomando un nivel alto (1) como nivel activo.

Los decodificadores se emplean en los sistemas digitales para convertir las informaciones binarias, con las cuales trabajan, en otros tipos de informaciones digitalizadas, pero no binarias, empleadas por otros dispositivos, por ejemplo, los visualizadores alfanuméricos.

La Tabla 5.3 nos muestra el funcionamiento de un decodificador de dos a cuatro líneas con entrada de inhibición que activa la salida en nivel bajo.

**Tabla 5.3.** Tabla de funcionamiento de un decodificador de dos a cuatro líneas con entrada de inhibición

| Entradas | | | Salidas | | | |
|---|---|---|---|---|---|---|
| $I$ | $A_1$ | $A_0$ | $S_0$ | $S_1$ | $S_2$ | $S_3$ |
| 1 | × | × | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 |

Los decodificadores se clasifican en dos bloques:

### ■ Decodificadores no excitadores

Son aquellos cuyas salidas sólo pueden acoplarse a otros circuitos digitales de la misma familia integrada, ya que dan una corriente muy pequeña en dichas salidas.

### ■ Decodificadores excitadores

Se denomina así a un tipo de decodificadores cuyas salidas dan suficiente corriente como para atacar, no sólo a otros circuitos integrados de la misma familia, sino también a otros tipos de dispositivos, tales como lámparas, *displays*, relés, transductores, etc.

Los más comunes de este tipo de decodificadores son los que excitan visualizadores de siete segmentos. Estos visualizadores están constituidos por siete diodos LED's distribuidos geométricamente, tal y como puede verse en la Figura 5.1.

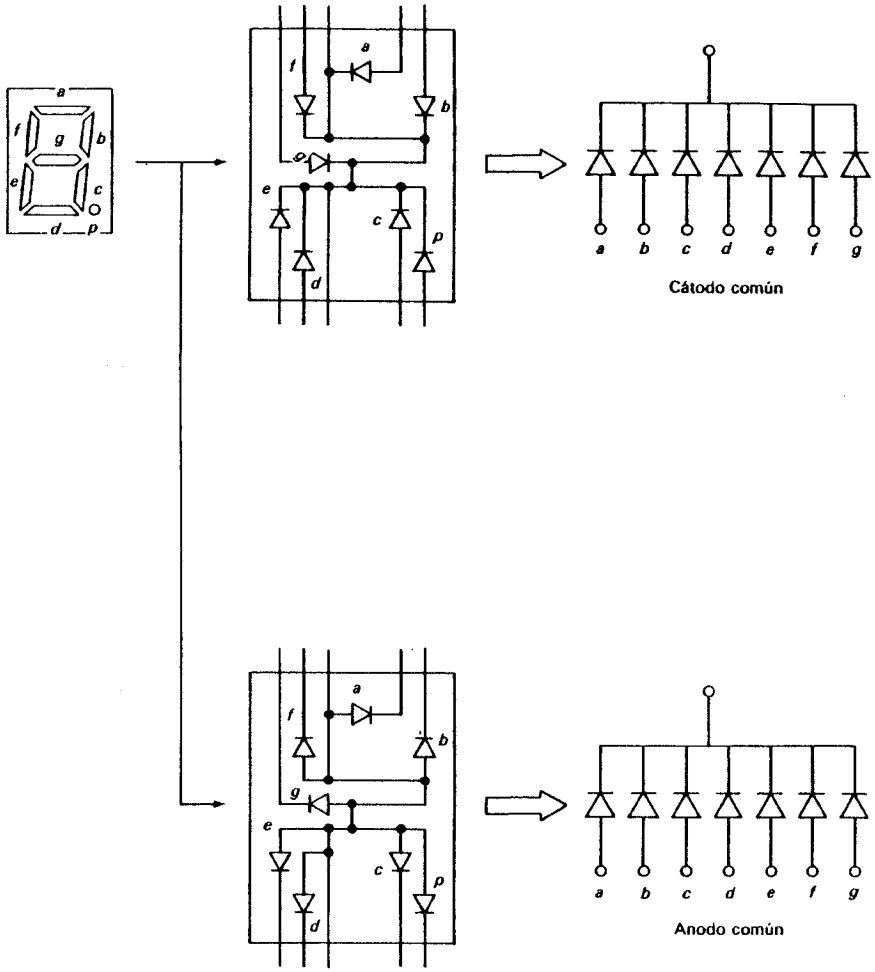



**Figura 5.1.** Visualizador de siete segmentos.

Los diodos LED's pueden montarse en el visualizador de dos formas: en ánodo común o en cátodo común, tal y como nos muestra la Figura 5.1. La existencia de estos dos tipos de visualizadores LED's da lugar a dos tipos de decodificadores excitadores para visualizadores de siete segmentos; las características de ambos aparecen en la Tabla 5.4.



**Tabla 5.4.** Tipos de decodificadores para visualizadores LED's

| | Nivel lógico de salida activo | Esquema de explicación |
|---|---|---|
| **Decodificador excitador para ánodo común** | 0 Bajo (L) | $+V_{cc}$ Común 1 0 1 Decodificador — No conduce, Conduce, No conduce |
| **Decodificador excitador para cátodo común** | 1 Alto (H) | Común 1 0 1 Decodificador — Conduce, No conduce, Conduce |

## 5.6. IMPLEMENTACION DE FUNCIONES LOGICAS CON DECODIFICADORES

Una de las aplicaciones de los decodificadores es la posibilidad de implementar la ecuación booleana de funcionamiento correspondiente a una función lógica. Supongamos, por ejemplo, que la Tabla 5.5 es la tabla de verdad de una función lógica.

**Tabla 5.5.** Tabla de verdad de una función lógica a implementar con decodificador

| Decimal | *c b a* | *F* |
|---|---|---|
| 0 | 0 0 0 | 0 |
| 1 | 0 0 1 | 1 |
| 2 | 0 1 0 | 0 |
| 3 | 0 1 1 | 1 |
| 4 | 1 0 0 | 1 |
| 5 | 1 0 1 | 0 |
| 6 | 1 1 0 | 0 |
| 7 | 1 1 1 | 1 |

La función lógica que representa esta tabla es

$$F = \bar{c} \cdot \bar{b} \cdot a + \bar{c} \cdot b \cdot a + c \cdot \bar{b} \cdot \bar{a} + c \cdot b \cdot a$$

Para implementar dicha función, utilizando un decodificador, seguiremos el siguiente proceso:

*a*) *Emplearemos un decodificador del mismo o mayor número de líneas de entrada que variables tenga la función.* En nuestro caso emplearemos un decodificador de cuatro a diez líneas con las salidas activas en el nivel bajo, conectando a masa la entrada de mayor peso.

*b*) *Buscaremos seguidamente cada una de las salidas del decodificador que se correspondan con combinaciones de las variables de entrada que hacen 1 la salida de la tabla de verdad de la función.* En nuestro ejemplo, las combinaciones:

$$001 = S_1 \quad , \quad 011 = S_3 \quad , \quad 100 = S_4 \quad , \quad 111 = S_7$$

*c*) Para conseguir la suma de términos de la función *conectaremos todas las salidas del decodificador anteriormente seleccionadas a una puerta lógica cuyo tipo dependerá del decodificador empleado.* Esta puerta será:

- **Puerta OR para decodificadores con salidas activas en nivel alto**, ya que la función deberá ser activa siempre que se haga 1 uno o varios de los términos que constituyen la función.
- **Puerta NAND para decodificadores con salidas activas en nivel bajo**, ya que, al encontrarse negado cada término activo de la función por el decodificador, la salida se deberá activar sólo cuando uno o varios términos valgan 0.

En nuestro ejemplo, por partir de un decodificador activo en el nivel bajo, emplearemos una puerta NAND. La Figura 5.2 nos muestra el circuito final de la implementación.

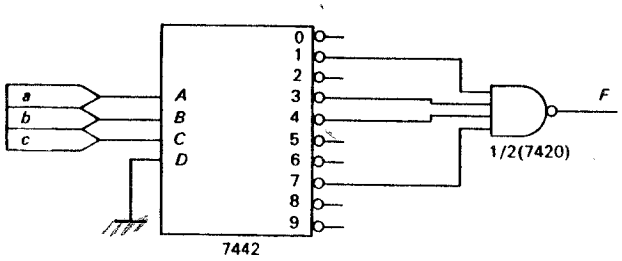



**Figura 5.2.** Implementación de un circuito con decodificador activo a nivel bajo y puerta NAND.

Como puede apreciarse, si a la entrada aparece un valor que activa la función, por ejemplo el 3 en decimal (011), en la salida 3 del decodificador se obtendrá un 0 (por ser un decodificador con salidas activas a nivel bajo). Sin embargo, cuando se introduce un 0 a la entrada de una puerta NAND, aparecerá a su salida un 1, activando, por tanto, la salida del circuito.



Si, por el contrario, en la entrada aparece una combinación de las que hacen 0 la función, por ejemplo el 5 (101), en la salida 5 del decodificador aparecerá un 0, pero todas las entradas de la puerta NAND estarán a 1, por lo que en la salida del circuito habrá un 0.

*d*) *En el caso de que una o varias de las combinaciones de la tabla de verdad que hacen 1 la salida de la función no tuviera correspondencia con las salidas del decodificador, se añadirían puertas que representarán las combinaciones correspondientes.* Las salidas de estas puertas serían llevadas, junto a la del circuito implementado, a una puerta sumadora final.

Otra forma de implementar un circuito con decodificadores es empleando el mismo decodificador y una puerta AND; la diferencia, en este caso, es que se deben tomar las salidas del decodificador que hacen 0 la función. Para el ejemplo puesto anteriormente, el circuito será el de la Figura 5.3.

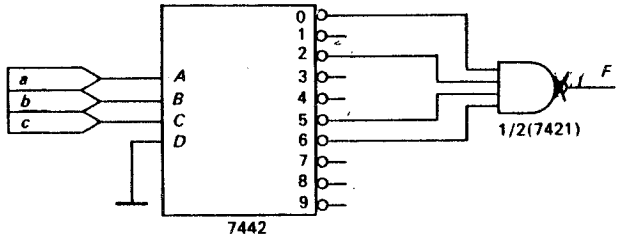



**Figura 5.3.** Implementación de un circuito con un decodificador activo a nivel bajo y puerta AND.

## 5.7. CONVERTIDORES DE CODIGO

Como ya se analizó en el Capítulo 4, existen diversos tipos de códigos binarios cuya aplicación depende de las necesidades del sistema digital con el que se trabaja. No obstante, muchas veces nos encontramos con la necesidad de hacer un cambio del código con el que trabajamos; para ello se emplean circuitos que reciben el nombre genérico de **convertidores de código**.

Existen infinidad de convertidores de códigos diferentes, dependiendo su número de entradas y salidas de los códigos con los que se trabaja.

## 5.8. MULTIPLEXORES

Son circuitos combinacionales que poseen las siguientes entradas y salidas:

- $N$ entradas de información o canales.
- $n$ entradas de selección o control.
- Una salida de información.
- Una entrada de autorización.

Los canales de entrada están relacionados con las entradas de selección por la siguiente ecuación:

$$\text{Número de canales} = 2^{\text{Número de entradas de selección}}$$

En los esquemas representativos de estos circuitos se suele denominar a dichas entradas y salidas con los símbolos que se exponen a continuación:

- $D_0$ o $I_0$ a $D_n$ o $I_n$ a las entradas de información.
- $S_0$ a $S_n$ a las entradas de direccionamiento.
- $E$ a la entrada de autorización o *strobe*.
- $W$ o $Z$ a la salida del circuito.

El principio de funcionamiento del multiplexor es el siguiente: cuando una combinación binaria aparece en las entradas de selección, la información de entrada presente en el canal por ella definido aparece en la salida.

Por tanto, se puede considerar a un multiplexor como un conmutador de múltiples entradas y cuya única salida se controla electrónicamente mediante las entradas de selección.

La estructura interna de estos circuitos puede llegar a ser relativamente compleja, y como, por otra parte, nosotros los vamos a encontrar en el mercado bajo la forma de *chips* integrados, no realizaremos su estudio interno.

## 5.9. REALIZACION DE FUNCIONES LOGICAS CON MULTIPLEXORES

La circuitería interna que posee un multiplexor permite la implementación de funciones lógicas mediante su adecuado conexionado externo. Existen dos métodos de emplear multiplexores cuando se trata de implementar funciones lógicas:

### ■ Empleo de multiplexores de igual número de entradas de selección que de variables a implementar

Supongamos, por ejemplo, que queremos implementar la siguiente función:

$$F = \bar{a}\cdot\bar{b}\cdot\bar{c}\cdot d + \bar{a}\cdot\bar{b}\cdot c\cdot d + \bar{a}\cdot b\cdot c\cdot\bar{d} + \bar{a}\cdot b\cdot c\cdot d + \bar{a}\cdot b\cdot\bar{c}\cdot d + \\ + \bar{a}\cdot b\cdot\bar{c}\cdot\bar{d} + a\cdot b\cdot c\cdot\bar{d} + a\cdot b\cdot\bar{c}\cdot\bar{d} + a\cdot\bar{b}\cdot\bar{c}\cdot d$$

La función posee cuatro variables de entrada, $a$, $b$, $c$ y $d$, que, combinadas, dan lugar a 16 posibilidades. Si empleamos un multiplexor de cuatro entradas de selección, éste dispondrá de 16 canales de entrada; es decir, uno para cada posible combinación de las variables de la función.

Como la función está expresada bajo la forma de minterms, significa que cada término que la compone corresponde a aquellas combinaciones de las variables de entrada que hacen 1 dicha función, es decir:

0001 ..... $\bar{a}\bar{b}\bar{c}d$ 0100 ..... $\bar{a}b\bar{c}\bar{d}$
0011 ..... $\bar{a}\bar{b}cd$ 1110 ..... $abc\bar{d}$



0110 ..... $\bar{a}bc\bar{d}$ 1100 ..... $ab\bar{c}\bar{d}$
0111 ..... $\bar{a}bcd$ 1001 ..... $a\bar{b}\bar{c}d$
0101 ..... $\bar{a}b\bar{c}d$

*Si aplicamos las variables de la función a las entradas de selección y conectamos a 1 los canales de entrada que se corresponden con las combinaciones que intervienen en la función, poniendo a 0 el resto de los canales, tendremos la función implementada.*

El circuito final aparece en la Figura 5.4.

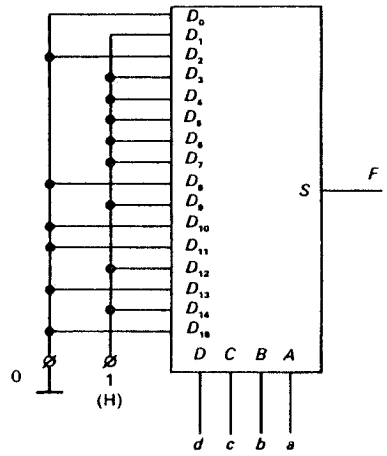



**Figura 5.4.** Implementación de una función lógica con un multiplexor del mismo número de entradas de selección que de variables de la función.

### ■ Empleo de multiplexores con un número de entradas de selección inferior en una unidad al de variables de la función a implementar

*Es posible implementar funciones lógicas de n variables con multiplexores de n − 1 entradas de selección, lo que producirá el consiguiente ahorro económico.*

**Tabla 5.6.** Representación de la función a implementar

| a \ b c d | 000 | 001 | 010 | 011 | 100 | 101 | 110 | 111 |
|---|---|---|---|---|---|---|---|---|
| 0 | | 1 | | 1 | 1 | 1 | 1 | 1 |
| 1 | | 1 | | | 1 | | 1 | |
| | $D_0$ | $D_1$ | $D_2$ | $D_3$ | $D_4$ | $D_5$ | $D_6$ | $D_7$ |

Si queremos implementar la función del ejemplo anterior utilizando un multiplexor de tres entradas de selección, *comenzaremos por realizar una tabla como la Tabla 5.6, en la cual se representan con un 1 las combinaciones de las variables de entrada que intervienen en la función.*

En dicha tabla se agrupan por columnas todas las posibles combinaciones de tres de las variables de entrada, dejando en las filas las posibilidades de la variable que resta.

De la Tabla 5.6 se deduce que *la función se hace activa en los siguientes casos:*

- Independientemente del valor de la variable *a*, si se produce alguna de las siguientes combinaciones de las variables *b*, *c* y *d*:

001 ..... $\bar{b}\bar{c}d$ 100 ..... $b\bar{c}\bar{d}$ 110 ..... $bc\bar{d}$

- Si valiendo 0 la variable *a* se produce alguna de las siguientes combinaciones de las variables *b*, *c* y *d*:

011 ..... $\bar{b}cd$ 101 ..... $b\bar{c}d$ 111 ..... $bcd$

De la Tabla 5.6 se deduce también que *la función no se activa en los siguientes casos:*

- Independientemente del valor de *a*, cuando las variables *b*, *c* y *d* valen:

000 ..... $\bar{b}\bar{c}\bar{d}$ 010 ..... $\bar{b}c\bar{d}$

- Si valiendo 1 la variable *a* se produce alguna de las siguientes combinaciones de *b*, *c* y *d*:

011 ..... $\bar{b}cd$ 101 ..... $b\bar{c}d$ 111 ..... $bcd$

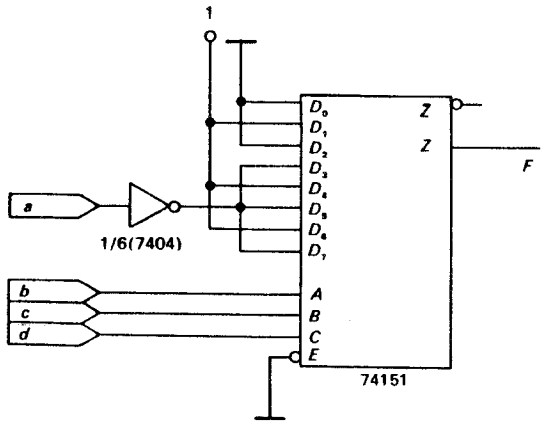



**Figura 5.5.** Implementación de la función de la Tabla 5.6.



Por tanto, la implementación del circuito se consigue aplicando las variables *b*, *c* y *d* a las tres entradas de selección del multiplexor y conectando las entradas de los canales de la siguiente forma:

- Canales 0 y 2 a 0.
- Canales 1, 4 y 6 a 1.
- Canales 3, 5 y 7 a través de un inversor a la variable *a*, ya que su valor es siempre el contrario del de dicha variable.

En la Figura 5.5 se puede apreciar el conexionado descrito.

## 5.10. COMPARADORES BINARIOS

Los circuitos comparadores son circuitos combinacionales que indican la relación de igualdad o desigualdad existente entre dos números binarios *A* y *B* de *n* bits cada uno. Además, suelen

**Tabla 5.7.** Funcionamiento del comparador binario tipo 7485

| Entradas de comparación | | | | Entradas de cascada | | | Salidas | | |
|---|---|---|---|---|---|---|---|---|---|
| $A_3\ B_3$ | $A_2\ B_2$ | $A_1\ B_1$ | $A_0\ B_0$ | $A>B$ | $A<B$ | $A=B$ | $A>B$ | $A<B$ | $A=B$ |
| $A_3 > B_3$ | × | × | × | × | × | × | 1 | 0 | 0 |
| $A_3 < B_3$ | × | × | × | × | × | × | 0 | 1 | 0 |
| $A_3 = B_3$ | $A_2 > B_2$ | × | × | × | × | × | 1 | 0 | 0 |
| $A_3 = B_3$ | $A_2 < B_2$ | × | × | × | × | × | 0 | 1 | 0 |
| $A_3 = B_3$ | $A_2 = B_2$ | $A_1 > B_1$ | × | × | × | × | 1 | 0 | 0 |
| $A_3 = B_3$ | $A_2 = B_2$ | $A_1 < B_1$ | × | × | × | × | 0 | 1 | 0 |
| $A_3 = B_3$ | $A_2 = B_2$ | $A_1 = B_1$ | $A_0 > B_0$ | × | × | × | 1 | 0 | 0 |
| $A_3 = B_3$ | $A_2 = B_2$ | $A_1 = B_1$ | $A_0 < B_0$ | × | × | × | 0 | 1 | 0 |
| $A_3 = B_3$ | $A_2 = B_2$ | $A_1 = B_1$ | $A_0 = B_0$ | 1 | 0 | 0 | 1 | 0 | 0 |
| $A_3 = B_3$ | $A_2 = B_2$ | $A_1 = B_1$ | $A_0 = B_0$ | 0 | 1 | 0 | 0 | 1 | 0 |
| $A_3 = B_3$ | $A_2 = B_2$ | $A_1 = B_1$ | $A_0 = B_0$ | 0 | 0 | 1 | 0 | 0 | 1 |
| $A_3 = B_3$ | $A_2 = B_2$ | $A_1 = B_1$ | $A_0 = B_0$ | × | × | 1 | 0 | 0 | 1 |
| $A_3 = B_3$ | $A_2 = B_2$ | $A_1 = B_1$ | $A_0 = B_0$ | 1 | 1 | 0 | 0 | 0 | 0 |
| $A_3 = B_3$ | $A_2 = B_2$ | $A_1 = B_1$ | $A_0 = B_0$ | 0 | 0 | 0 | 1 | 1 | 0 |

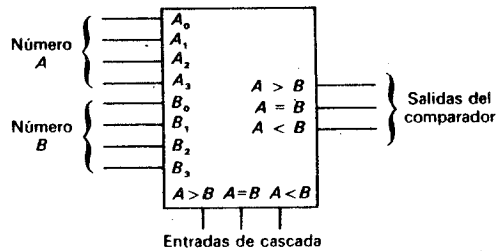



**Figura 5.6.** Esquema de un comparador de cuatro bits.

disponer de una serie de entradas de acoplamiento en cascada para poder comparar palabras con mayor número de bits que los permitidos por el comparador que usamos.

En la Figura 5.6 se muestra el diagrama esquemático de un comparador del tipo 7485, siendo su tabla de funcionamiento la que aparece en la Tabla 5.7.

## 5.11. CIRCUITO SEMISUMADOR

El semisumador es un circuito digital que efectúa la suma binaria de los dos dígitos de entrada, proporcionando en su salida el resultado de la suma y el posible acarreo (*carry*) producido.

Su representación esquemática aparece en la Figura 5.7, donde sus terminales representan:

- *S*: resultado de la suma binaria de los dos dígitos.
- *C*: acarreo de salida.
- *a* y *b*: dígitos a sumar.

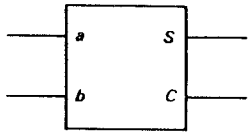



**Figura 5.7.** Representación esquemática de un semisumador.

La tabla de verdad que representa su funcionamiento, corresponde a la Tabla 5.8.

**Tabla 5.8.** Tabla de verdad de un circuito semisumador

| Entradas | | Salidas | |
|---|---|---|---|
| *a* | *b* | *S* | *C* |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

De la Tabla 5.8 se pueden deducir las ecuaciones lógicas de salida del circuito, éstas son:

$$S = \bar{a} \cdot b + a \cdot \bar{b} = a \oplus b$$

$$C = a \cdot b$$

El circuito que cumple estas ecuaciones aparece en la Figura 5.8.



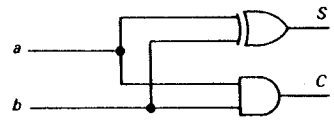



**Figura 5.8.** Circuito semisumador.

## 5.12. CIRCUITO SUMADOR TOTAL

El circuito sumador es un circuito aritmético que efectúa la suma binaria de los dos dígitos de entrada con el acarreo de entrada procedente de la etapa anterior. Posee, por tanto, las mismas salidas *S* y *C* que el semisumador, pero tiene una entrada más. La Tabla 5.9 muestra su tabla de verdad.

**Tabla 5.9.** Tabla de verdad de un circuito sumador total

| Entradas | | | Salidas | |
|---|---|---|---|---|
| $C_a$ | *a* | *b* | *S* | $C_s$ |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

Las ecuaciones de este circuito sumador son las siguientes:

$$S = \bar{a} \cdot b \cdot \bar{C}_a + a \cdot \bar{b} \cdot \bar{C}_a + \bar{a} \cdot \bar{b} \cdot C_a + a \cdot b \cdot C_a = a \oplus b \oplus C_a$$

$$C = a \cdot b \cdot \bar{C}_a + \bar{a} \cdot b \cdot C_a + a \cdot \bar{b} \cdot C_a + a \cdot b \cdot C_a = a \cdot b + C_a \cdot (\bar{a} \cdot b + a \cdot \bar{b})$$

$$= a \cdot b + C_a \cdot (a \oplus b)$$

El circuito sumador y su representación esquemática aparecen en la Figura 5.9.

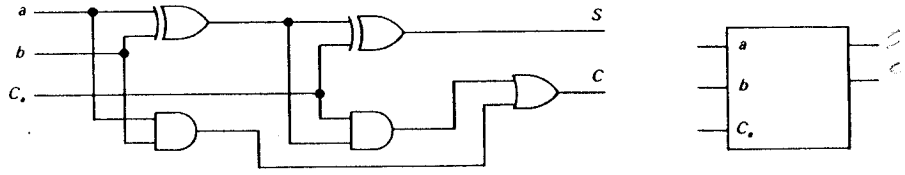



**Figura 5.9.** Circuito sumador total.

Existen circuitos comerciales que realizan la suma binaria de un bit (7480), de dos bits (7482), y de cuatro bits (7483).

## 5.13. CIRCUITOS RESTADORES

La estructura de estos circuitos es muy similar a la de los sumadores, con las únicas diferencias de realizar la resta binaria entre los dígitos de entrada y que el acarreo, tanto de salida como de entrada, recibe el nombre de *préstamo*.

En la Figura 5.10 y en la Tabla 5.10 aparecen las características de un restador total.

**Tabla 5.10.** Tabla de verdad de un circuito restador total

| Entradas | | | Salidas | |
|---|---|---|---|---|
| $P_e$ | $a$ | $b$ | $D$ | $P$ |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

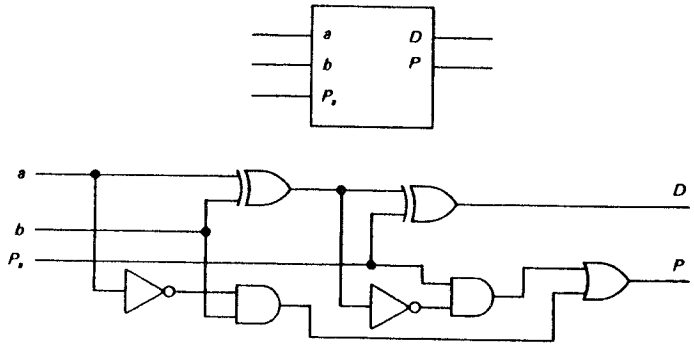



**Figura 5.10.** Representación esquemática y estructura de un restador total.

En la práctica, los circuitos restadores suelen realizarse con sumadores, haciendo la resta por complementación.



# PROBLEMAS RESUELTOS

**5.1.** Realizar con puertas lógicas un codificador de cuatro a dos líneas en binario natural, con prioridad a la entrada de menor peso.

**Solución:** Como sabemos por el Apartado 5.4 de este capítulo, los codificadores de prioridad responden, en el caso de que se active más de una entrada, como si sólo se hubiera activado la de mayor prioridad de ellas; en nuestro problema, será la de peso menos significativo. Por tanto, su tabla de verdad será la que aparece en la Tabla 5.11.

**Tabla 5.11.** Tabla de verdad del Problema 5.1

| Entradas | | | | Salidas | |
|---|---|---|---|---|---|
| $a_3$ | $a_2$ | $a_1$ | $a_0$ | $S_1$ | $S_0$ |
| × | × | × | 1 | 0 | 0 |
| × | × | 1 | 0 | 0 | 1 |
| × | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 |

× = Indiferente

En dicha tabla podemos observar que, si se activa la entrada $a_0$, y siendo indiferente que se activen o no otras entradas, en la salida aparece el equivalente en binario natural del cero; esto es, $S_1 = 0$ y $S_0 = 0$.

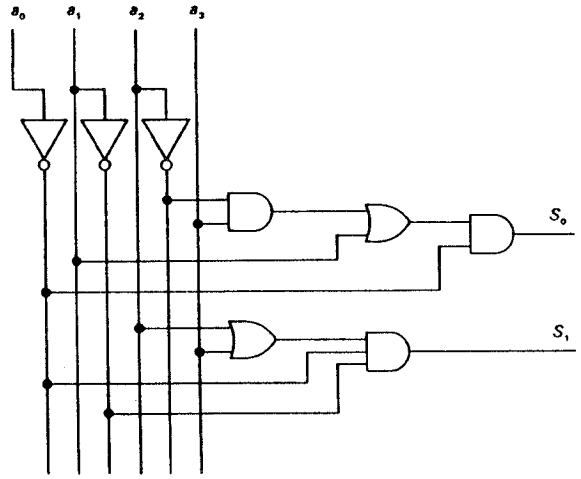



**Figura 5.11.** Codificador del Problema 5.1.

De igual forma, para que en la salida aparezca el valor binario 10, es necesario que se active la entrada $a_2$ y que no se activen las entradas $a_1$ ni $a_0$, ya que, si esto sucediera, cualquiera de ellas tendría prioridad sobre $a_2$. Sin embargo, es indiferente que se active o no $a_3$. De modo similar se deducen todas las demás combinaciones de la Tabla 5.11.

Las ecuaciones de $S_1$ y $S_0$ son las siguientes:

$$S_1 = a_2 \cdot \bar{a}_1 \cdot \bar{a}_0 + a_3 \cdot \bar{a}_2 \cdot \bar{a}_1 \cdot \bar{a}_0 = \bar{a}_1 \cdot \bar{a}_0 \cdot (a_2 + a_3 \cdot \bar{a}_2) = \bar{a}_1 \cdot \bar{a}_0 \cdot (a_2 + a_3)$$

$$S_0 = a_1 \cdot \bar{a}_0 + a_3 \cdot \bar{a}_2 \cdot \bar{a}_1 \cdot \bar{a}_0 = \bar{a}_0 \cdot (a_1 + a_3 \cdot \bar{a}_2 \cdot \bar{a}_1) = \bar{a}_0 \cdot (a_1 + a_3 \cdot \bar{a}_2)$$

De estas ecuaciones se obtiene el circuito que aparece en la Figura 5.11.

**5.2.** Diseñar, empleando puertas lógicas, un codificador de ocho a tres líneas con salida en binario natural y prioridad a la entrada de mayor peso.

**Solución:** Siguiendo el mismo procedimiento del Problema 5.1, pero dando ahora prioridad a la entrada de mayor peso, se obtiene la Tabla de verdad 5.12.

**Tabla 5.12.** Tabla de verdad del Problema 5.2

| Entradas | | | | | | | | Salidas | | |
|---|---|---|---|---|---|---|---|---|---|---|
| $a_7$ | $a_6$ | $a_5$ | $a_4$ | $a_3$ | $a_2$ | $a_1$ | $a_0$ | $S_2$ | $S_1$ | $S_0$ |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | × | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 1 | × | × | 0 | 1 | 0 |
| 0 | 0 | 0 | 0 | 1 | × | × | × | 0 | 1 | 1 |
| 0 | 0 | 0 | 1 | × | × | × | × | 1 | 0 | 0 |
| 0 | 0 | 1 | × | × | × | × | × | 1 | 0 | 1 |
| 0 | 1 | × | × | × | × | × | × | 1 | 1 | 0 |
| 1 | × | × | × | × | × | × | × | 1 | 1 | 1 |

De la Tabla 5.12 se obtienen las siguientes ecuaciones del circuito:

$$S_0 = \bar{a}_7 \cdot \bar{a}_6 \cdot \bar{a}_5 \cdot \bar{a}_4 \cdot \bar{a}_3 \cdot \bar{a}_2 \cdot a_1 + \bar{a}_7 \cdot \bar{a}_6 \cdot \bar{a}_5 \cdot \bar{a}_4 \cdot a_3 + \bar{a}_7 \cdot \bar{a}_6 \cdot a_5 + a_7 =$$
$$= a_7 + \bar{a}_6 \cdot [a_5 + \bar{a}_4 \cdot (a_3 + \bar{a}_2 \cdot a_1)]$$

$$S_1 = \bar{a}_7 \cdot \bar{a}_6 \cdot \bar{a}_5 \cdot \bar{a}_4 \cdot \bar{a}_3 \cdot a_2 + \bar{a}_7 \cdot \bar{a}_6 \cdot \bar{a}_5 \cdot \bar{a}_4 \cdot a_3 + \bar{a}_7 \cdot a_6 + a_7 =$$
$$= a_7 + a_6 + \bar{a}_5 \cdot \bar{a}_4 \cdot (a_3 + a_2)$$

$$S_2 = \bar{a}_7 \cdot \bar{a}_6 \cdot \bar{a}_5 \cdot a_4 + \bar{a}_7 \cdot \bar{a}_6 \cdot a_5 + \bar{a}_7 \cdot a_6 + a_7 = a_7 + a_6 + a_5 + a_4$$

Tales ecuaciones dan lugar al circuito de la Figura 5.12.

**5.3.** Utilizando codificadores comerciales de ocho a tres líneas con salida en binario natural y prioridad a la entrada de mayor peso, tipo 74148, y las puertas lógicas necesarias, implementar un codificador de dieciséis a cuatro líneas, con prioridad a la entrada de mayor peso y con salidas activas a nivel alto.



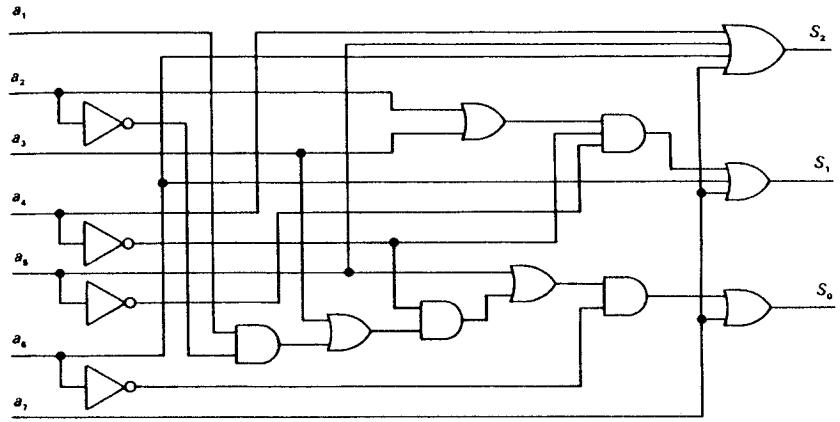



**Figura 5.12.** Circuito resultado del Problema 5.2.

**Solución:** El 74148 es un codificador de ocho a tres líneas con salida en binario natural y prioridad a la entrada de mayor peso. Tanto sus entradas como sus salidas son activas en nivel bajo (0) y dispone además de tres líneas especiales:

- $E_1$. Es la entrada de inhibición que pone en nivel alto las salidas $A_0$, $A_1$ y $A_2$, independientemente del valor de las entradas, cuando se le aplica un 1. Desbloquea el codificador cuando se presenta un 0 en esta entrada.
- $E_0$. Esta salida nos indica, con un nivel bajo, el momento en que no están activadas ninguna de las entradas del codificador (es decir, todas las entradas están en nivel alto), permaneciendo a 1 en el resto de los casos.
- $GS$. Esta salida se activa con un nivel bajo cuando se ha activado alguna de las entradas.

Teniendo en cuenta el funcionamiento del codificador 74148 anteriormente descrito, podemos obtener un codificador a 16 entradas y cuatro salidas sin más que acoplar dos pastillas 74148, de forma que, a una de ellas, se conecten las ocho entradas de menor peso y a la otra las restantes, tal y como aparece en la Figura 5.13.

En dicha figura vemos cómo la salida $A'_0$ del codificador final se obtiene de una puerta NAND a la que entran las dos salidas $A_0$ de ambos codificadores. La razón de emplear una puerta NAND está en que las salidas de los codificadores son activas a nivel bajo y, por otra parte, nosotros queremos que el codificador final tenga sus salidas activas en nivel alto. De forma similar se obtienen las salidas $A'_1$ y $A'_2$.

Para conseguir que las puertas NAND anteriormente mencionadas funcionen adecuadamente es preciso que las salidas de los dos codificadores no se activen simultáneamente si llegaran a activarse entradas de ambos codificadores. Este problema se resuelve empleando las entradas de inhibición $E_I$, las cuales nos servirán además para conseguir que el codificador que soporta las entradas de mayor peso tenga prioridad sobre el que soporta las de menor peso.

Conectaremos la entrada de inhibición del conjunto $E'_I$ a la entrada $E_I$ del codificador $C_2$ (que soporta las entradas de mayor peso) y la salida $E_0$ de éste a la entrada $E_I$ del codificador $C_1$. De esta manera, si se activa una entrada de ambos codificadores, siempre tendrá prioridad el codificador que soporta el mayor peso y, por tanto, su salida $E_0$ adoptará un nivel alto que inhibirá al codificador $C_1$.

Por último, para obtener la cuarta salida del codificador final $A'_3$, basta con llevar una puerta multiplicadora a la salida $E_0$ del codificador de mayor prioridad $C_2$ (ya que ésta valdrá 1 siempre que a las entradas del codificador les llegue información) a la entrada $E'_I$ del codificador total.

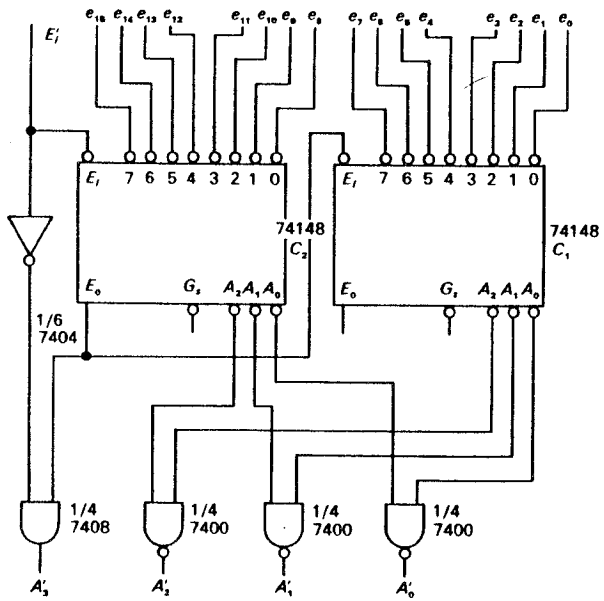



**Figura 5.13.** Codificador con prioridad de cuatro a dieciséis líneas.

**5.4.** Realizar el diseño de un decodificador de dos a cuatro líneas con entrada en binario natural y salidas activas en nivel alto empleando sólo puertas lógicas.

**Solución:** Cuando en un decodificador aparece en su entrada una cierta combinación, se activa la salida equivalente a su valor binario; teniendo en cuenta lo dicho, se realiza la Tabla de verdad 5.13.

**Tabla 5.13.** Tabla de funcionamiento de un decodificador de dos a cuatro líneas

| Entradas | | Salidas | | | |
|---|---|---|---|---|---|
| $a_1$ | $a_0$ | $S_0$ | $S_1$ | $S_2$ | $S_3$ |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 |



De esta tabla se obtienen las siguientes ecuaciones:

$$S_0 = \bar{a}_0 \cdot \bar{a}_1 \;\; ; \;\; S_1 = a_0 \cdot \bar{a}_1 \;\; ; \;\; S_2 = \bar{a}_0 \cdot a_1 \;\; ; \;\; S_3 = a_0 \cdot a_1$$

El circuito final aparece en la Figura 5.14.

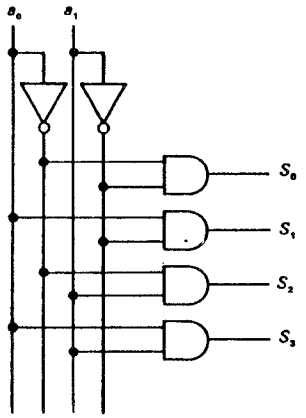


**Figura 5.14.** Decodificador de dos a cuatro líneas.

**5.5.** Implementar la siguiente función lógica empleando el decodificador comercial (de binario BCD a decimal) 7442:

$$F = \bar{x} \cdot \bar{y} + \bar{x} \cdot v + \bar{y} \cdot \bar{z} \cdot v$$

**Solución:** Seguiremos, para resolver este problema, el procedimiento indicado en el Apartado 5.6 de la introducción teórica de este capítulo.

En primer lugar observamos que la función a implementar no es un minterms completo porque existen cuatro variables en la función y ningún sumando posee las cuatro. Por ello, comenzaremos por obtener la función completa con los procedimientos expresados en el Capítulo 2; es decir, representando la ecuación en un mapa de Karnaugh y, seguidamente, obteniendo de él la ecuación minterms íntegra. En la Figura 5.15 aparece la función representada en el mapa.

| x y / z v | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 1 | | | |
| 01 | 1 | 1 | | 1 |
| 11 | 1 | 1 | | |
| 10 | 1 | | | |

**Figura 5.15.** Mapa de Karnaugh del Problema 5.5.

Partiendo del mapa de Karnaugh, se obtiene la siguiente ecuación:

$$F = \bar{x} \cdot \bar{y} \cdot \bar{z} \cdot \bar{v} + \bar{x} \cdot \bar{y} \cdot \bar{z} \cdot v + \bar{x} \cdot \bar{y} \cdot z \cdot \bar{v} + \bar{x} \cdot \bar{y} \cdot z \cdot \bar{v} +$$
$$+ \bar{x} \cdot y \cdot \bar{z} \cdot v + \bar{x} \cdot y \cdot z \cdot v + x \cdot \bar{y} \cdot \bar{z} \cdot v$$

A continuación aplicaremos el procedimiento descrito en el Apartado 5.6, y diremos:

- El decodificador a emplear deberá tener cuatro líneas de entrada por poseer cuatro variables la función a implementar. El 7442 posee cuatro entradas en binario BCD y diez salidas.
- Los términos que hacen 1 la función corresponden a los equivalentes decimales: 0, 1, 2, 3, 5, 7 y 9.
- Por último, realizaremos las siguientes conexiones:
  - $x$, que es la variable de mayor peso en la tabla de la función, con $A_3$, que es la entrada de mayor peso en el decodificador 7442.
  - $y$ de la función con $A_2$ del decodificador.
  - $z$ de la función con $A_1$ del decodificador.
  - $v$ de la función con $A_0$ del decodificador.
  - Las salidas 0, 1, 2, 3, 5, 7 y 9 del decodificador a una puerta NAND por tener el decodificador 7442 sus salidas activas en nivel bajo. En realidad emplearemos una puerta NAND de ocho entradas, al no existir integrados comerciales de este tipo con siete entradas, y conectaremos la octava entrada a 1 para que no influya en el resultado. El circuito final aparece en la Figura 5.16.

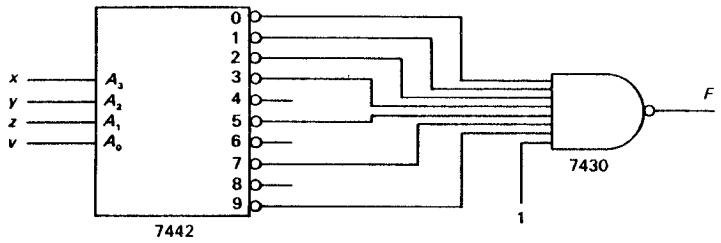



**Figura 5.16.** Resultado del Problema 5.5.

**5.6.** Utilizando un decodificador BCD a decimal del tipo 7442 y puertas NAND de dos entradas, implementar el circuito que corresponde a la siguiente función:

$$F = a \cdot \bar{b} \cdot \bar{c} + \bar{a} \cdot b \cdot \bar{c} + \bar{a} \cdot \bar{b} \cdot c + \bar{a} \cdot \bar{b} \cdot \bar{c}$$

**Solución:** La función a implementar es un minterms completo de tres variables en el cual los valores equivalentes en binario y decimal de cada uno de sus términos son:

$$a \cdot \bar{b} \cdot \bar{c} = 100 = 4 \qquad \bar{a} \cdot b \cdot \bar{c} = 010 = 2$$
$$\bar{a} \cdot \bar{b} \cdot c = 001 = 1 \qquad \bar{a} \cdot \bar{b} \cdot \bar{c} = 000 = 0$$

De lo anteriormente indicado se deduce que debemos emplear las salidas del decodificador 0, 1, 2 y 4.



El decodificador 7442 posee cuatro entradas y nuestra función sólo tiene ocho variables, causa por la que la entrada de mayor peso del decodificador deberá conectarse permanentemente a 0, consiguiéndose de esta forma que todas las combinaciones que puedan entrar estén comprendidas entre 0000 y 0111.

Por último, para realizar la conexión de las salidas del decodificador, al poder emplear sólo puertas NAND de dos entradas y precisar una puerta NAND de cuatro entradas, procederemos del siguiente modo:

- Conectaremos las salidas 0 y 1 del decodificador a una puerta NAND.
- Conectaremos las salidas 2 y 4 del decodificador a una puerta NAND.
- Seguidamente, tendríamos que realizar la suma de las salidas de las dos puertas NAND, pero, como no tenemos sumadores, sustituiremos la sumadora por su equivalente en puertas NAND; es decir, dos NAND montadas como inversoras y una NAND final. La Figura 5.17 nos muestra el circuito final.

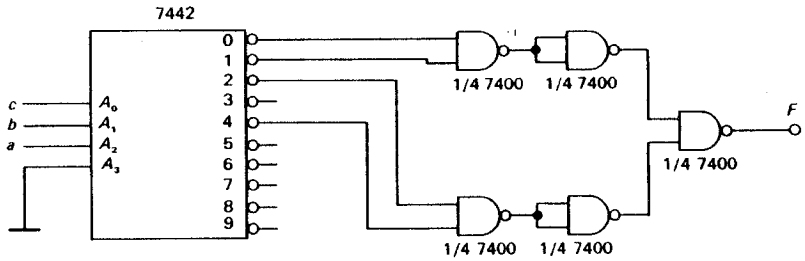



**Figura 5.17.** Circuito con el resultado del Problema 5.6.

**5.7.** Realizar la implementación de la siguiente función lógica empleando el decodificador comercial (de binario BCD a decimal) 7442:

$$F = x \cdot \bar{y} + x \cdot \bar{z} \cdot v + x \cdot y \cdot v + \bar{z} \cdot v + \bar{y} \cdot \bar{v}$$

**Solución:** Al tratarse de un minterms incompleto, procederemos en primer lugar a obtener la función completa empleando la representación en el mapa de Karnaugh de la Figura 5.18.

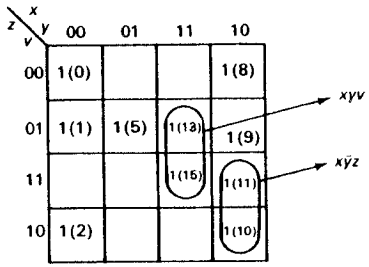



**Figura 5.18.** Mapa de Karnaugh del Problema 5.7.

En este mapa se han indicado, entre paréntesis, los valores decimales equivalentes al término representado en cada casilla. De ello se deduce la existencia de cuatro términos que no pueden ser realizados por el decodificador 7442 con los métodos empleados en problemas anteriores, que son:

$$x \cdot \bar{y} \cdot z \cdot \bar{v} = 1010 = 10$$
$$x \cdot y \cdot \bar{z} \cdot v = 1101 = 13$$
$$x \cdot \bar{y} \cdot z \cdot v = 1011 = 11$$
$$x \cdot y \cdot z \cdot v = 1111 = 15$$

Para representar estos términos intentaremos, en primer lugar, su simplificación en el mapa, siempre que esto sea posible. En nuestro caso, y tal como aparece en el mapa de la Figura 5.18, se pueden realizar dos simplificaciones que dejan reducidos los cuatro términos a la siguiente subfunción:

$$x \cdot y \cdot v + x \cdot \bar{y} \cdot z$$

La salida total se obtendrá sumando esta subfunción con la salida de la puerta NAND que reúne los términos realizados con el decodificador.

La Figura 5.19 representa el circuito final.

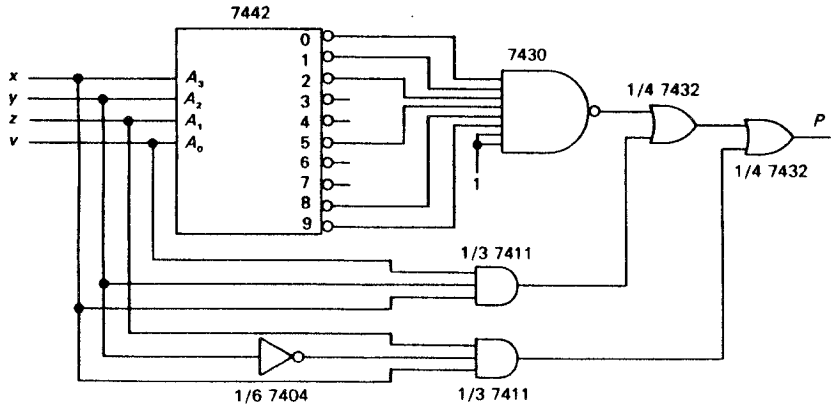



**Figura 5.19.** Circuito con el resultado del Problema 5.7.

**5.8.** Utilizando un decodificador y puertas lógicas, realizar el circuito que es capaz de responder a los cronogramas de las Figuras 5.20 y 5.21.



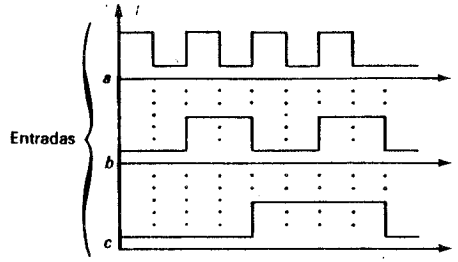



**Figura 5.20.** Cronograma de entradas del Problema 5.8.

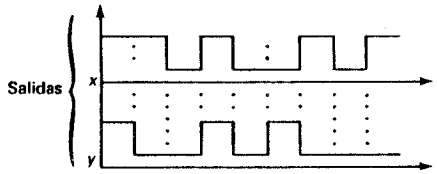



**Figura 5.21.** Cronograma de salidas del Problema 5.8.

**Solución:** Analizando los estados de entrada y salida de los cronogramas de las Figuras 5.20 y 5.21, se puede deducir la Tabla 5.14, que representa la tabla de verdad de la función que cumple dichos cronogramas.

**Tabla 5.14.** Tabla de verdad del Problema 5.8

| *a* | *b* | *c* | *X* | *Y* |
|---|---|---|---|---|
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |

Para implementar la tabla de verdad anterior podemos emplear un decodificador 7442 de BCD a decimal, de forma que, cuando aparezca una determinada combinación binaria en las entradas, se

active la salida decimal equivalente del decodificador. Siguiendo el anterior método, la salida $X$ del circuito deberá estar conectada, a través de una puerta NAND, a las salidas 0, 2, 4 y 7 del decodificador, mientras que la salida $Y$ se deberá conectar, por medio de una NAND, a las salidas 1, 2 y 4 del decodificador.

En la Figura 5.22 aparece el conjunto del circuito.

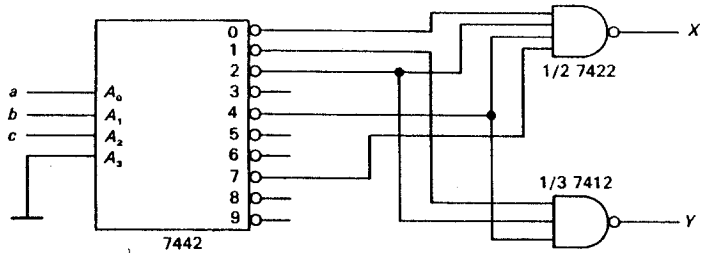



**Figura 5.22.** Circuito con el resultado del Problema 5.8.

De este modo, si por las entradas $a$, $b$ y $c$ del conjunto introducimos la secuencia de ondas que aparece en el cronograma de la Figura 5.20, en las salidas $X$ e $Y$ aparecerán también las secuencias de la Figura 5.21.

**5.9.** Utilizando dos decodificadores de tres a ocho líneas del tipo 74138 y puertas lógicas, implementar un decodificador de cuatro a dieciséis líneas.

**Solución:** El decodificador 74138 posee, para su control, tres líneas de *enable*, o autorización, denominadas $E_1$, $E_2$ y $E_3$, de las cuales, las dos primeras son activas a nivel bajo y la tercera es activa a nivel alto.

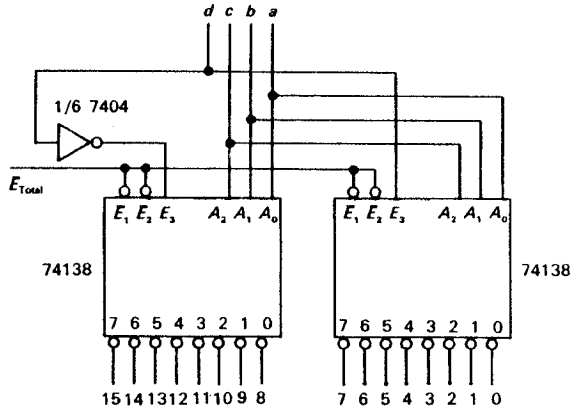



**Figura 5.23.** Decodificador de cuatro a dieciséis líneas.



El decodificador final dispondrá de cuatro entradas denominadas, de mayor a menor peso: $d$, $c$, $b$, $a$. Por otra parte, como los integrados 74138 sólo disponen de tres entradas: $c$, $b$, $a$, para obtener la cuarta entrada emplearemos las entradas de inhibición $E_3$, de forma que, dependiendo que el valor de la entrada $d$ sea 0 o 1, el circuito activará el decodificador que soporta las salidas de menor peso o las de mayor peso, respectivamente.

El circuito final aparece en la Figura 5.23.

**5.10.** Implementar un visualizador numérico de cuatro dígitos, realizado con *displays* de siete segmentos en cátodo común y decodificadores de BCD a siete segmentos del tipo 7448. El visualizador deberá cumplir las siguientes normas:

- Si el número decimal a representar es menor de 1.000, no deberán encenderse los ceros no significativos de la izquierda.
- El cero decimal se representará por un solo 0 en la posición derecha.

**Solución:** El 7448 es un decodificador BCD a siete segmentos de cátodo común, causa por la cual es directamente compatible con el tipo de visualizador a emplear.

Teniendo en cuenta el funcionamiento de este decodificador, reflejado en la Tabla 5.15, el circuito que ha de realizar es el de la Figura 5.24.

**Tabla 5.15.** Tabla de funcionamiento del decodificador 7448

| $\overline{LT}$ | $\overline{RBI}$ | Entradas BCD $a_3$ $a_2$ $a_1$ $a_0$ | $\overline{BI}/\overline{RBO}$ | Funcionamiento |
|---|---|---|---|---|
| 0 | × | × × × × | Terminal utilizado como salida con 1 | Modo *Lamp Test*. Todas las salidas del decodificador a 1 |
| × | × | × × × × | Terminal utilizado como entrada a 0 | Modo *Blanking Input*. Todas las salidas del decodificador a 0 |
| 1 | 1 | Número en BCD | Terminal utilizado como salida con 1 | Modo *normal*. Realiza la decodificación del número BCD de las entradas |
| 1 | 0 | 0 0 0 0 | Terminal utilizado como salida con 0 | Modo *omisión cero*. Decodifica el cero BCD presente en la entrada, pero lo omite poniendo a 0 todas las salidas |

Como puede apreciarse en la Figura 5.24, en el decodificador $C_1$ se han puesto a 1 las entradas $\overline{LT}$, $\overline{RBI}$ y $\overline{BI}/\overline{RBO}$, por lo que decodifica de forma normal cada uno de los números presentes en sus entradas, incluido el 0 (0000 en BCD).

Los decodificadores tienen conectada su patilla $\overline{LT}$ (*Lamp Test*) a 1 para que no se active este modo de funcionamiento del decodificador; asimismo, este terminal está a 1 en $C_3$ y $C_2$. La entrada de $\overline{RBI}$ del $C_2$ (*Ripple Blanking Input*) está conectada a 0, por lo que se decodificarán todas las

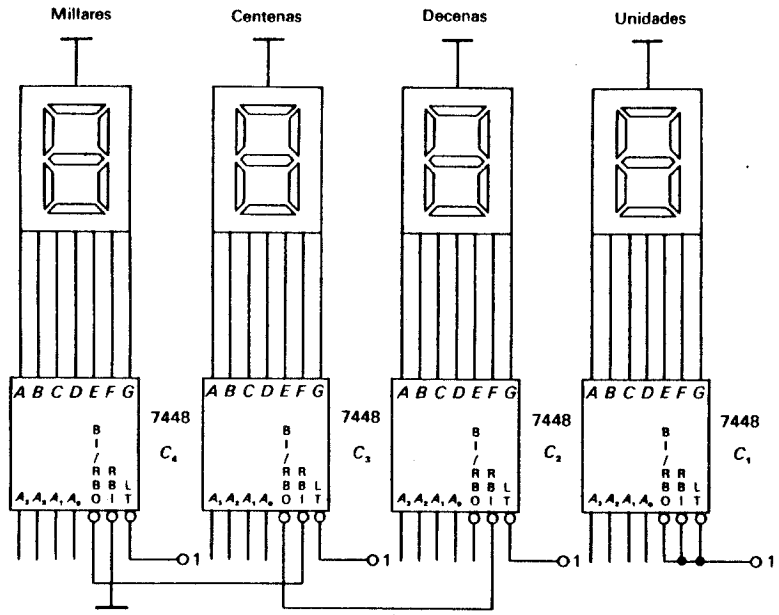



**Figura 5.24.** Visualizador de siete segmentos del Problema 5.10.

**Tabla 5.16.** Tabla de verdad del Problema 5.11

| $d$ | $c$ | $b$ | $a$ | $S_0$ | $S_1$ | $S_2$ | $S_3$ | $S_4$ | $S_5$ | $S_6$ | $S_7$ | $S_8$ | $S_9$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |



entradas, excepto cuando en ellas se introduce 0000; en ese instante, las salidas del decodificador se pondran a 0, apagándose todos los segmentos del *display* y poniendo la salida $\overline{BI}/\overline{RBO}$ (*Blanking Input/Ripple Blanking Output*) a 0.

Por otra parte, como la patilla de $\overline{BI}/\overline{RBO}$ del decodificador $C_4$ está conectada a la entrada $\overline{RBI}$ del $C_3$, que visualiza las centenas, éste actuará de igual forma que el $C_4$. La anterior operación se repite de nuevo entre el decodificador $C_3$ de las centenas y el $C_2$ de las decenas.

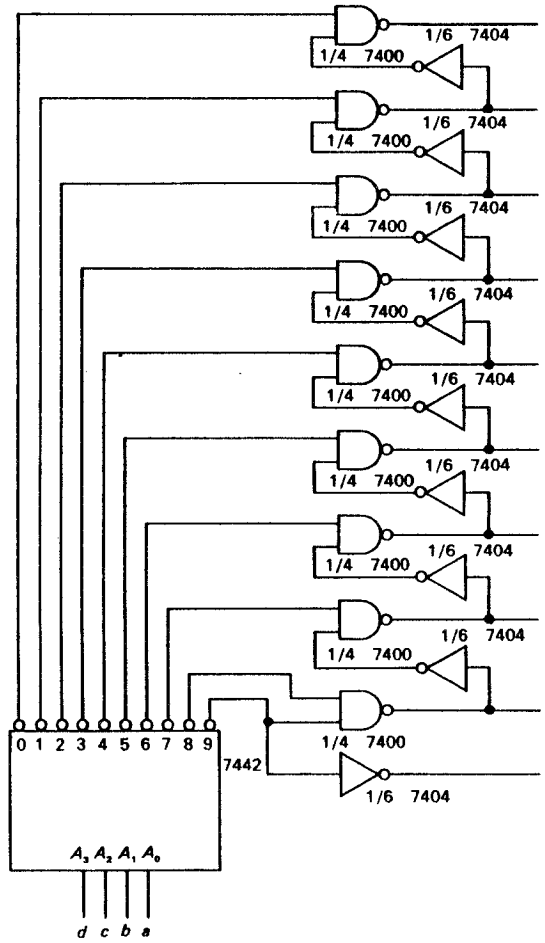



**Figura 5.25.** Circuito con el resultado del Problema 5.11.

**5.11.** Implementar un decodificador BCD a decimal que cumpla la Tabla 5.16, utilizando para ello un decodificador del tipo 7442 y puertas lógicas.

**Solución:** El 7442 es un decodificador de BCD a decimal con las salidas activas en el nivel bajo.

Según la Tabla 5.16, el decodificador a implementar debe activar con nivel alto, tanto la salida cuya decodificación corresponde, como todas las de peso inferior. Por tanto, habrá que diseñar un sistema que detecte que una salida esté a 0 y ponga a 1 dicha salida y las anteriores. Para ello, basta con comenzar colocando un inversor en la salida de mayor peso (que nos convierta los 0 en 1 y viceversa), y poner en el resto de las salidas una puerta NAND que compare cada salida con la inversa de la salida anterior de mayor peso.

Por tanto, el circuito será el de la Figura 5.25.

**5.12.** Realizar un decodificador de binario BCD tipo Aiken a decimal empleando puertas lógicas.

**Solución:** Como ya sabemos por el Capítulo 4, el BCD Aiken es un código binario que emplea las cinco primeras y las cinco últimas combinaciones de cuatro dígitos binarios. Por ello, la tabla de verdad del decodificador a diseñar es la que aparece en la Tabla 5.17.

**Tabla 5.17.** Decodificador Aiken a decimal

| $a$ | $b$ | $c$ | $d$ | $S_0$ | $S_1$ | $S_2$ | $S_3$ | $S_4$ | $S_5$ | $S_6$ | $S_7$ | $S_8$ | $S_9$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | × | × | × | × | × | × | × | × | × | × |
| 0 | 1 | 1 | 0 | × | × | × | × | × | × | × | × | × | × |
| 0 | 1 | 1 | 1 | × | × | × | × | × | × | × | × | × | × |
| 1 | 0 | 0 | 0 | × | × | × | × | × | × | × | × | × | × |
| 1 | 0 | 0 | 1 | × | × | × | × | × | × | × | × | × | × |
| 1 | 0 | 1 | 0 | × | × | × | × | × | × | × | × | × | × |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

Representemos seguidamente en un mapa de Karnaugh todas las casillas indiferentes para obtener a continuación las ecuaciones de cada una de las salidas. Dicho mapa aparece en la Figura 5.26.

| $c$ \ $a$ $b$ / $d$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | | | | × |
| 01 | | × | | × |
| 11 | | × | | |
| 10 | | × | | × |

**Figura 5.26.** Mapa de términos indiferentes del Problema 5.12.



Las ecuaciones simplificadas por Karnaugh de cada una de las salidas son:

$$S_0 = \bar{b}\cdot\bar{c}\cdot\bar{d} \;;\; S_1 = \bar{b}\cdot\bar{c}\cdot d \;;\; S_2 = \bar{a}\cdot c\cdot\bar{d} \;;$$
$$S_3 = \bar{a}\cdot c\cdot d \;;\; S_4 = \bar{a}\cdot b \;;\; S_5 = a\cdot\bar{b} \;;$$
$$S_6 = a\cdot\bar{c}\cdot\bar{d} \;;\; S_7 = a\cdot\bar{c}\cdot d \;;$$
$$S_8 = a\cdot c\cdot\bar{d} \;;\; S_9 = b\cdot c\cdot d$$

El circuito que corresponde aparece en la Figura 5.27.

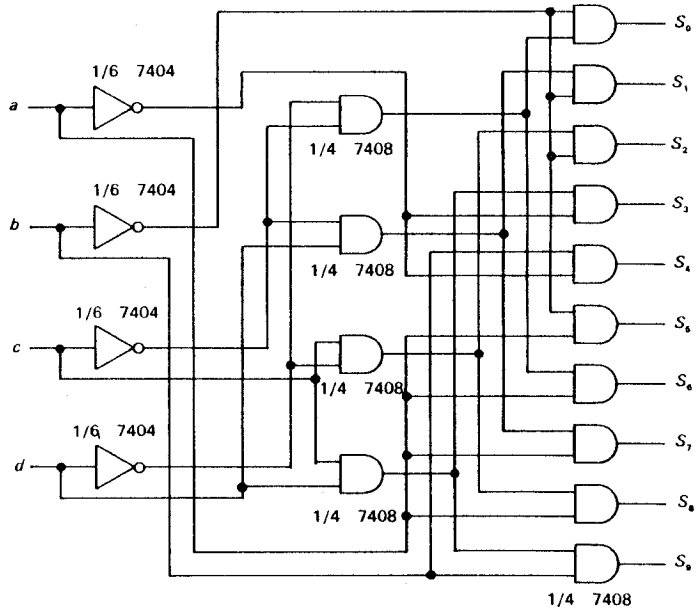



**Figura 5.27.** Decodificador del Problema 5.12.

**5.13.** Realizar un circuito convertidor de código, empleando sólo puertas lógicas, para transformar cantidades expresadas en BCD tipo Aiken a BCD natural.

**Solución:** Partiendo de la tabla de verdad del convertidor que aparece en la Tabla 5.18 deduciremos sus ecuaciones lógicas.

**Tabla 5.18.** Codificador Aiken a BCD

| Entradas Aiken | | | | Salidas BCD | | | | Decimal |
|---|---|---|---|---|---|---|---|---|
| *d* | *c* | *b* | *a* | *D* | *C* | *B* | *A* | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 2 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 3 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 4 |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 5 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 6 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 7 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 8 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 9 |

Las ecuaciones de cada una de las salidas BCD serán:

$$D = \bar{a}\cdot b\cdot c\cdot d + a\cdot b\cdot c\cdot d = b\cdot c\cdot d\cdot(\bar{a}+a) = b\cdot c\cdot d$$

$$C = \bar{a}\cdot\bar{b}\cdot c\cdot\bar{d} + a\cdot b\cdot\bar{c}\cdot d + \bar{a}\cdot\bar{b}\cdot c\cdot d + a\cdot\bar{b}\cdot c\cdot d = \bar{a}\cdot\bar{b}\cdot c + \bar{b}\cdot c\cdot d + a\cdot b\cdot\bar{c}\cdot d$$

$$B = \bar{a}\cdot b\cdot\bar{c}\cdot\bar{d} + a\cdot b\cdot\bar{c}\cdot\bar{d} + \bar{a}\cdot\bar{b}\cdot c\cdot d + a\cdot\bar{b}\cdot c\cdot d = b\cdot\bar{c}\cdot\bar{d} + \bar{b}\cdot c\cdot d$$

$$A = a\cdot\bar{b}\cdot\bar{c}\cdot\bar{d} + a\cdot b\cdot\bar{c}\cdot\bar{d} + a\cdot b\cdot\bar{c}\cdot d + a\cdot\bar{b}\cdot c\cdot d + a\cdot b\cdot c\cdot d = a$$

Finalmente, el circuito es el de la Figura 5.28.

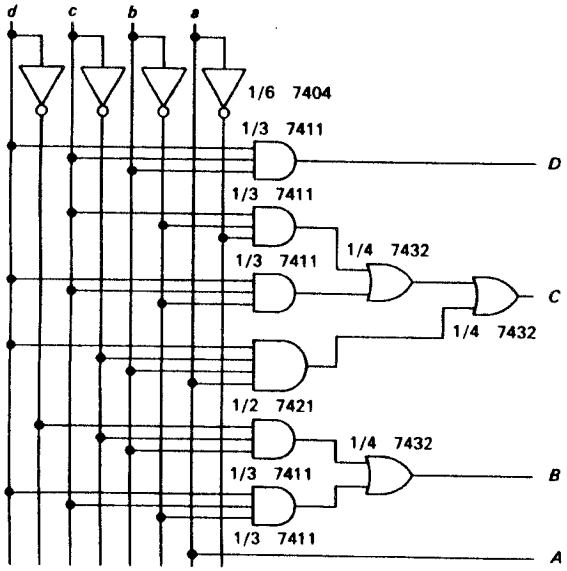



**Figura 5.28.** Codificador Aiken a BCD.



**5.14.** Realizar un circuito convertidor de código que teniendo por entrada un número binario de cuatro bits (valores decimales del 0 al 15), genere en su salida su equivalente en BCD natural, expresado de la siguiente forma:

- Cuatro bits para representar las unidades (de 0 a 9).
- Un bit para representar las decenas (que puede tomar el valor 0 o 1).

**Solución:** La representación en bloque del circuito a realizar es la de la Figura 5.30.

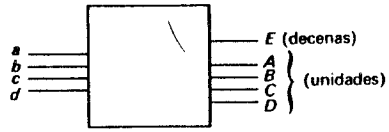



**Figura 5.29.** Convertidor de código de binario natural a BCD.

De la estructura anterior se deduce que la tabla de verdad de este circuito es la que se muestra en la Tabla 5.19.

**Tabla 5.19.** Tabla del convertidor del Problema 5.14

| *d* | *c* | *b* | *a* | *E* | *D* | *C* | *B* | *A* |
|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |

Aplicando seguidamente a cada salida los mapas de Karnaugh para simplificar las ecuaciones, se obtienen los mapas de la Figura 5.30.

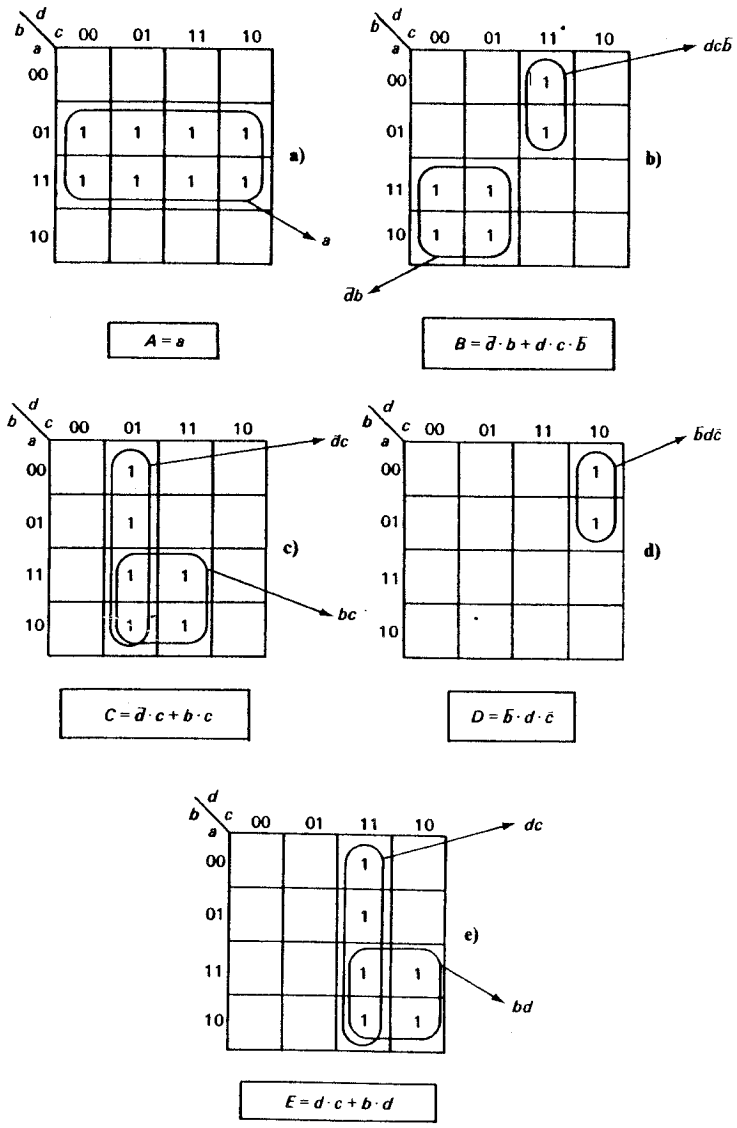



**Figura 5.30.** Mapas de Karnaugh del Problema 5.14.



La implementación del circuito representado por las anteriores ecuaciones puede verse en la Figura 5.31.

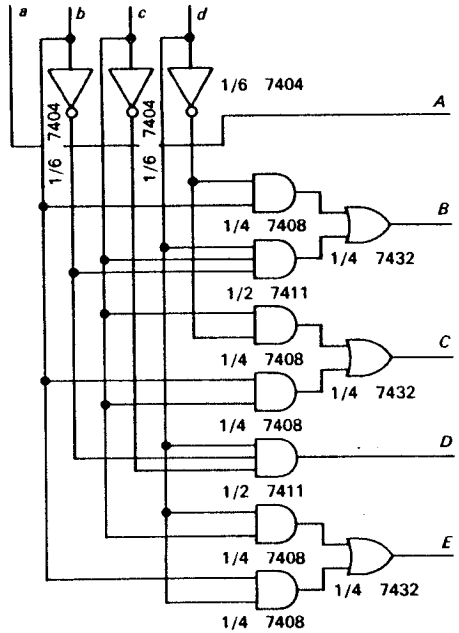



**Figura 5.31.** Convertidor binario natural a BCD.

**5.15.** Diseñar un circuito digital cuyo funcionamiento sea tal que, al introducirle tres dígitos binarios, se obtenga en un *display* de cátodo común a las salidas expresadas en la Tabla 5.20.

**Tabla 5.20.** Tabla de verdad del Problema 5.15

| x | y | z | Salida |
|---|---|---|---|
| 0 | 0 | 0 | |
| 0 | 0 | 1 | |
| 0 | 1 | 0 | |
| 0 | 1 | 1 | |
| 1 | 0 | 0 | |
| 1 | 0 | 1 | |
| 1 | 1 | 0 | |
| 1 | 1 | 1 | |

**Solución:** Un *display* de cátodo común está constituido, como ya se explicó en la Figura 5.1 y en la Tabla 5.4, por siete diodos LED's, cada uno de los cuales forma un segmento cuya denominación aparece en dicha figura. Cuando se pone un 1 en alguno de los ánodos, el segmento correspondiente se ilumina.

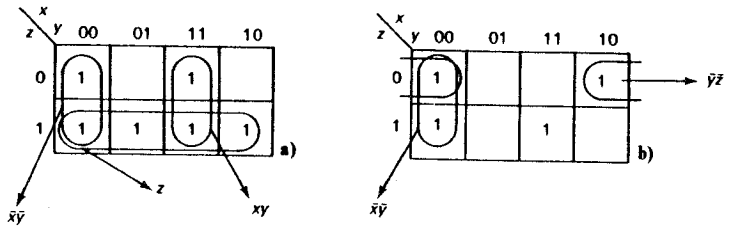
Según lo expuesto en la Tabla 5.21, aparecen los segmentos que tendrán que activarse para cumplir la Tabla 5.20 del circuito:

**Tabla 5.21.** Segmentos del *display* que deben activarse

| x | y | z | a | b | c | d | e | f | g |
|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |

El circuito a diseñar dispondrá, por tanto, de tres entradas y siete salidas, cada una de las cuales activará a cada uno de los siete segmentos. Dichas salidas serán activadas a nivel alto, ya que así lo requiere la estructura de los *displays* en cátodo común.

Para obtener las ecuaciones de cada una de las salidas emplearemos los mapas de Karnaugh que aparecen en la Figura 5.32.



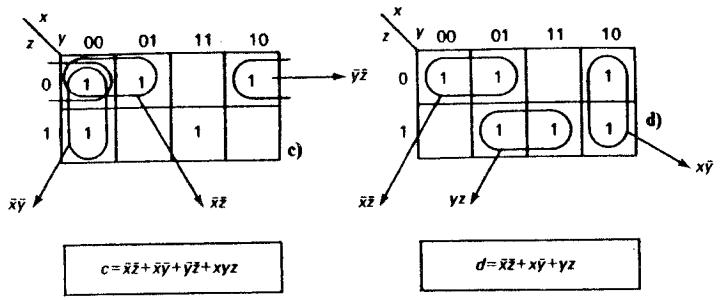

$a = z + \bar{x}\bar{y} + xy$

$a = z + \overline{x \oplus y}$

$b = \bar{x}\bar{y} + \bar{y}\bar{z} + xyz$

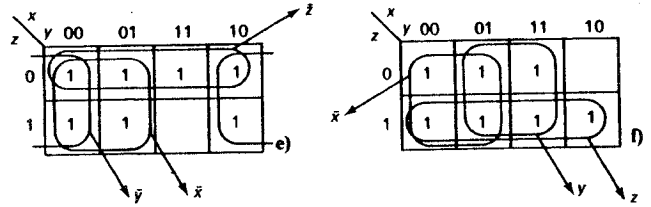
**Figura 5.32.** Mapas de Karnaugh del Problema 5.15.





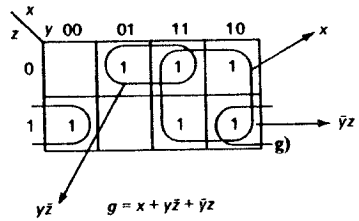

$c = \bar{x}\bar{z} + \bar{x}\bar{y} + \bar{y}\bar{z} + xyz$

$d = \bar{x}\bar{z} + x\bar{y} + yz$




$e = \bar{z} + \bar{x} + \bar{y}$

$f = z + \bar{x} + y$




$g = x + (y \oplus z)$

**Figura 5.32.** Mapas de Karnaugh del Problema 5.15. *(Continuación).*

Por tanto, el circuito que cumple las condiciones del enunciado es el de la Figura 5.33.

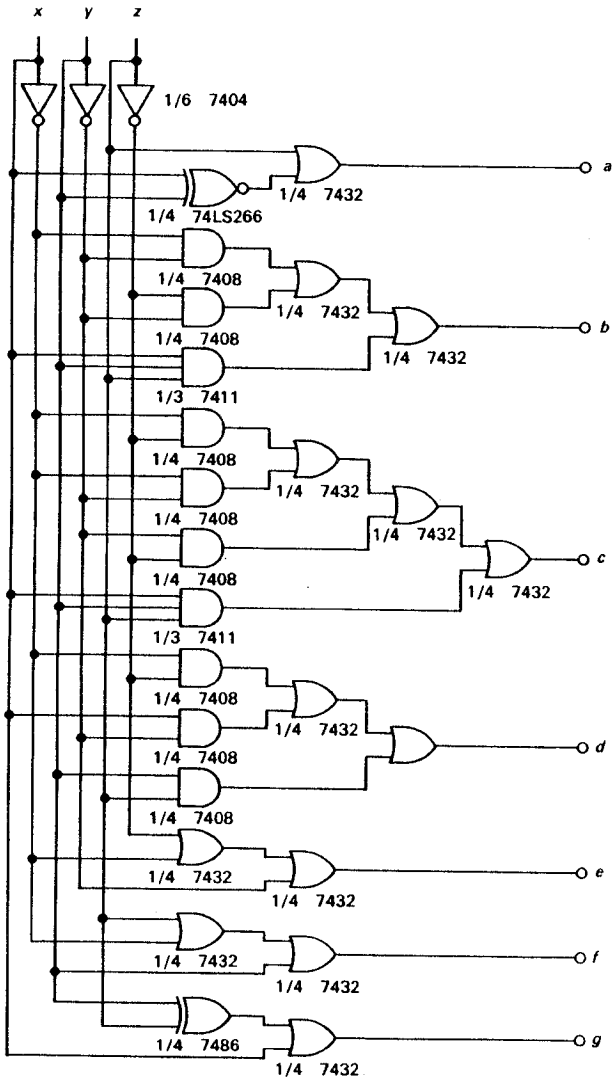



**Figura 5.33.** Circuito resultado del Problema 5.15.



**5.16.** Implementar el Problema 5.15 empleando un decodificador BCD a decimal tipo 7442 y las puertas lógicas necesarias.

**Solución:** También puede diseñarse el circuito del Problema 5.15 utilizando un decodificador del tipo BCD a decimal, como el 7442. Este decodificador dispone de 10 salidas activas a nivel bajo, de las cuales sólo se emplearán ocho, que son las que corresponden a las diferentes combinaciones de los bits $x$, $y$ y $z$ de entrada. A partir de la Tabla 5.21, se puede deducir que:

- La salida $a$ deberá dar un 0 cuando se presenten las combinaciones 010 y 101, estando en el resto de los casos a 1. Por tanto, dicha salida se obtendrá de una puerta AND a la que conectaremos las salidas 2 y 4 del decodificador.
- La salida $b$ deberá dar un 0 cuando aparezca 010, 011, 101 o 110. Se obtiene, en consecuencia, de una puerta AND que tenga conectadas las salidas 2, 3, 5 y 6 del decodificador.
- La salida $c$ se obtiene por el mismo razonamiento de una puerta AND conectada a las salidas 3, 5 y 6 del decodificador.
- La salida $d$ se obtiene multiplicando las salidas 1 y 6 del decodificador.
- Las salidas $e$ y $f$ se obtienen, respectivamente, de las salidas 7 y 4 del decodificador.
- La salida $g$ se obtiene multiplicando las salidas 0 y 3 del decodificador.

Por tanto, el circuito implementado es el que se muestra en la Figura 5.34, donde puede apreciarse que la entrada de mayor peso del decodificador está conectada a 0 para conseguir que sólo puedan entrar al decodificador las combinaciones de las Tablas 5.20 y 5.21.

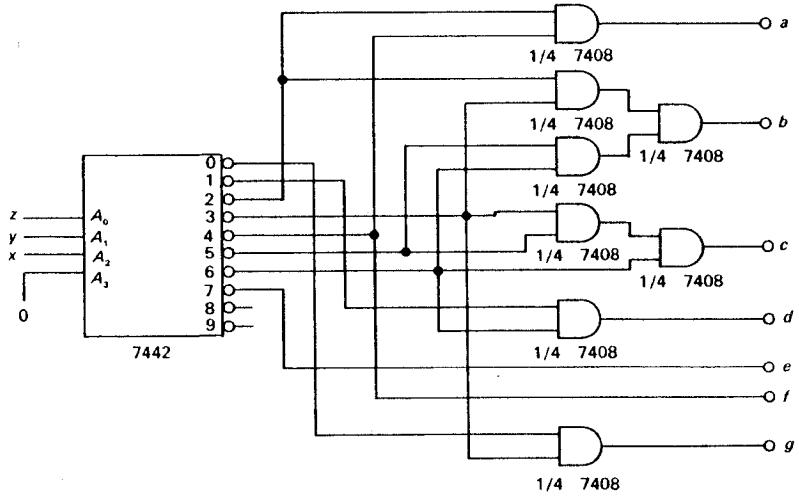



**Figura 5.34.** Resultado del Problema 5.16.

**5.17.** Implementar un multiplexor de cuatro a uno canales con puertas lógicas.

**Solución:** Los multiplexores poseen un número de entradas de selección relacionado según la fórmula que aparece en el Apartado 5.8 de este capítulo. Por ello, nuestro multiplexor precisa de dos entradas de selección. La tabla de verdad del circuito a implementar es la que aparece en la Tabla 5.22.

**Tabla 5.22.** Tabla de verdad de un multiplexor de cuatro a uno canales

| Entradas de control | | Canales de entrada | | | | Salidas |
|---|---|---|---|---|---|---|
| $C_1$ | $C_0$ | $D_3$ | $D_2$ | $D_1$ | $D_0$ | $S$ |
| 0 | 0 | × | × | × | 0 | 0 |
| 0 | 0 | × | × | × | 1 | 1 |
| 0 | 1 | × | × | 0 | × | 0 |
| 0 | 1 | × | × | 1 | × | 1 |
| 1 | 0 | × | 0 | × | × | 0 |
| 1 | 0 | × | 1 | × | × | 1 |
| 1 | 1 | 0 | × | × | × | 0 |
| 1 | 1 | 1 | × | × | × | 1 |

De esta tabla se deduce la siguiente ecuación:

$$S = \bar{C}_1 \cdot \bar{C}_0 \cdot D_0 + \bar{C}_1 \cdot C_0 \cdot D_1 + C_1 \cdot \bar{C}_0 \cdot D_2 + C_1 \cdot C_0 \cdot D_3$$

Por último, el circuito de la Figura 5.35 representa la implementación de dicha ecuación.

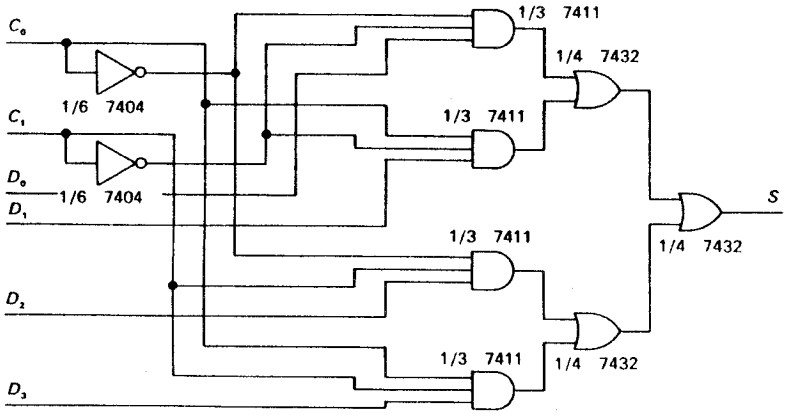



**Figura 5.35.** Multiplexor de cuatro a uno canales.



**5.18.** Implementar la siguiente función empleando un multiplexor de 16 canales de entrada del tipo 74150:

$$F = x \cdot \bar{y} + x \cdot \bar{z} \cdot v + x \cdot y \cdot v + \bar{z} \cdot v + \bar{y} \cdot \bar{v}$$

**Solución:** La función dada está expresada bajo la forma de minterms incompleto; luego, en primer lugar, obtendremos la ecuación minterms completa por medio de su representación en el mapa de Karnaugh, tal y como aparece en la Figura 5.36.

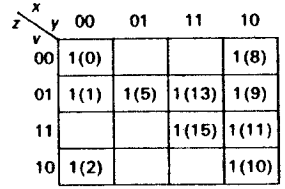



**Figura 5.36.** Mapa de Karnaugh del Problema 5.18.

En el mapa de la Figura 5.36 aparece, en cada casilla con 1, el valor equivalente en decimal de cada término. Por tanto, deberemos conectar a 1 las entradas de los canales 0, 1, 2, 5, 8, 9, 10, 11, 13 y 15, conectando el resto de los canales a 0.

Las entradas $x$, $y$, $z$ y $v$ serán conectadas, respectivamente, a las entradas $S_3$, $S_2$, $S_1$ y $S_0$ del multiplexor.

El circuito final aparece en la Figura 5.37.

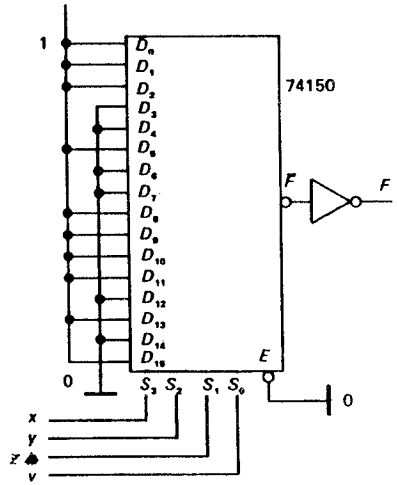



**Figura 5.37.** Implementación de las funciones del Problema 5.18.

por qué ser invariable, puesto que en el anterior problema pusimos *yzv* en la parte superior y en este hemos puesto *xyz*. Esto da lugar a que este tipo de problemas tenga más de una solución a la hora de conectar el multiplexor. El circuito final aparece en la Figura 5.40.

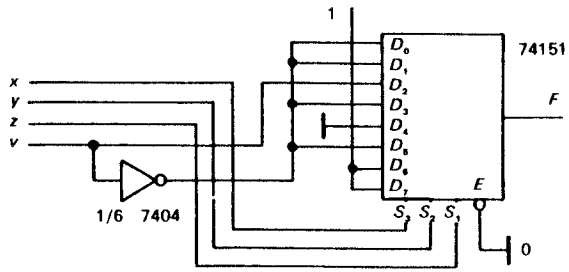



**Figura 5.40.** Circuito con el resultado del Problema 5.20.

**5.21.** Implementar un inversor partiendo de un multiplexor del tipo 74151.

**Solución:** Una vez realizados los problemas anteriores, el presente no tiene la menor dificultad, ya que consistiría en emplear exclusivamente dos canales de entrada, uno conectado a 0 y otro a 1 de forma permanente.

Para realizar la selección del canal introduciremos la señal de entrada al circuito a la entrada de selección de menor peso, poniendo el resto de las entradas de selección a 0 permanentemente.

El circuito de la Figura 5.41 es, por tanto, el resultado del problema:

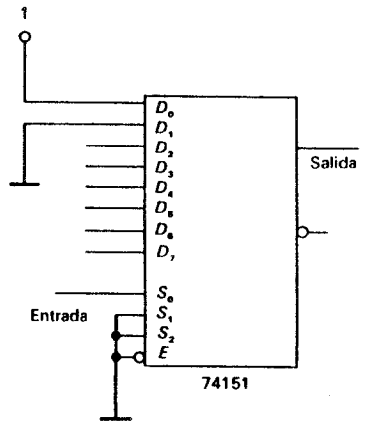



**Figura 5.41.** Implementación de un inversor con multiplexor.



**5.22.** Implementar un circuito que cumpla las señales de entrada y salida que se representan en el cronograma de la Figura 5.42 utilizando para ello un multiplexor del tipo 74151.

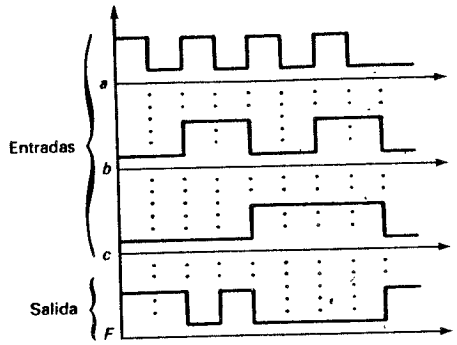



**Figura 5.42.** Cronograma del Problema 5.22.

**Solución:** Comenzaremos planteando la tabla de verdad que cumple las entradas y salidas del cronograma de la Figura 5.42. Se trata de la Tabla es la 5.25.

**Tabla 5.25.** Tabla de verdad del Problema 5.22

| Canal | *a* | *b* | *c* | *F* |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 2 | 0 | 1 | 0 | 1 |
| 3 | 0 | 1 | 1 | 0 |
| 4 | 1 | 0 | 0 | 1 |
| 5 | 1 | 0 | 1 | 0 |
| 6 | 1 | 1 | 0 | 0 |
| 7 | 1 | 1 | 1 | 0 |

El multiplexor 74151 posee tres señales de selección; nosotros conectaremos las entradas del circuito del modo siguiente: la entrada de selección de mayor peso, $S_2$, se conectará con *a*, $S_1$ con *b* y $S_0$ con *c*.

Seguidamente, según nos muestra la Tabla 5.25, se conectarán las entradas de los canales 0, 2 y 4 a 1 permanentemente y las de los canales 1, 3, 5, 6 y 7 a 0, obteniéndose así el circuito de la Figura 5.43.

**5.19.** Realizar la implementación de la función del Problema 5.18 empleando un multiplexor de ocho canales del tipo 74151.

**Solución:** En este caso, nuestro multiplexor sólo dispone de tres entradas de selección y ocho canales, por lo que procederemos como se indicó en el Apartado 5.9 de este capítulo.

Comenzaremos por obtener la función bajo la forma de minterms completo del mapa de Karnaugh de la Figura 5.36, dicha ecuación es:

$$F = \bar{x} \cdot \bar{y} \cdot \bar{z} \cdot \bar{v} + \bar{x} \cdot \bar{y} \cdot \bar{z} \cdot v + \bar{x} \cdot \bar{y} \cdot z \cdot \bar{v} + \bar{x} \cdot y \cdot \bar{z} \cdot v + x \cdot \bar{y} \cdot \bar{z} \cdot \bar{v} + \\ + x \cdot \bar{y} \cdot \bar{z} \cdot v + x \cdot \bar{y} \cdot z \cdot \bar{v} + x \cdot \bar{y} \cdot z \cdot v + x \cdot y \cdot \bar{z} \cdot v + x \cdot y \cdot z \cdot v$$

Representemos seguidamente esta función en una tabla como la Tabla 5.6 del Apartado 5.9 de la introducción teórica, obteniéndose así la Tabla 5.23.

**Tabla 5.23.** Representación de la función del Problema 5.19

| $x$ \ $y z$ / $v$ | 000 | 001 | 010 | 011 | 100 | 101 | 110 | 111 |
|---|---|---|---|---|---|---|---|---|
| 0 | 1 | 1 | 1 | | | 1 | | |
| 1 | 1 | 1 | 1 | 1 | | 1 | | 1 |
| | $D_0$ | $D_1$ | $D_2$ | $D_3$ | $D_4$ | $D_5$ | $D_6$ | $D_7$ |

De dicha tabla se deduce:

- Las entradas de los canales 0, 1, 2 y 5 han de conectarse a 1 permanentemente.
- Las entradas de los canales 4 y 6 han de conectarse a 0 permanentemente.
- Las entradas de los canales 3 y 7 han de conectarse a la señal $x$, ya que, según la tabla, dichos canales deben valer 0 o 1, según sea el valor $x$.
- Las entradas $y$, $z$ y $v$ de la función se conectarán a las entradas de selección en el mismo orden de pesos que figura en la Tabla 5.23; esto es, $y$ con $S_2$, $z$ con $S_1$ y, por último, $v$ con $S_0$. Asimismo, la entrada de habilitación $E$ se conectará a 0 permanentemente. El circuito final aparece en la Figura 5.38.

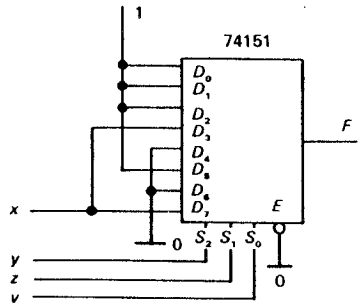



**Figura 5.38.** Circuito con el resultado del Problema 5.19.



**5.20.** Diseñar un circuito que implemente la siguiente función lógica empleando un multiplexor de ocho canales de entrada tipo 74151:

$$F = x \cdot y + z \cdot \bar{v} + y \cdot \bar{z} \cdot v + \bar{x} \cdot \bar{y} \cdot \bar{v}$$

**Solución:** Lo primero que hay que obtener es el minterms completo que representa la función con el auxilio del mapa de Karnaugh de la Figura 5.39.

| $z$ \ $x y$ / $v$ | 00 | 01 | 11 | 10 |
|---|---|---|---|---|
| 00 | 1 | | 1 | |
| 01 | | 1 | 1 | |
| 11 | | | 1 | |
| 10 | 1 | 1 | 1 | 1 |

**Figura 5.39.** Mapa de Karnaugh del Problema 5.20.

La función bajo la forma de minterms completo será:

$$F = \bar{x} \cdot \bar{y} \cdot \bar{z} \cdot \bar{v} + \bar{x} \cdot \bar{y} \cdot z \cdot \bar{v} + \bar{x} \cdot y \cdot \bar{z} \cdot v + \bar{x} \cdot y \cdot z \cdot \bar{v} + x \cdot y \cdot \bar{z} \cdot \bar{v} + \\ + x \cdot y \cdot \bar{z} \cdot v + x \cdot y \cdot z \cdot \bar{v} + x \cdot y \cdot z \cdot v + x \cdot \bar{y} \cdot z \cdot \bar{v}$$

Representemos seguidamente esta función en la Tabla 5.24.

**Tabla 5.24.** Representación de la función del Problema 5.19

| $v$ \ $x y z$ | 000 | 001 | 010 | 011 | 100 | 101 | 110 | 111 |
|---|---|---|---|---|---|---|---|---|
| 0 | 1 | 1 | | 1 | | 1 | 1 | 1 |
| 1 | | | 1 | | | | 1 | 1 |
| | $D_0$ | $D_1$ | $D_2$ | $D_3$ | $D_4$ | $D_5$ | $D_6$ | $D_7$ |

De la tabla anterior se deduce:

- Que las entradas de los canales 6 y 7 han de conectarse a 1 permanentemente.
- Que la entrada del canal 4 ha de conectarse a 0 permanentemente.
- Que las entradas de los canales 0, 1, 3 y 5 han de conectarse a través de un inversor a la señal $v$, ya que, según la tabla, dichos canales toman el valor contrario al de $v$.
- Que la entrada del canal 2 ha de conectarse a la señal $v$.
- Por último, que las entradas $x$, $y$, $z$ de la función se conectarán a las entradas de selección en el mismo orden de pesos que figura en la Tabla 5.24; esto es, $x$ con $S_2$, $y$ con $S_1$ y, por último, $z$ con $S_0$. Asimismo, la entrada de habilitación $E$ se conectará a 0 permanentemente.

Como puede verse, si comparamos este problema con el anterior, el orden en que se colocan las variables de la función en la tabla donde se realiza la elección de canales (Tabla 5.24) no tiene

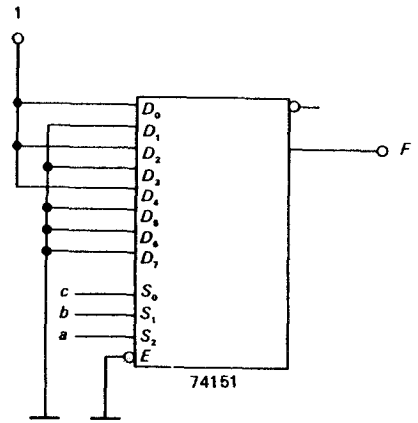



**Figura 5.43.** Resultado del Problema 5.22.

**5.23.** Dada la Tabla 5.26, que corresponde a un circuito combinacional, se pide implementar la función con un multiplexor de cuatro entradas de direccionamiento tipo 74150.

**Tabla 5.26.** Tabla de verdad del Problema 5.23

| *e* | *d* | *c* | *b* | *a* | *F* | *e* | *d* | *c* | *b* | *a* | *F* |
|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |

**Solución:** El multiplexor 74150 es un multiplexor de 16 canales de entrada con cuatro entradas de selección, por lo que, según lo indicado en el Apartado 5.9 del presente capítulo, es posible implementar con él funciones de hasta cinco variables.



Para implementar la función con el multiplexor 74150, primero se confecciona la Tabla 5.27, en la que se representan todos los términos que hacen 1 la función.

**Tabla 5.27.** Representación de la función del Problema 5.23

| *e* \ *d c b a* | 0000 | 0001 | 0010 | 0011 | 0100 | 0101 | 0110 | 0111 | 1000 | 1001 | 1010 | 1011 | 1100 | 1101 | 1110 | 1111 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 1 | | 1 | | 1 | 1 | | | | | | | 1 | 1 | 1 | |
| 1 | 1 | | 1 | 1 | 1 | 1 | | | | | | | 1 | 1 | | 1 |
| | $D_0$ | $D_1$ | $D_2$ | $D_3$ | $D_4$ | $D_5$ | $D_6$ | $D_7$ | $D_8$ | $D_9$ | $D_{10}$ | $D_{11}$ | $D_{12}$ | $D_{13}$ | $D_{14}$ | $D_{15}$ |

De acuerdo con la Tabla 5.27, se deberán realizar las siguientes conexiones en el multiplexor:

- Las entradas de selección $S_0$, $S_1$, $S_2$, $S_3$ con las entradas del circuito *a*, *b*, *c* y *d*.
- Las entradas de los canales 0, 2, 4, 5, 12 y 13 se deberán poner a 1 ya que, valga lo que valga la entrada *e*, la salida del multiplexor en estos canales ha de ser 1.
- Las entradas de los canales 1, 6, 7, 8, 9, 10 y 11 se pondrán a 0 porque, independientemente del valor de *e*, la salida del multiplexor en estos canales ha de ser 0.
- Las entradas 3 y 15 se conectarán directamente a la entrada *e* debido a que la salida de estos canales debe ser 0 cuando *e* valga 0, y 1 cuando *e* valga 1.
- La entrada del canal 14 se conectará a la entrada $\bar{e}$ puesto que la salida del multiplexor debe ser 0 cuando *e* valga 1 y viceversa.
- Por último, la entrada de habilitación *E* se pone a 0 permanentemente.

Por tanto, el circuito será el representado en la Figura 5.44.

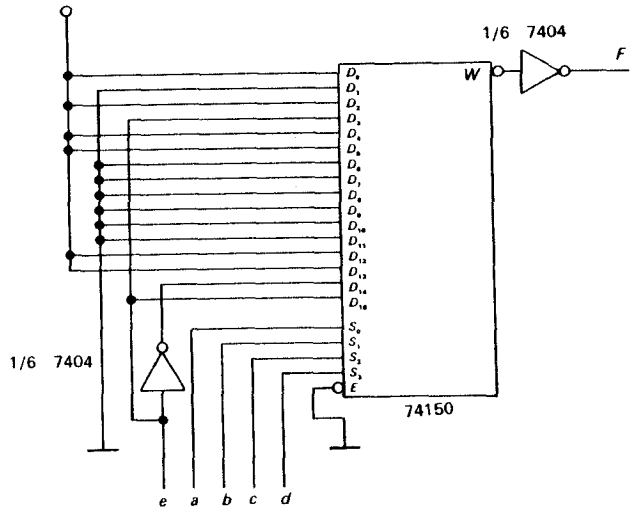



**Figura 5.44.** Multiplexor del Problema 5.23.

**5.24.** Una máquina de juego posee un sistema de lotería constituido por cuatro pulsadores activados por las bolas que se deslizan sobre un tablero. El sistema funciona de tal forma que conecede partida gratis cuando, al introducir la bola en juego por el orificio de fin, la combinación binaria formada por los citados pulsadores es equivalente en decimal a uno de los siguientes valores: 3, 7, 10, 11 y 15.

Implementar el circuito necesario con un multiplexor del tipo 74151.

**Solución:** Si se define que un pulsador activado toma el valor 1 y sin activar el valor 0, la tabla de verdad de este circuito será la 5.28.

**Tabla 5.28.** Tabla de verdad del Problema 5.24

| x | y | z | v | F |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

Procediendo como en problemas anteriores y partiendo de la Tabla 5.28, que nos define la función, obtendremos la Tabla 5.29, que nos define los canales a emplear en un multiplexor de ocho canales como el 74151.

**Tabla 5.29.** Representación de la función del Problema 5.25

| xy / v z | 000 | 001 | 010 | 011 | 100 | 101 | 110 | 111 |
|---|---|---|---|---|---|---|---|---|
| 0 | | | | | | 1 | | |
| 1 | | 1 | | 1 | | 1 | | 1 |
| | $D_0$ | $D_1$ | $D_2$ | $D_3$ | $D_4$ | $D_5$ | $D_6$ | $D_7$ |



De la tabla anterior se deduce que la entrada del canal 5 debe conectarse permanentemente a 1. Asimismo, las entradas de los canales 1, 3 y 7 deben conectarse a la entrada $v$, ya que el valor de estos canales debe coincidir con el de dicha entrada. Por tanto, el circuito implementado con un multiplexor 74151 será el de la Figura 5.45.

Se debe tener en cuenta que, como al plantear la tabla de verdad la variable $x$ fue la de mayor peso, siendo $v$ la de menor peso, la variable $x$ deberá coincidir con la entrada de selección $S_2$, la variable $y$ con la entrada de selección $S_1$ y la variable $z$ con la $S_0$.

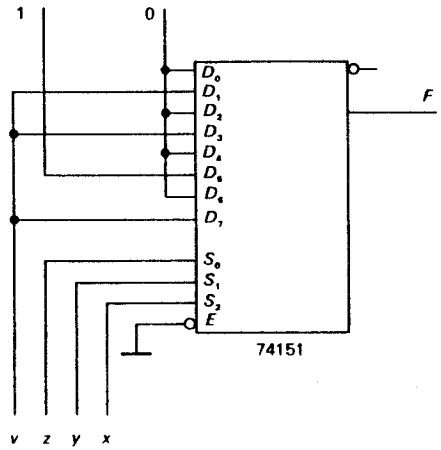



**Figura 5.45.** Circuito final del Problema 5.24.

**5.25.** Utilizando dos multiplexores del tipo 74151 y puertas lógicas, implementar un multiplexor de 16 entradas de datos y cuatro entradas de selección.

**Solución:** Denominando $S_3$, $S_2$, $S_1$ y $S_0$ a cada una de las entradas de selección del multiplexor final, el circuito a realizar aparece en la Figura 5.46, en el que, como puede verse, se han conectado en paralelo las tres entradas de selección de menor peso del multiplexor final a las entradas de selección de ambos multiplexores. Por otra parte, la entrada de selección de mayor peso del circuito final se conecta a las entradas de habilitación de ambos multiplexores del siguiente modo:

- Directamente al multiplexor que soporta los canales de menor peso.
- A través de un inversor al multiplexor que soporta los canales de mayor peso.

De esta forma conseguimos que sólo se active el multiplexor correspondiente según trabajemos con los ocho primeros o últimos canales del circuito final.

Para obtener la salida del circuito final emplearemos una puerta sumadora a la que accederán las salidas de ambos multiplexores.

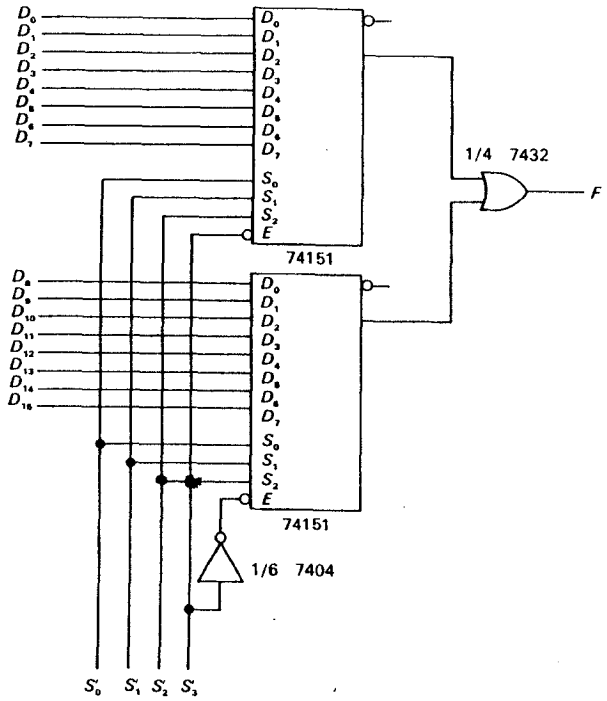



**Figura 5.46.** Multiplexor de 16 canales.

**5.26.** Realizar un comparador de dos números, $a$ y $b$, de un bit cada uno, empleando para ello puertas lógicas solamente.

**Solución:** Comenzaremos por plantear la tabla de verdad del circuito que aparece en la Tabla 5.30.

**Tabla 5.30.** Tabla de verdad de un comparador de dos bits

| $x$ | $y$ | $M$ | $m$ | $E$ |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 |



En dicha tabla hemos denominado:

$M$ a la salida de $x > y$
$m$ a la salida de $x < y$
$E$ a la salida de $x = y$

Las ecuaciones que se obtienen de la Tabla 5.30 son:

$$M = x \cdot \bar{y} \;\; ; \;\; m = \bar{x} \cdot y \;\; ; \;\; E = \bar{x} \cdot \bar{y} + x \cdot y = \overline{x \oplus y}$$

El circuito será, por tanto, el representado en la Figura 5.47.

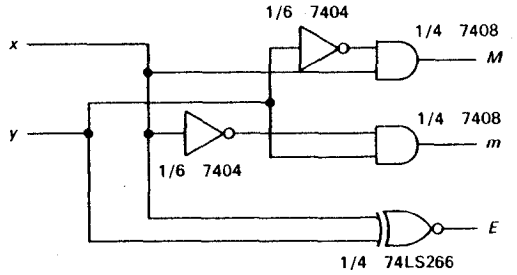



**Figura 5.47.** Comparador de dos bits.

**5.27.** Una planta embotelladora de vino completamente automatizada dispone, para controlar el número de botellas que forma cada pedido, de un programador variable de entre 0 y 99 botellas. El operario dispone de ocho conmutadores con los cuales indica en BCD el número de botellas que forman el pedido. Asimismo, se dispone de un *display* en el que aparece dicho número.

Un sistema contador unido a un sensor realiza la cuenta de las botellas y envía a un comparador, mediante un *bus* de ocho bits, el número en BCD de botellas que han salido de la máquina.

Diseñar el sistema que detecte que el número de botellas que han salido es igual al número programado por el operario; asimismo, se diseñará el sistema de visualización con *displays* en cátodo común.

**Solución:** El sistema de visualización se consigue utilizando dos *displays* del tipo cátodo común y, por tanto, dos decodificadores BCD a siete segmentos del tipo 7448. Para que el consumo sea más bajo, se puede hacer que el *display* de las decenas no se encienda mientras el número sea menor que 10. Para conseguirlo, se conecta a 0 la entrada $\overline{RBI}$ del decodificador de las decenas y la salida $\overline{BI}/\overline{RBO}$ de éste se interconecta a la entrada $\overline{RBI}$ de las unidades. De esta forma, si la entrada es 00 en BCD, los dos *displays* aparecerán apagados. Cuando se introduce un número entre 1 y 9, se enciende sólo el *display* de las unidades, representando el número deseado. Si, por el contrario, en la entrada se

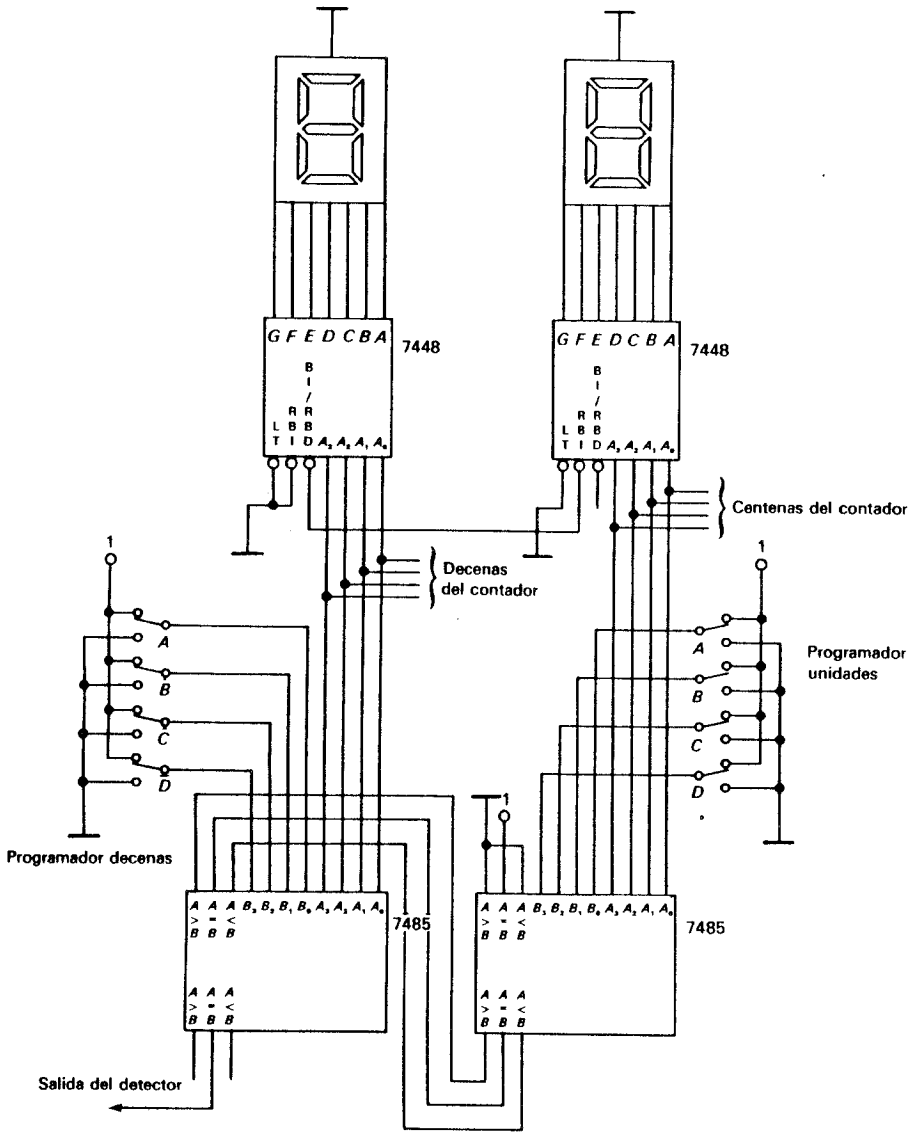



**Figura 5.48.** Resultado del Problema 5.27.



introduce un número entre 10 y 99 en BCD, se activarán los dos *displays* para que aparezca el número deseado.

Para implementar el sistema detector se emplean dos comparadores del tipo 7485 montados en cascada, de tal manera que, cuando el número programado y el número de botellas proveniente del contador sean iguales, aparezca un 1 en la salida $A = B$ del comparador de mayor peso. La interconexión de los comparadores se hace de la siguiente forma: en el comparador de las unidades se ponen a 0 las entradas $A < B$ y $B > A$, y a 1 la entrada de $A = B$. A su vez, las salidas $A < B$, $A > B$ y $A = B$ de este comparador se conectan a las entradas correspondientes del comparador de las decenas.

Teniendo en cuenta estas premisas, el circuito será el de la Figura 5.48.

**5.28.** Diseñar un circuito semirrestador de dos bits empleando sólo puertas lógicas.

**Solución:** Los circuitos semirrestadores sólo poseen como entradas las correspondientes a los dígitos a restar, no teniendo entrada de préstamo anterior. Según lo explicado, la tabla de verdad del circuito a diseñar aparece en la Tabla 5.31.

**Tabla 5.31.** Tabla de verdad de un circuito semirrestador

| Entradas | | Salidas | |
|---|---|---|---|
| $a$ | $b$ | $D$ | $P$ |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |

De esta tabla se deducen las siguientes ecuaciones:

$$D = \bar{a} \cdot b + a \cdot \bar{b} = a \oplus b \quad ; \quad P = \bar{a} \cdot b$$

El circuito será, por tanto, el de la Figura 5.49.

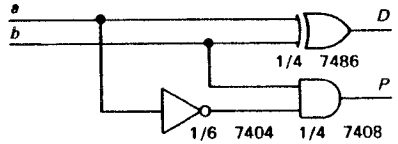



**Figura 5.49.** Semirrestador.

**5.29.** Teniendo en cuenta las normas de la suma y resta binarias, realizar un sumador/restador en complemento a dos, de tal forma que mediante una entrada de control $S/\bar{R}$ pueda

seleccionarse una de las dos operaciones. Para realizar el circuito emplearemos el sumador 7483.

**Solución:** El integrador 7483 es un sumador total de cuatro bits que podemos utilizar para realizar la parte sumadora del circuito; por tanto, habrá que centrarse en cómo realizar la resta utilizando la complementación a 2.

El proceso de resta por complemento a 2, consiste en sumar al minuendo el complemento a 2 del sustraendo. Para conseguir dicho complemento no hay más que invertir bit a bit la cantidad correspondiente y sumar al resultado 1.

Para realizar la inversión de los bit solamente cuando se trate de una resta, emplearemos la señal $S/\bar{R}$, llevándola junto con cada uno de los bits a una puerta OR exclusiva. En la Tabla 5.32 aparece el funcionamiento de esta puerta:

**Tabla 5.32.** Tabla de verdad de una OR exclusiva

| $S/\bar{R}$ | $E$ | Salida |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Entonces, podemos deducir que si $S/\bar{R} = 0$ el número se obtiene sin invertir; es decir, preparado para sumar, pero si $S/\bar{R} = 1$, el número sale invertido y sólo hay que añadir un 1 en la entrada de

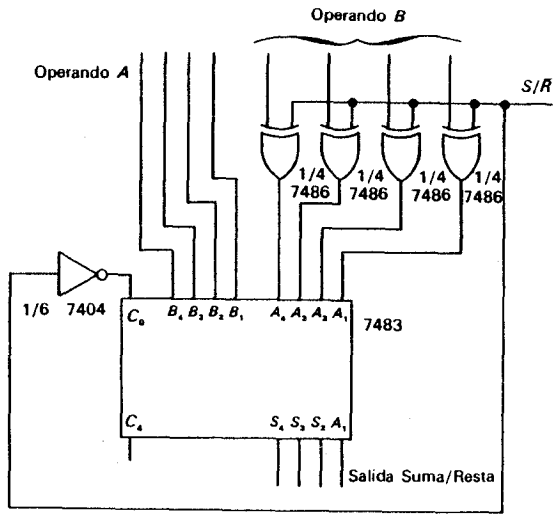



**Figura 5.50.** Sumador/restador.



acarreo del sumador para obtener el número complementado a 2. Para añadir el citado 1, emplearemos la misma señal $S/\bar{R}$ a través de una puerta inversora que conectaremos a $C_0$.

Si al realizar una resta, la salida de acarreo resulta igual a 1, el resultado de la resta es definitivo y positivo; si, por el contrario, es igual a 0, el número es negativo y se necesita realizar el complemento a 2 del citado resultado para obtener el valor real.

El circuito final es, por tanto, el que se muestra en la Figura 5.50.

**5.30.** Diseñar un convertidor de código de BCD natural a BCD exceso en tres utilizando para ello un sumador completo de cuatro bits del tipo 7483.

**Solución:** La Tabla 5.33 muestra el código BCD natural y el código BCD exceso en tres:

**Tabla 5.33.** Códigos BCD natural y exceso en tres

| | BCD natural | | | | BCD exceso 3 | | | |
|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| 2 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 3 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 4 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 5 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 |
| 6 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 7 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 |
| 8 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 |
| 9 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |

A la vista de los dos códigos, es fácil darse cuenta que la relación existente entre ellos no es otra que el código BCD exceso en tres se obtiene sumándole tres unidades al BCD natural; por tanto, el circuito convertidor se puede llevar a cabo, como se indica en la Figura 5.51, realizando en un sumador de cuatro bits, como es el 7483, la suma del número de entrada al circuito con la cantidad fija 0011, poniendo, asimismo, la entrada de acarreo a 0.

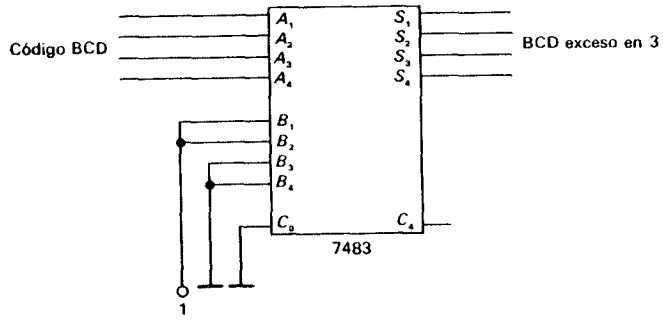



**Figura 5.51.** Convertidor de BCD natural a BCD exceso en tres.

**5.31.** Diseñar un convertidor de código BCD natural a código Gray empleando un sumador 7483.

**Solución:** Existe una propiedad de los números binarios expresados en BCD natural que nos indica que cualquier número BCD se transforma en código Gray simplemente sumándole con él mismo, pero desplazado una posición hacia la derecha.

Veamos un ejemplo. El número BCD 1001 se transforma en su equivalente Gray 1101 a través del siguiente proceso:

$$\begin{array}{r} 1\ 0\ 0\ 1 \\ +\quad 1\ 0\ 0\ 1 \\ \hline 1\ 1\ 0\ 1 \end{array}$$

**Tabla 5.34.** Códigos BCD natural y Gray

| BCD natural | | | | Gray | | | |
|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |

Basándonos en esta propiedad, no tenemos más que conectar a 0 la entrada de mayor peso de la cantidad $B$ del sumador; es decir, $B_4$, e interconectar $A_4$ con $B_3$, $A_3$ con $B_2$ y $A_2$ con $B_1$. El circuito final aparece en la Figura 5.52.

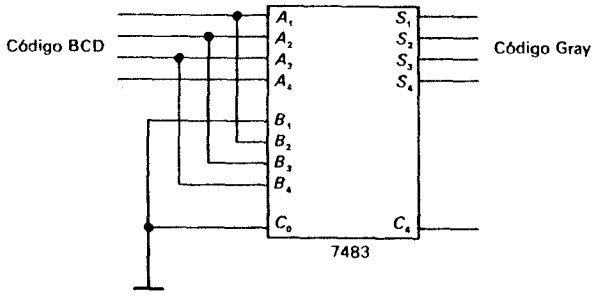



**Figura 5.52.** Convertidor BCD a Gray.



# PROBLEMAS PROPUESTOS

**5.32.** Obtener las ecuaciones de cada una de las salidas de un decodificador BCD exceso en tres a decimal empleando puertas lógicas.

**Solución:** $S_0 = \bar{a} \cdot \bar{b}$; $S_1 = \bar{a} \cdot \bar{c} \cdot \bar{d}$; $S_2 = \bar{a} \cdot \bar{c} \cdot d$; $S_3 = \bar{a} \cdot c \cdot \bar{d}$; $S_4 = b \cdot c \cdot d$; $S_5 = \bar{b} \cdot \bar{c} \cdot \bar{d}$; $S_6 = \bar{b} \cdot \bar{c} \cdot d$; $S_7 = \bar{b} \cdot c \cdot \bar{d}$; $S_8 = a \cdot c \cdot d$; $S_9 = a \cdot b$.

**5.33.** Utilizando un decodificador tipo 7442 y puertas lógicas, realizar el circuito que cumpla la siguiente función:

$$F = \bar{a} \cdot \bar{b} \cdot c + \bar{a} \cdot b \cdot c + \bar{a} \cdot b \cdot \bar{c} + a \cdot \bar{b} \cdot \bar{c} + a \cdot b \cdot c$$

**Solución:** Figura 5.53.

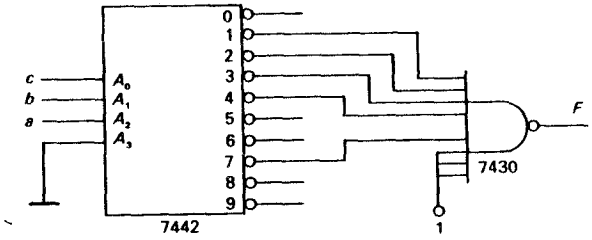



**Figura 5.53.** Resultado del Problema 5.33.

**5.34.** Implementar la siguiente función lógica empleando un decodificador BCD a decimal tipo 7442:

$$F = \bar{x} \cdot z + x \cdot y \cdot z \cdot \bar{v} + \bar{y} \cdot v + x \cdot y \cdot v$$

**Solución:** Figura 5.54.

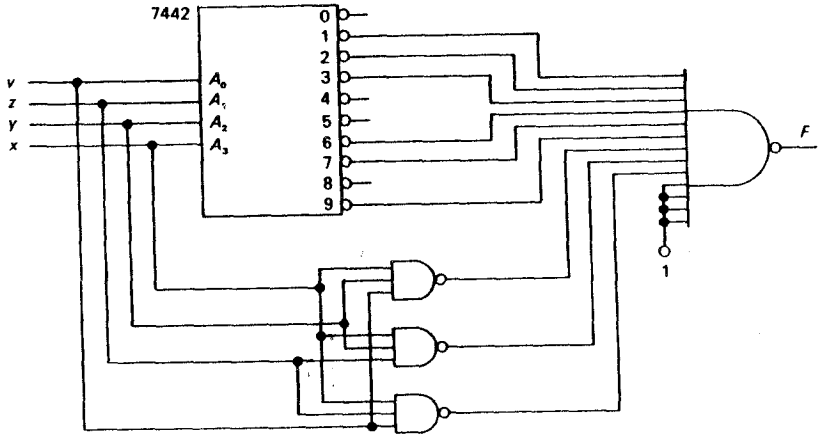



**Figura 5.54.** Resultado del Problema 5.34.

**5.35.** Empleando decodificadores BCD a decimal del tipo 7443 y puertas lógicas, implementar un circuito que cumpla la Tabla de verdad 5.35.

**Tabla 5.35.** Tabla de verdad del Problema 5.35

| $d$ | $c$ | $b$ | $a$ | $S_0$ | $S_1$ | $S_2$ | $S_3$ | $S_4$ | $S_5$ | $S_6$ | $S_7$ | $S_8$ | $S_9$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

**Solución:** Figura 5.55.

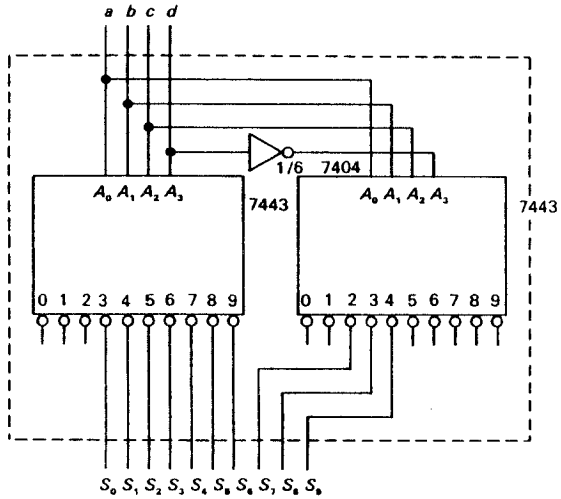



**Figura 5.55.** Circuito con el resultado del Problema 5.35.



**5.36.** Obtener las ecuaciones de cada una de las salidas de un circuito convertidor de código que transforme números binarios en Gray a binario natural. Denominaremos a las entradas $e_3$, $e_2$, $e_1$ y $e_0$, mientras que las salidas serán $S_3$, $S_2$, $S_1$ y $S_0$.

El circuito se realizará sólo con puertas lógicas.

**Solución:** $S_0 = S_1 \oplus e_0$; $S_1 = S_2 \oplus e_1$; $S_2 = S_3 \oplus e_2$; $S_3 = e_3$.

**5.37.** Utilizando un decodificador 7442 de BCD a decimal, activo a nivel bajo, diseñar un convertidor de código BCD natural a BCD Aiken.

**Solución:** Figura 5.56.

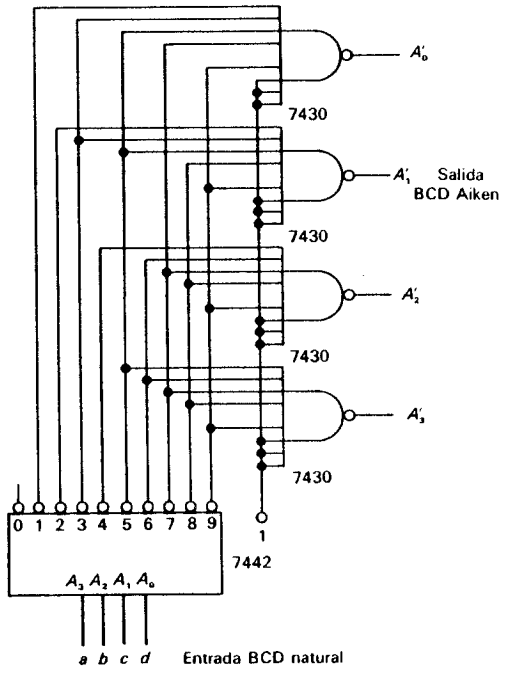



**Figura 5.56.** Resultado del Problema 5.37.

**5.38.** Empleando un decodificador del tipo 7442 y puertas lógicas, implementar un convertidor de código BCD natural a código Johnson.

**Solución:** Figura 5.57.

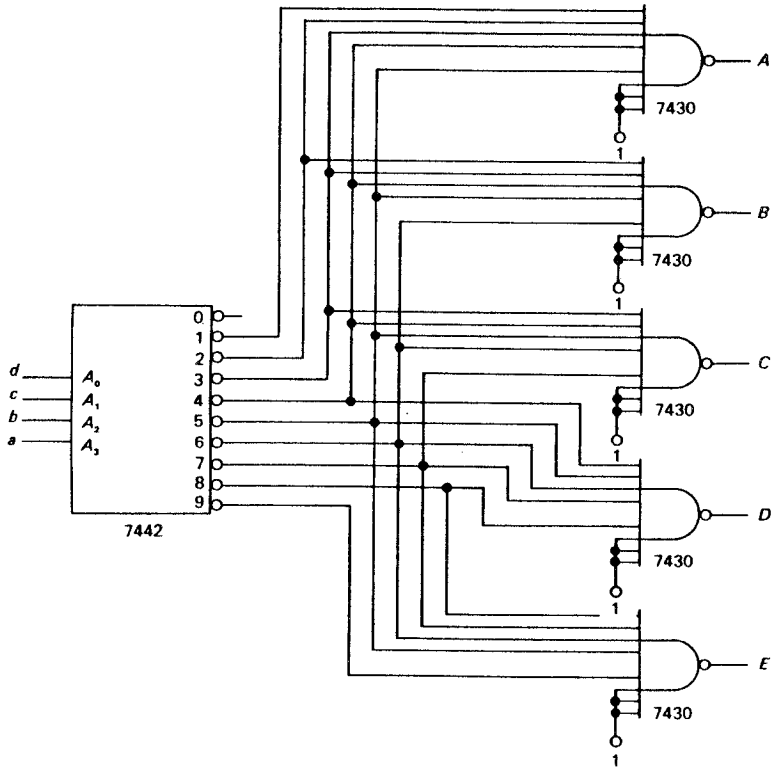



**Figura 5.57.** Resultado del Problema 5.38.



**5.39.** Implementar con un multiplexor 74151 el circuito que cumple la siguiente función:

$$F = \bar{a}\cdot\bar{b}\cdot\bar{c}\cdot\bar{d} + \bar{a}\cdot\bar{b}\cdot\bar{c}\cdot d + \bar{a}\cdot b\cdot c\cdot d + a\cdot\bar{b}\cdot\bar{c}\cdot\bar{d} + a\cdot\bar{b}\cdot\bar{c}\cdot d + a\cdot\bar{b}\cdot c\cdot d + a\cdot b\cdot\bar{c}\cdot d + a\cdot b\cdot c\cdot d + \bar{a}\cdot\bar{b}\cdot c\cdot d$$

**Solución:** Figura 5.58.

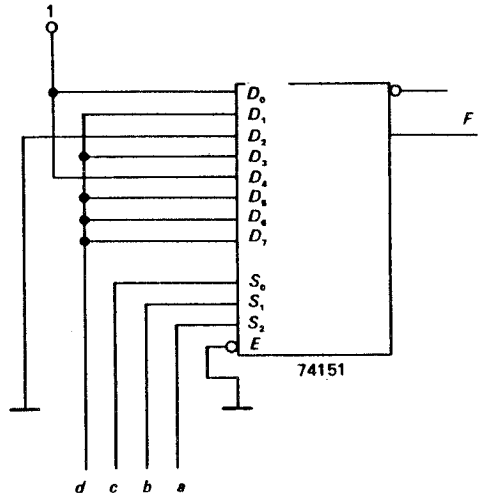



**Figura 5.58.** Resultado del Problema 5.39.

**5.40.** Mediante el empleo de un multiplexor 74151 y puertas lógicas, implementar la siguiente función lógica:

$$F = \bar{x}\cdot\bar{y} + z\cdot v + \bar{x}\cdot v + x\cdot\bar{y}\cdot\bar{z}\cdot\bar{v}$$

**Solución:** Figura 5.59.

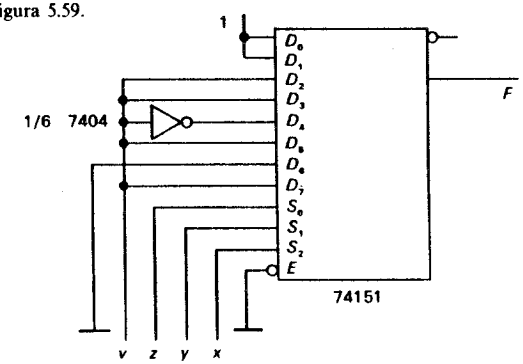



**Figura 5.59.** Resultado del Problema 5.40.

**5.41.** Utilizando dos integrados del tipo 74153, un decodificador del tipo 7442 y puertas lógicas, implementar un multiplexor de dieciséis entradas de datos y cuatro entradas de selección.

**Solución:** Figura 5.60.

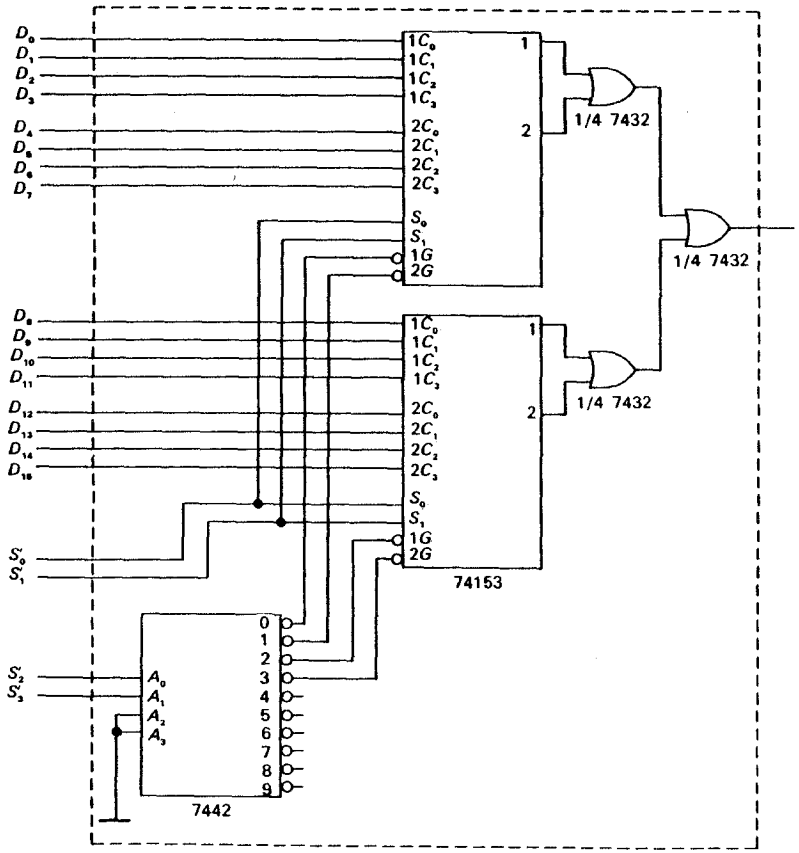



**Figura 5.60.** Resultado del Problema 5.41.



**5.42.** Utilizando dos codificadores del tipo 74148 y un multiplexor del tipo 74157, diseñar un codificador de dieciséis a cuatro líneas.

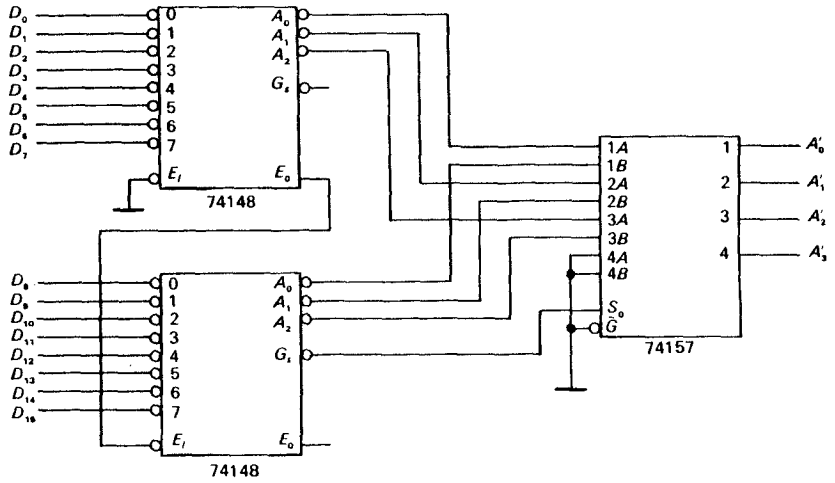



**Figura 5.61.** Resultado del Problema 5.42.

**5.43.** Utilizando un circuito 7485 (comparador de cuatro bits) y puertas lógicas, implementar un circuito comparador de dos números de cuatro bits tanto en valor absoluto como con signo.

**Solución:** Figura 5.62.

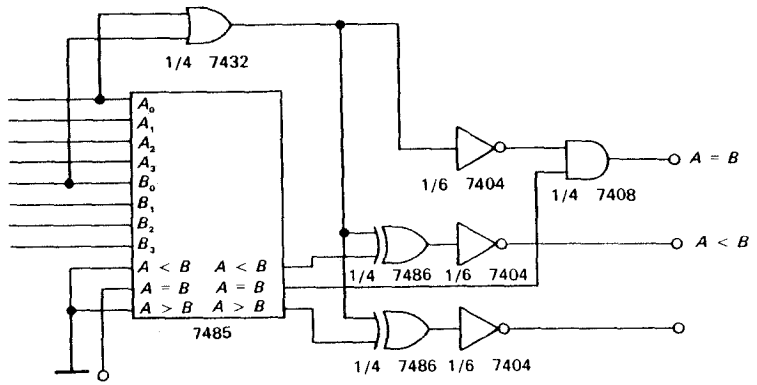



**Figura 5.62.** Resultado del Problema 5.43.

**5.44.** Diseñar un comparador de dos números digitales *ab* y *cd* de forma que disponga de dos salidas $X$ e $Y$ que proporcionen los siguientes niveles lógicos:

- $X = 1$ e $Y = 0$ si *ab* es mayor que *cd*.
- $X = 0$ e $Y = 0$ si *ab* es igual que *cd*.
- $X = 0$ e $Y = 1$ si *ab* es menor que *cd*.

Realizar el circuito empleando sólo puertas lógicas.

**Solución:** Las ecuaciones de las salidas serán:

$$X = a \cdot \bar{c} + b \cdot \bar{c} \cdot \bar{d} + a \cdot b \cdot \bar{d}$$

$$Y = \bar{a} \cdot c + \bar{a} \cdot \bar{b} \cdot d + \bar{b} \cdot c \cdot d$$

**5.45.** Implementar un circuito semisumador empleando sólo puertas NAND de dos entradas.

**Solución:** Figura 5.63.

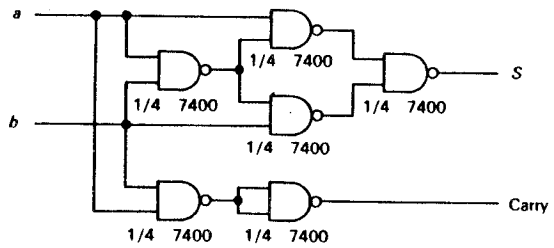



**Figura 5.63.** Resultado del Problema 5.45.

**5.46.** Las entradas de un circuito que complementa a dos números binarios de tres bits son $a$, $b$ y $c$. Las salidas de este circuito se denominan $A'$, $B'$, $C'$ y $CA'$, siendo esta última la del posible acarreo que se produzca al hacer la complementación. Obtener las ecuaciones lógicas de las salidas.

**Solución:** $A' = a + (b + c)$; $B' = b + c$; $C' = c$; $CA' = \bar{a} \cdot \bar{b} \cdot \bar{c}$.

**5.47.** Diseñar un convertidor de código que pase números decimales codificados en BCD Aiken al código BCD natural. Utilizar para su implementación solamente circuitos sumadores totales de cuatro bits tipo 7483.

**Solución:** Figura 5.64.



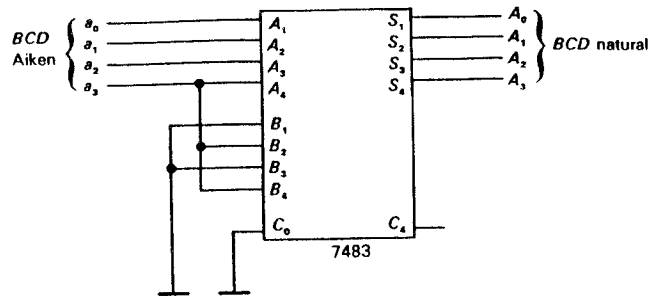



**Figura 5.64.** Resultado del Problema 5.47.

**5.48.** Diseñar un convertidor de código BCD exceso en tres a BCD natural utilizando un 7483 (sumador total de cuatro bits).

**Solución:** Figura 5.65.

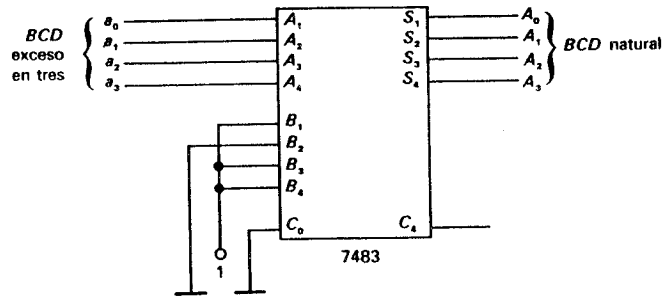



**Figura 5.65.** Resultado del Problema 5.48.

# CAPITULO 6

# Circuitos secuenciales

## 6.1. INTRODUCCION

Los circuitos secuenciales se caracterizan por su capacidad para memorizar información; en consecuencia, los valores de las salidas, en un determinado momento, no dependen exclusivamente de los valores de las entradas en ese instante, sino que dependen también de los que estuvieran presentes con anterioridad.

Los dispositivos secuenciales más elementales son los **biestables**, a los que dedicaremos buena parte de este capítulo. Mediante la unión de varios biestables es posible construir otros dispositivos de mayor complejidad, como son los **contadores** y los **registros de desplazamiento**, que también serán tratados aquí. El estudio de **memorias** de gran capacidad, empleadas en sistemas digitales programables, será abordado, posteriormente, en otro capítulo de este mismo libro.

## 6.2. BIESTABLES

Los biestables son circuitos secuenciales constituidos por puertas lógicas y capaces de almacenar un bit, que, como es sabido, es la información binaria más elemental. Los biestables pueden ser **síncronos** o **asíncronos**. Los primeros necesitan una señal de reloj para ser activados. La activación se puede producir por la presencia de un determinado **nivel** lógico en dicha entrada o por el **flanco** de subida o de bajada de la señal de reloj.

La clasificación de los biestables, desde el punto de vista de su constitución y del número de entradas, puede resumirse en: **biestable R-S**, **biestable J-K**, **biestable T** y **biestable D**.

## 6.3. BIESTABLES ASINCRONOS

En la Figura 6.1 se muestra un **biestable R-S** construido con dos puertas NOR, así como su representación simbólica. También se puede construir con dos puertas NAND. La Tabla 6.1 contiene los estados estables de dicho dispositivo para cada una de las combinaciones posibles a la entrada. $Q_n$ es el valor de la salida $Q_1$ en el estado anterior, mientras que $Q_{n+1}$ es el valor de la salida en el estado presente. $Q_1$ y $Q_2$ son siempre complementarias menos cuando las entradas $R$ y $S$ valen simultáneamente uno.





La Tabla 6.2 corresponde a un **biestable J-K**, en el cual se ha eliminado el defecto de funcionamiento del $R$-$S$ cuando las dos entradas valen 1. En este caso, $Q_1$ y $Q_2$ siempre son complementarias. Si en un biestable $J$-$K$ se unen las dos entradas, obtenemos otro dispositivo diferente conocido como **biestable T**, cuya tabla de verdad se muestra en la Tabla 6.3.

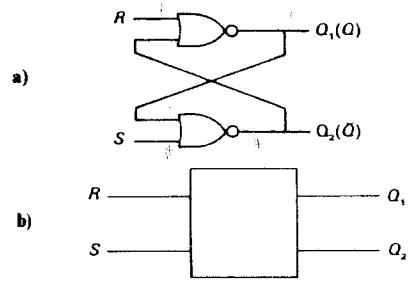



**Figura 6.1.** Biestable $R$-$S$. **a)** Constitución con puertas NOR. **b)** Representación simbólica.

**Tabla 6.1.** Tabla de verdad biestable $R$-$S$ construido con NOR

| $R$ | $S$ | $Q_n$ | $Q_{n+1}$ |
|---|---|---|---|
| 0 | 0 | 0 | 0 ($Q_n$) |
| 0 | 0 | 1 | 1 ($Q_n$) |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |

**Tabla 6.2.** Tabla de verdad biestable $J$-$K$

| $J$ | $K$ | $Q_n$ | $Q_{n+1}$ |
|---|---|---|---|
| 0 | 0 | 0 | 0($Q_n$) |
| 0 | 0 | 1 | 1($Q_n$) |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

**Tabla 6.3.** Tabla de verdad biestable $T$

| $T$ | $Q_n$ | $Q_{n+1}$ |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

## 6.4. BIESTABLES SINCRONOS ACTIVADOS POR NIVEL

En la Figura 6.2 se muestra el diagrama lógico de un **biestable R-S síncrono** y en la Figura 6.3 aparecen los diagramas de tiempo que facilitan la comprensión del funcionamiento de este circuito.

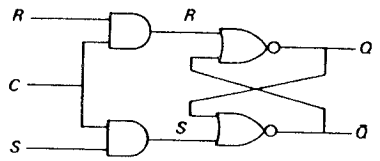



**Figura 6.2.** Biestable *R-S* síncrono activado por nivel.

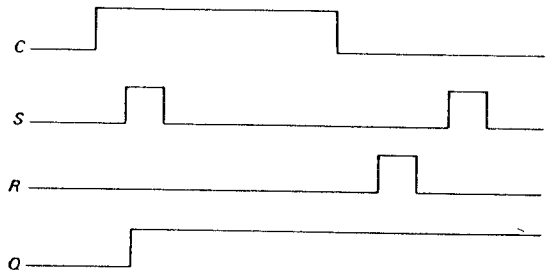



**Figura 6.3.** Diagrama de tiempo de un biestable *R-S* síncrono activado por nivel.

El **biestable D activado por nivel**, cuya tabla de verdad se muestra en la Tabla 6.4, se caracteriza por mantener en la salida el mismo valor que en la entrada, siempre y cuando la entrada de reloj permaneza activa. Por este motivo es conocido con el nombre de *latch* o cerrojo.

El nivel activo puede ser el 1 (como en el caso de la Tabla 6.4) o el 0.

**Tabla 6.4.** Tabla de verdad de un biestable *D*

| $D$ | $C$ | $Q_n$ | $Q_{n+1}$ |
|---|---|---|---|
| 0 | 0 | 0 | 0 ($Q_n$) |
| 0 | 0 | 1 | 1 ($Q_n$) |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 ($Q_n$) |
| 1 | 0 | 1 | 1 ($Q_n$) |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |



## 6.5. BIESTABLES SINCRONOS ACTIVADOS POR FLANCO

En la Figura 6.4 se muestran los símbolos de los biestables síncronos activados por flanco, bien de subida, bien de bajada. Estos son los biestables más complejos de todos los que se vienen analizando. Existe una gran variedad de circuitos integrados comerciales que son conocidos como *flip-flops* y que adoptan alguna de estas dos configuraciones: ***edge triggered*** (disparo por flanco) o *master-slave* (maestro-esclavo). En la Figura 6.5 se muestra un modelo para comprender fácilmente el funcionamiento de este último dispositivo. Cuando la señal de reloj pasa de nivel cero a nivel uno, la información presente en las entradas *R* y *S* del circuito entra al primer biestable, denominado *master*, a través de las puertas $Y_1$ e $Y_2$. Al pasar la señal de reloj a nivel cero, la información almacenada en el *master* pasa al *slave*.

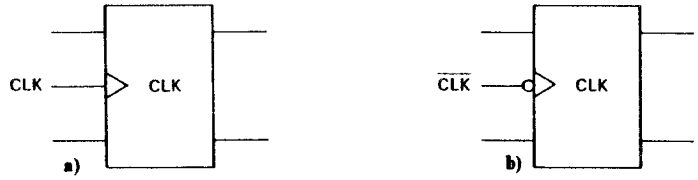



**Figura 6.4.** Representación simbólica de los biestables activados por flanco. **a)** Disparo por flanco de subida. **b)** Disparo por flanco de bajada.

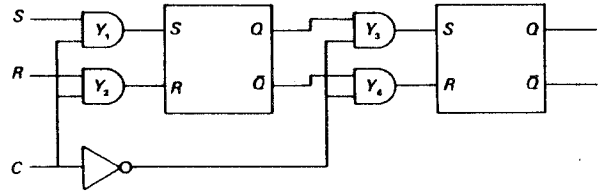



**Figura 6.5.** Biestable *R-S master-slave*.

En la Figura 6.6 se muestra el diagrama lógico del circuito 7474, correspondiente a un **biestable D activado por flanco de subida.**

En la Figura 6.7 se muestra la tabla de función y el diagrama de conexión del circuito 7473, que, como se puede observar, corresponde a un doble **biestable J-K, *master-slave***. Los valores $Q_0$ y $\bar{Q}_0$ de la tabla indican el estado de las salidas, anterior a la aplicación del impulso de reloj. El estado de *toggle* indica que las salidas tomarán el valor complementario al que tuvieran previamente cada vez que aparezca un impulso de reloj.

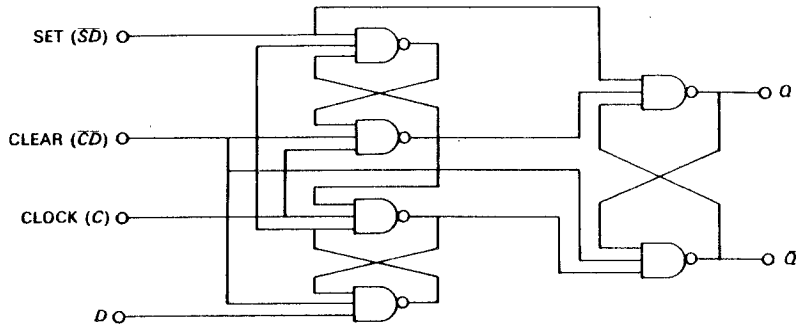
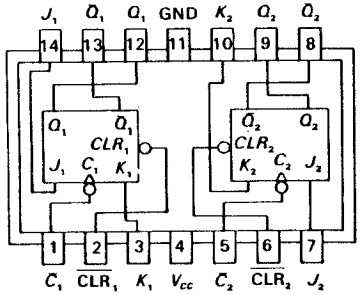



**Figura 6.6.** Biestable *D* activado por flanco (*edge-triggered*) 7474.




a)

| Entradas | | | | Salidas | |
|---|---|---|---|---|---|
| *CLR* | *C* | *J* | *K* | *Q* | $\overline{Q}$ |
| L | × | × | × | L | H |
| H | ⊓ | L | L | $Q_0$ | $\overline{Q}_0$ |
| H | ⊓ | H | L | H | L |
| H | ⊓ | L | H | L | H |
| H | ⊓ | H | H | *Toggle* | |

b)

**Figura 6.7.** Circuito 7473 **a)** Diagrama de conexión. **b)** Tabla de función.

## 6.6. CONTADORES

Un contador es un circuito secuencial cuyas salidas representan, en un determinado código, el número de impulsos que se aplican a la entrada. Tanto los contadores disponibles en circuito integrado como los construidos con bloques más elementales están constituidos por una serie de biestables interconectados. Los contadores pueden ser **ascendentes**, si su contenido se incrementa con cada impulso, o **descendentes**, si su contenido disminuye. Existen dispositivos que pueden realizar las dos funciones (*up/down counters*).

Por otra parte, los contadores se dividen en **síncronos** y **asíncronos**. En los primeros, la señal de reloj se aplica simultáneamente a todos los biestables. En los asíncronos se aplica a la primera etapa, la salida de ésta a la entrada de la siguiente, y así sucesivamente.



Existen contadores **binarios y decimales** o contadores de décadas. En los primeros, el número posible de estados a su salida es múltiplo de dos, mientras que en los otros es múltiplo de 10. El término módulo es utilizado para definir los contadores que no son ni binarios ni decimales, aunque también puede emplearse para referirse a todos ellos.

En la Figura 6.8 se muestra el diagrama de bloques del circuito 7493, que es un **contador asíncrono binario** formado por cuatro biestables *J-K* disparados por flanco de bajada. Tiene dos entradas de reloj, lo cual le confiere una mayor flexibilidad. En las Tablas 6.5 y 6.6 se muestran las tablas de verdad y de selección, respectivamente.

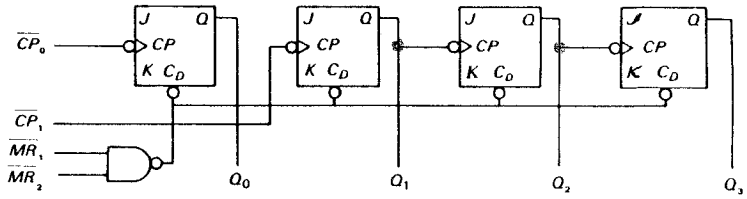



**Figura 6.8.** Diagrama de bloques del *CI* 7493.

**Tabla 6.5.** Tabla de verdad del contador 7493

| Cuenta | Salidas | | | |
|---|---|---|---|---|
| | $Q_3$ | $Q_2$ | $Q_1$ | $Q_0$ |
| 0 | L | L | L | L |
| 1 | L | L | L | H |
| 2 | L | L | H | L |
| 3 | L | L | H | H |
| 4 | L | H | L | L |
| 5 | L | H | L | H |
| 6 | L | H | H | L |
| 7 | L | H | H | H |
| 8 | H | L | L | L |
| 9 | H | L | L | H |
| 10 | H | L | H | L |
| 11 | H | L | H | H |
| 12 | H | H | L | L |
| 13 | H | H | L | H |
| 14 | H | H | H | L |
| 15 | H | H | H | H |

**Tabla 6.6.** Tabla de selección del contador 7493

| Entrada de selección | | Salidas | | | |
|---|---|---|---|---|---|
| $MR_1$ | $MR_2$ | $Q_0$ | $Q_1$ | $Q_2$ | $Q_3$ |
| H | H | L | L | L | L |
| L | × | Cuenta | | | |
| × | L | Cuenta | | | |

Existen contadores de una gran complejidad capaces de ser programados. Este es el caso del **contador síncrono binario 74163**, cuyo diagrama de conexión se muestra en la Figura 6.9. *CEP* y *CET* son dos entradas de inhibición. Para que el dispositivo cuente, han de estar las dos a nivel

alto. $\overline{PE}$ es una entrada de control para cargar a las salidas $Q_0$-$Q_3$ la información presente en las entradas en paralelo $P_0$-$P_3$. $TC$ es una salida de arrastre o desbordamiento y $CP$ es la entrada de reloj. $\overline{SR}$ es una entrada de borrado o puesta a cero de todas las salidas.

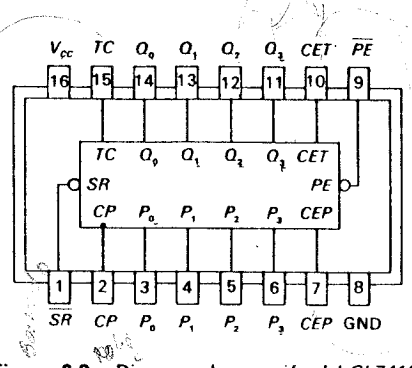



**Figura 6.9.** Diagrama de conexión del *CI* 74163.

## 6.7. REGISTROS DE DESPLAZAMIENTO

Los registros de desplazamiento, al igual que los contadores, son circuitos secuenciales de aplicación general; están constituidos por una serie de biestables conectados en cascada. Los registros son capaces de almacenar una palabra binaria formada por tantos bits como biestables contenga. Además de almacenar información, los registros también tienen capacidad para transmitir o recibir datos en serie. Según su forma de funcionamiento, los registros se dividen en:

- Entrada serie, salida serie.
- Entrada paralelo, salida paralelo.
- Entrada serie, salida paralelo.
- Entrada paralelo, salida serie.

El dispositivo más sencillo es el que recibe la información en serie y la transmite también en serie. En la Figura 6.10 se muestra un registro de estas características formado por cuatro biestables $D$ disparados por flanco de subida.

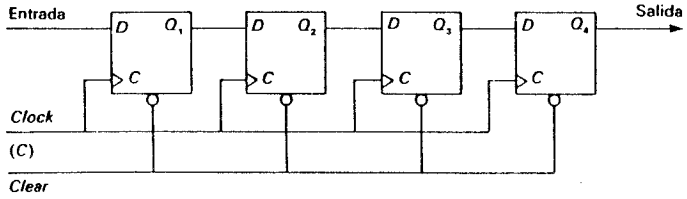



**Figura 6.10.** Registro de desplazamiento serie-serie de cuatro bits.



Lo mismo que en el caso de los contadores, existen circuitos integrados que contienen registros de desplazamiento de una gran complejidad. El circuito 74194 es un **registro bidireccional** (puede desplazar la información en ambos sentidos) de cuatro bits que tiene la posibilidad de funcionar de todas las formas posibles indicadas más arriba. En la Figura 6.11 se muestra el diagrama de conexión. $D_0$-$D_3$ son las entradas de datos en paralelo. $S_0$-$S_1$ son las entradas de control. En la Tabla 6.7 se muestran las formas de operar en función de la combinación binaria presente en dichas entradas. $DSR$ es la entrada de datos en serie cuando se desea un desplazamiento hacia la derecha. $DSL$ es la entrada de datos en serie cuando se desea un desplazamiento hacia la izquierda. $CP$ es la entrada de la señal de reloj. $\overline{MR}$ es una entrada de borrado para poner a cero todas las salidas $Q_0$-$Q_3$.

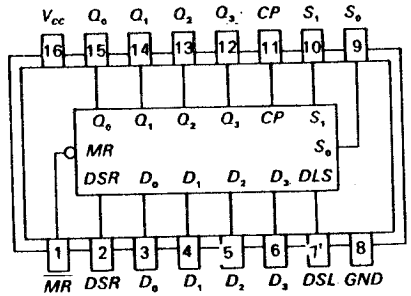



**Figura 6.11.** Diagrama de conexión del *CI* 74194.

**Tabla 6.7.** Tabla de selección del registro de desplazamiento universal 74194

| $S_0$ | $S_1$ | Tipo de operación |
|---|---|---|
| 1 | 1 | Carga la información presente en las entradas $D_0 \div D_3$ en las salidas $Q_0 \div Q_3$. |
| 0 | 1 | Desplazamiento a la izquierda ($Q_3 \rightarrow Q_0$). |
| 1 | 0 | Desplazamiento a la derecha ($Q_0 \rightarrow Q_3$). |
| 0 | 0 | Inhibición de los impulsos de desplazamiento. |

## PROBLEMAS RESUELTOS

**6.1.** Construir un biestable $R$-$S$ asíncrono, mediante puertas NAND, equivalente al de la Figura 6.1. ¿Se obtienen con este circuito los mismos resultados recogidos en la Tabla 6.1, que con el de la Figura 6.1?

**Solución:** El circuito que se muestra en la Figura 6.12 es un biestable $R$-$S$ asíncrono equivalente al de la Figura 6.1. Obsérvese que las entradas $R$ y $S$ están negadas.

La tabla de verdad de este circuito es exactamente igual que la de la Tabla 6.1, salvo en el caso en que $R = S = 1$. Aquí, el valor de $Q_{n+1}$ es 1, sea cual sea el valor de $Q_n$.

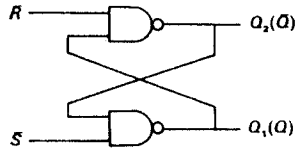



**Figura 6.12.** Biestable $R$-$S$ construido con puertas NAND.

**6.2.** Representar simbólicamente un biestable asíncrono $J$-$K$.

**Solución:** Figura 6.13.

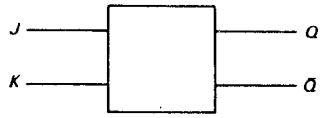



**Figura 6.13.** Biestable $J$-$K$ asíncrono.

**6.3.** Diseñar un circuito mediante biestables que divida entre 4 la señal simétrica digital aplicada a la entrada.

**Solución:** Si se observa detenidamente la Tabla 6.3, correspondiente a un biestable $T$, podremos comprobar que cuando el valor aplicado a la entrada $T$ es 0, la salida $Q$ permanece invariable; sin embargo, cuando es 1, la salida cambia de valor; es decir, niega el valor que tuviera anteriormente.

La conclusión es que para que aparezca un ciclo completo a la salida del dispositivo, es necesario aplicar dos a la entrada. El biestable $T$ es, en consecuencia, un divisor de frecuencia. Estos dispositivos pueden aplicarse en cascada, de manera que cada etapa divide entre 2. Por tanto, para dividir entre 4 es necesario acoplar dos biestables $T$, tal como se muestra en la Figura 6.14.

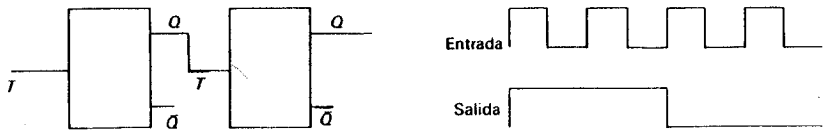



**Figura 6.14.** Divisor de frecuencia entre 4.



**6.4.** Dibujar el diagrama de bloques de un biestable $J$-$K$ síncrono activado por nivel.

**Solución:** Figura 6.15.

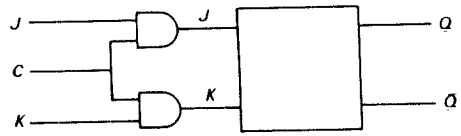



**Figura 6.15.** Biestable $J$-$K$ síncrono activado por nivel.

**6.5.** Observando la Figura 6.4, representar simbólicamente un biestable $J$-$K$ activado por flanco de bajada y un biestable $T$ activado por flanco de subida.

**Solución:** Figuras 6.16 y 6.17.

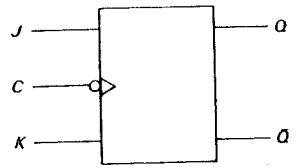



**Figura 6.16.** Biestable $J$-$K$ activado por flanco de bajada.

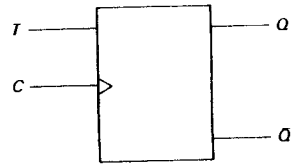



**Figura 6.17.** Biestable $T$ activado por flanco de subida.

**6.6.** Observando los valores de la Tabla 6.4, correspondiente a un biestable $D$ donde el nivel activo de la señal de reloj es el 1, y dada la evolución en el tiempo de las señales de entrada que aparecen en la Figura 6.18, dibujar los diagramas de tiempo (cronogramas) de las salidas de este dispositivo.

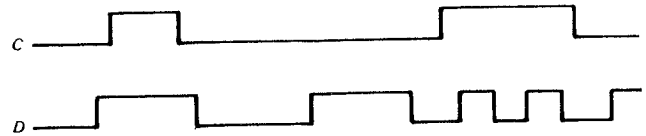



**Figura 6.18.** Cronograma de entradas del Problema 6.6.

**Solución:** Como se puede comprobar, la salida sigue a la entrada, siempre que la señal de reloj permanezca a nivel alto (nivel activo, en este caso). Cuando la señal de reloj pasa a nivel bajo, la salida mantiene el valor anterior y no se altera aunque cambie la entrada. Por esta razón, el dispositivo recibe el nombre de *latch* o cerrojo. En la Figura 6.19 aparece el cronograma con las entradas y respuestas del biestable.

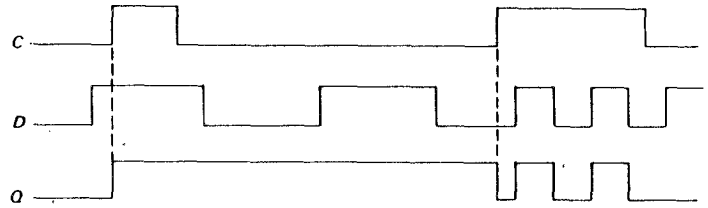



**Figura 6.19.** Diagrama de tiempos del Problema 6.6.

**6.7.** Si a un biestable *D* del tipo 7474 se le introducen las señales del cronograma de la Figura 6.20, dibujar las señales que se obtienen en su salida *Q*.

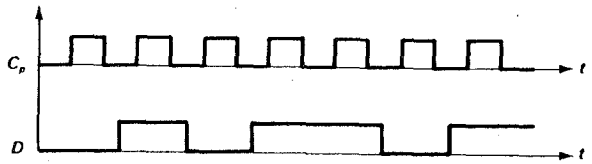



**Figura 6.20.** Cronograma de entradas del Problema 6.7.

**Solución:** El 7474 es un circuito integrado que contiene dos biestables síncronos activos por flanco ascendente (véase Apéndice); por tanto, la salida sólo cambiará en la transición de 0 a 1 de la señal de reloj.

Aplicando la tabla de verdad del biestable *D* que se indicó en la Tabla 6.4, la salida que se obtiene es la que aparece en la Figura 6.21.

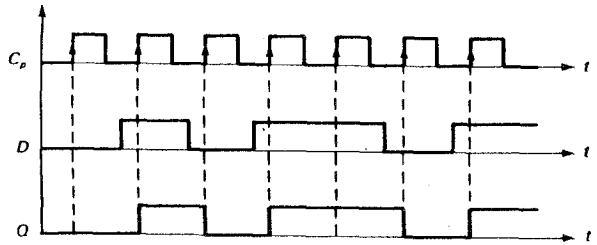



**Figura 6.21.** Cronograma de entradas y salidas del Problema 6.7.



**6.8.** Introduciendo las señales del cronograma de la Figura 6.22 a uno de los dos biestables *J-K* que hay en una pastilla del tipo 7476, obtener las señales en la salida *Q*.

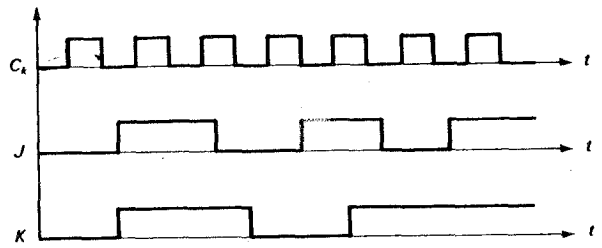



**Figura 6.22.** Cronograma de entradas del Problema 6.8.

**Solución:** Por ser un biestable síncrono activo al flanco de bajada, la salida sólo cambiará en la transición de 1 a 0 de a señal de reloj. Por tanto, de acuerdo con la tabla de función del biestable *J-K*, la salida que se obtiene es la de la Figura 6.23.

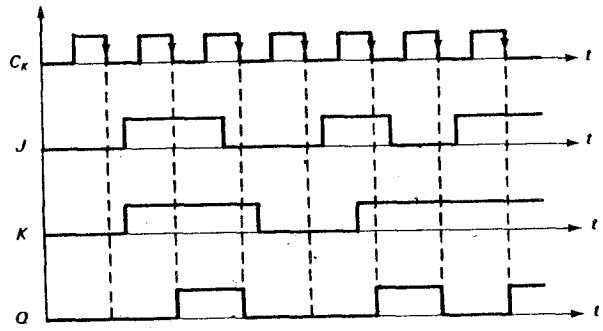



**Figura 6.23.** Cronograma de entradas y salidas del Problema 6.8.

**6.9.** Obtener las señales que se producen en las salidas del circuito de la Figura 6.24 cuando se introduce en su entrada una onda cuadrada de frecuencia constante.

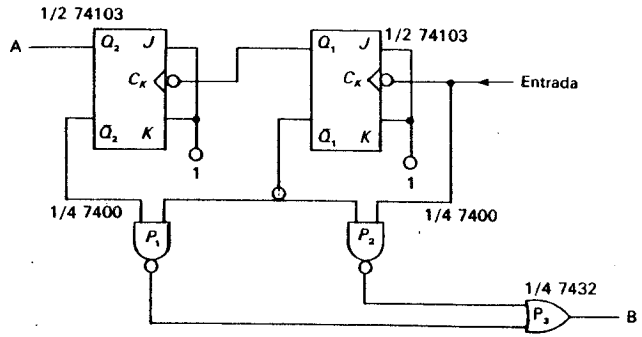



**Figura 6.24.** Circuito del Problema 6.9.

**Solución:** Supondremos que inicialmente se dio a los dos biestables de circuito una orden de *clear* o borrado obligatorio, con lo cual, ambos biestables presentan su salida $Q$ a nivel bajo o 0, mientras que su salida $\bar{Q}$ estará a nivel alto o 1.

En el primer biestable, sus entradas $J$ y $K$ están a 1 permanentemente. Teniendo en cuenta que es activo al flanco de bajada de su señal de reloj y que ésta es la señal de entrada, podremos asegurar que en los flancos de bajada de la entrada negará el estado anterior de sus salidas, obteniéndose las señales $Q_1$ y $\bar{Q}_1$, que aparecen en el cronograma de la Figura 6.25.

De modo similar, tendremos las señales $Q_2$ y $\bar{Q}_2$ sin más que tomar como señal de reloj $Q_1$.

Seguidamente obtendremos, punto a punto, las salidas de las puertas $P_1$, $P_2$ y $P_3$, realizando las operaciones lógicas por ellas definidas entre sus señales de entrada. Los resultados de estas operaciones están indicados en la Figura 6.25.

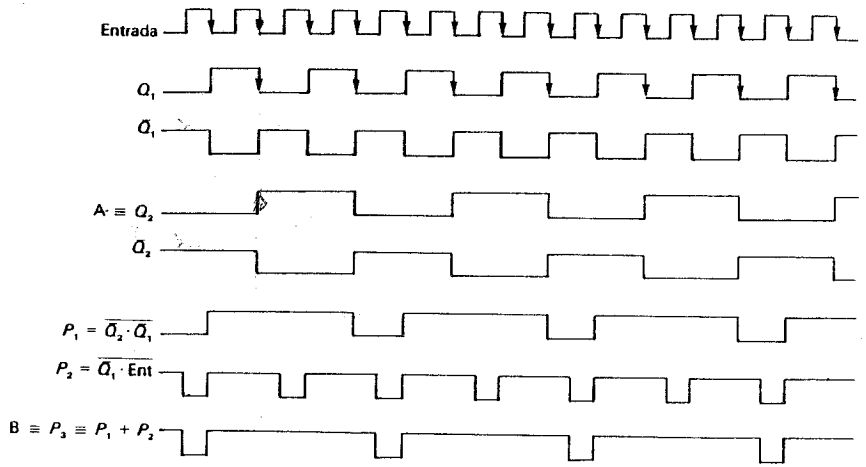



**Figura 6.25.** Cronograma del Problema 6.9.



**6.10.** Sabiendo que en la entrada del circuito de la Figura 6.26 introducimos una onda cuadrada de frecuencia constante, obtener las señales que se producen en las salidas del circuito.

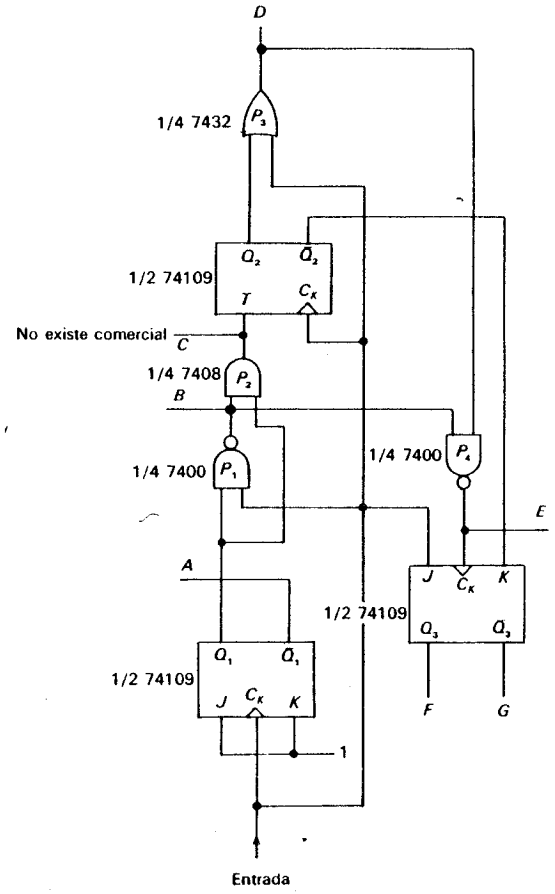



**Figura 6.26.** Circuito del Problema 6.10.

**Solución:** Procediendo de forma similar al Problema 6.9, se podrán ir obteniendo las señales de salida de los biestables y puertas lógicas. Hay que destacar que en esta ocasión los biestables son activos al flanco de subida de sus respectivas señales de reloj. En la Figura 6.27 aparecen las diferentes señales del circuito.

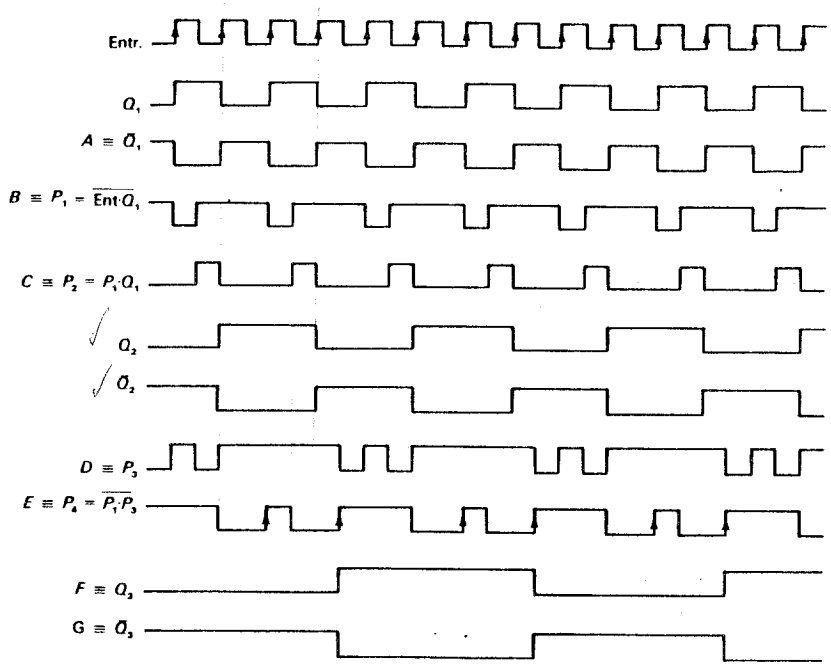



**Figura 6.27.** Cronograma del Problema 6.10.

**6.11.** Dado el cronograma de la Figura 6.28, que corresponde a un biestable, obtener su tabla de funcionamiento e indicar el tipo de biestable de que se trata. Enumerar también alguno de los tipos comerciales que existen en tecnología *TTL*.

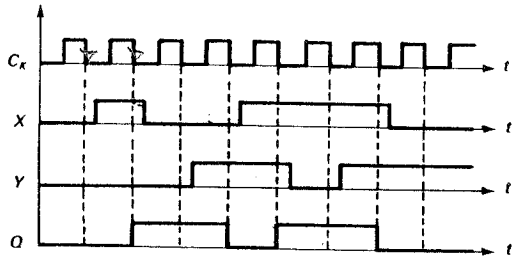



**Figura 6.28.** Cronograma de funcionamiento del Problema 6.11.



**Solución:** Si se observa el cronograma, se puede apreciar que las salidas cambian sólo en los flancos descendentes de la señal de reloj, por lo que se puede decidir que es un biestable síncrono activo al flanco de bajada. A partir de este cronograma se puede obtener también la Tabla de funcionamiento 6.8.

**Tabla 6.8.** Tabla de funcionamiento del Problema 6.11

| $X$ | $Y$ | $Q_t$ | $Q_{t+1}$ |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

La tabla anterior puede simplificarse expresando la salida $Q_{t+1}$ en función de $Q_t$; se obtiene asi la Tabla 6.9.

**Tabla 6.9.** Tabla simplificada del Problema 6.11

| $X$ | $Y$ | $Q_{t+1}$ |
|---|---|---|
| 0 | 0 | $Q_t$ |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | $\bar{Q}_t$ |

Esta tabla, como se puede comprobar, coincide con la tabla de verdad de un biestable *J-K*, donde $X = J$ e $Y = K$.

Manejando un catálogo comercial de circuitos *TTL* se pueden sacar los siguientes *chips* con biestables *J-K* sincronos activos por flanco de bajada: 7473, 7476, 7478, 74103, 74106, 74107, 74112 y 74113.

**6.12.** Construir un biestable *J-K* asincrono a partir de una báscula *R-S* formado por puertas NOR.

**Solución:** La solución del problema se reduce a diseñar el circuito combinacional para que el conjunto (circuito combinacional más biestable *R-S*) se comporte como un biestable *J-K*. En la Figura 6.29 se muestra el diagrama de bloques.

Para realizar este diseño hay que comenzar por construir la correspondiente tabla de la verdad. Las variables de entrada al circuito serán *J*, *K*, y las de estado interno $q(Q)$ y $\bar{q}(\bar{Q})$. Las salidas del circuito serán *R* y *S*.

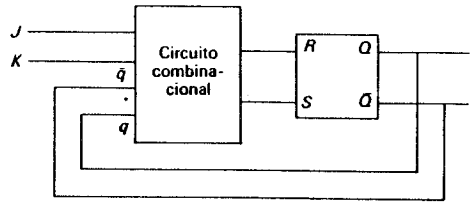



**Figura 6.29.** Diagrama de bloques de un biestable *J-K* construido a partir de un *R-S*

Observando las tablas de los biestables *R-S* y *J-K* que aparecen en las Tablas 6.1 y 6.2, respectivamente, podemos construir la Tabla 6.10, indicando cuáles deben ser los valores de las entradas *R-S* del biestable para cada una de las posibles combinaciones binarias a las que dan lugar las variables *J*, *K* y $Q_n$.

**Tabla 6.10.** Tabla de verdad del circuito combinacional necesario para construir un biestable *J-K* a partir de un *R-S*

| *J* | *K* | $Q_n$ | *R* | *S* |
|---|---|---|---|---|
| 0 | 0 | 0 | × | 0 |
| 0 | 0 | 1 | 0 | × |
| 0 | 1 | 0 | × | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | × |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

Para comprender cómo se ha construido esta tabla, fijémonos en la primera línea de valores:

- Observando la Tabla 6.2 (tabla del *J-K*), comprobamos que, para los valores $J = K = Q_n = 0$, la transición del estado pasado al estado presente es $Q_n = 0 \rightarrow Q_{n+1} = 0$. Si observamos ahora la Tabla 6.1 (tabla del *R-S*), comprobamos que la transición $Q_n = 0 \rightarrow Q_{n+1} = 0$ se efectúa con los valores $R = S = 0$ y, además, con $R = 1$ y $S = 0$.
- El valor de *R*, por tanto, es indiferente (×), mientras que el valor de la entrada *S* de la báscula debe ser forzosamente $S = 0$.

Utilizando el método de Karnaugh podemos obtener las funciones *R* y *S* simplificadas (Fig. 6.30).

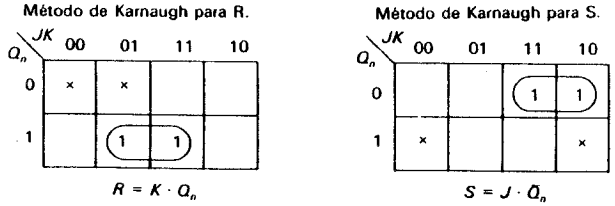



**Figura 6.30.** Mapas de Karnaugh del Problema 6.12.



El circuito completo se muestra en la Figura 6.31.

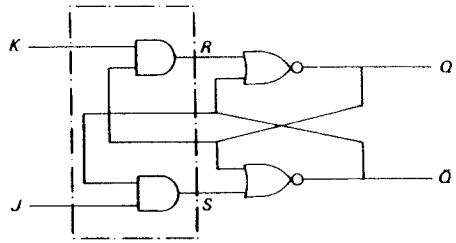



**Figura 6.31.** Biestable *J-K* asíncrono.

**6.13.** Construir un *latch* tipo *D* a partir de un *R-S* NOR.

**Solución:** De las Tablas 6.1 y 6.4, con el mismo procedimiento que en el caso anterior, podemos obetener la Tabla 6.11.

**Tabla 6.11.** Tabla de verdad del circuito combinacional necesario para construir un biestable *D* con un *R-S* NOR

| *C* | *D* | $Q_n$ | *R* | *S* |
|---|---|---|---|---|
| 0 | 0 | 0 | × | 0 |
| 0 | 0 | 1 | 0 | × |
| 0 | 1 | 0 | × | 0 |
| 0 | 1 | 1 | 0 | × |
| 1 | 0 | 0 | × | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | × |

Las funciones, obtenidas de la Tabla 6.10. serán las mostradas en la Figura 6.32.

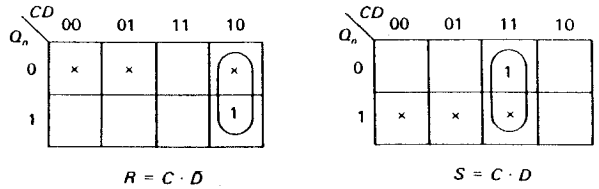



**Figura 6.32.** Mapas de Karnaugh del Problema 6.13.

El circuito se muestra en la Figura 6.33.

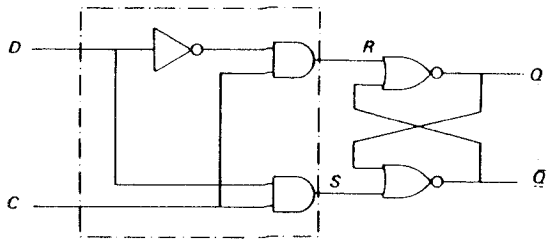



**Figura 6.33.** Biestable *D* activado por nivel (*latch D*).

**6.14.** Construir un biestable *T* asíncrono a partir de una báscula *RS* formada por puertas NOR.

**Solución:** De las Tablas 6.1 y 6.3, de manera análoga a la de los casos anteriores, obtenemos la Tabla 6.12.

**Tabla 6.12.** Tabla de verdad del circuito combinacional necesario para construir un biestable *T* a partir de una báscula *RS* con puertas NOR

| *T* | $Q_n$ | *R* | *S* |
|---|---|---|---|
| 0 | 0 | × | 0 |
| 0 | 1 | 0 | × |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

Las funciones *R* y *S* simplificadas serán las que aparecen en la Figura 6.34.

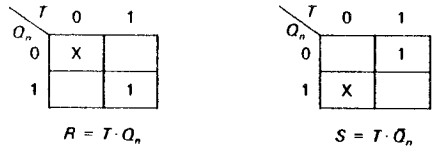



**Figura 6.34.** Mapas de Karnaugh del Problema 6.14.

El circuito completo se muestra en la Figura 6.35.



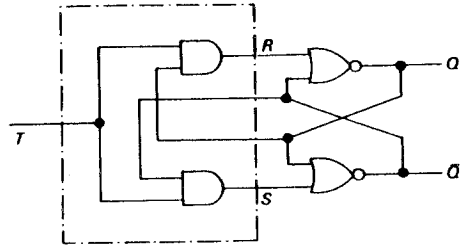



**Figura 6.35.** Resultado del Problema 6.14.

**6.15.** Partiendo de un biestable *T* síncrono, realizar un biestable tipo *D* síncrono.

**Solución:** En la Figura 6.36 aparece el diagrama de bloques del circuito a realizar:

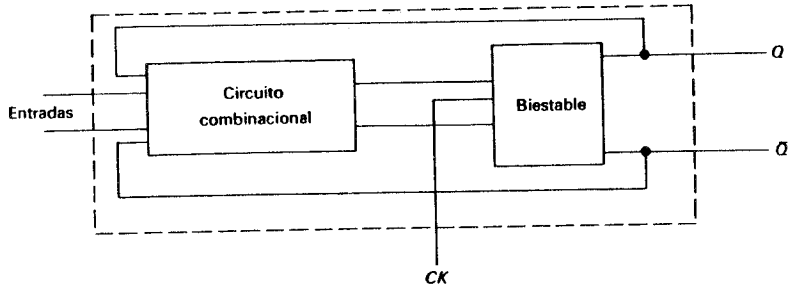



**Figura 6.36.** Diagrama de bloques para la transformación de un tipo de biestable en otro.

Partiendo de la citada figura y de las tablas de verdad de los biestables *D* y *T*, obtendremos la tabla de verdad del circuito combinacional a implementar (Tabla 6.13).

**Tabla 6.13.** Tabla de verdad del Problema 6.15

| *T* | $Q_t \rightarrow Q_{t+1}$ | | *D* |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |

Aplicando Karnaugh, tal y como aparece en la Figura 6.37, obtendremos la ecuación de la función combinacional a implementar.

Aplicando Karnaugh, se obtiene la ecuación correspondiente al circuito de entrada del biestable $D$ (Fig. 6.41).

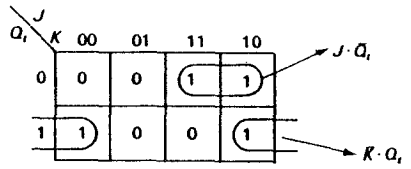



**Figura 6.41.** Mapa de Karnaugh del Problema 6.17.

$$D = \bar{Q}_t \cdot J + Q_t \cdot \bar{K}$$

El circuito final será el de la Figura 6.42.

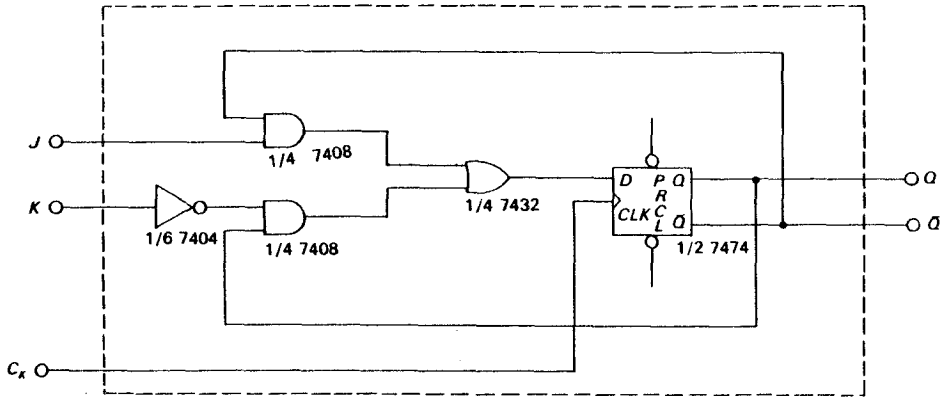



**Figura 6.42.** Construcción de un *JKC* partiendo de un *DC*.

**6.18.** Dado un biestable denominado genéricamente $X$-$Y$, del que se conoce su cronograma de funcionamiento (Fig. 6.43), implementar dicho biestable a partir de un $J$-$K$ síncrono.



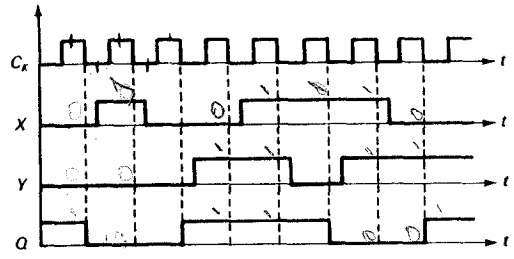



**Figura 6.43.** Cronograma del biestable $X$-$Y$ del Problema 6.18.

**Solución:** A la vista del cronograma de la Figura 6.43, es fácilmente comprobable que la salida $Q$ cambia en el flanco de bajada de la señal del reloj; por tanto, se puede asegurar que el biestable es activo al flanco de bajada.

Una vez que se sabe el tipo de sincronismo, es muy fácil obtener la tabla de verdad que nos indica $Q_{t+1}$ en función de $Q_t$, $X$ e $Y$, tal y como se muestra en la Tabla 6.16.

**Tabla 6.16.** Tabla de verdad del Problema 6.18.

| $X$ | $Y$ | $Q_t$ | $Q_{t+1}$ |
|---|---|---|---|
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

De la Tabla 6.16 se puede pasar a la Tabla 6.17, que es una simplificación de la misma.

**Tabla 6.17.** Tabla simplificada del Problema 6.18

| $X$ | $Y$ | $Q_{t+1}$ |
|---|---|---|
| 0 | 0 | $\bar{Q}_t$ |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | $Q_t$ |

De esta última tabla, que corresponde a la de verdad del circuito en conjunto, se puede obtener la del circuito combinacional a implementar junto con el biestable *J-K* (Tabla 6.18).

**Tabla 6.18.** Tabla del circuito a implementar

| $X$ | $Y$ | $Q_t \rightarrow Q_{t+1}$ | | $J$ | $K$ |
|---|---|---|---|---|---|
| 1 | × | 0 | 0 | 0 | × |
| 0 | × | 0 | 1 | 1 | × |
| × | 0 | 1 | 0 | × | 1 |
| × | 1 | 1 | 1 | × | 0 |

A continuación obtendremos las ecuaciones de las entradas $J$ y $K$ al biestable en función de las entradas $X$ e $Y$ del circuito y de la salida $Q_t$, para lo cual emplearemos los mapas de Karnaugh de la Figura 6.44:

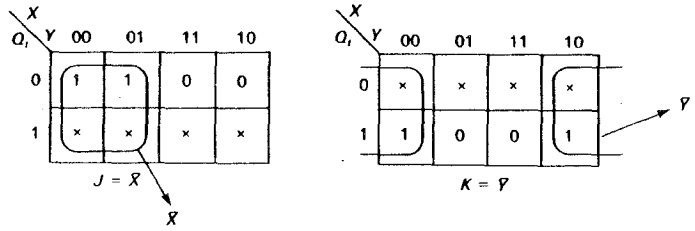



**Figura 6.44.** Mapas de Karnaugh del Problema 6.18.

Por tanto, el circuito que se comporta como un biestable *X-Y* partiendo de uno del tipo *J-K* es el que se muestra en la Figura 6.45.

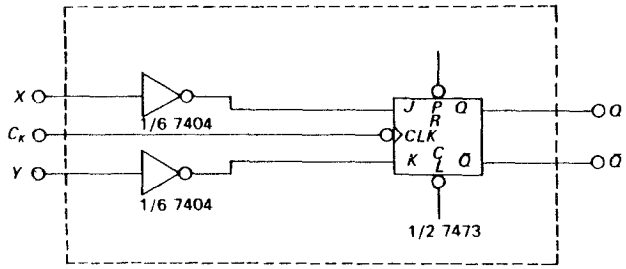



**Figura 6.45.** Resultado del Problema 6.18.



**6.19.** Diseñar un contador asíncrono que cuente cíclicamente de 0 a 9 (del 9 pasa al 0). Para la construcción del circuito se dispone de biestables *J-K* síncronos que se activan con el flanco de bajada de la señal de reloj. Estos dispositivos disponen de una entrada de borrado, *CLR* (*clear*), análoga a la de los biestables del contador 7493, cuyo nivel activo es el 0.

**Solución:** Se trata de diseñar un contador de décadas cuya capacidad sea de diez impulsos. Como el número de estados posibles es superior a 8 e inferior a 16, son necesarios cuatro biestables conectados en serie. Para que el contador pase automáticamente del estado 1001 (9 decimal) al 0000 (0 decimal), es necesario poner a 0 todas sus salidas en el mismo instante en que aparece la combinación 1010.

Esta operación se consigue mediante una puerta NAND de dos entradas conectadas tal como aparece en la Figura 6.46. Este método es válido para la construcción de contadores de distinto módulo.

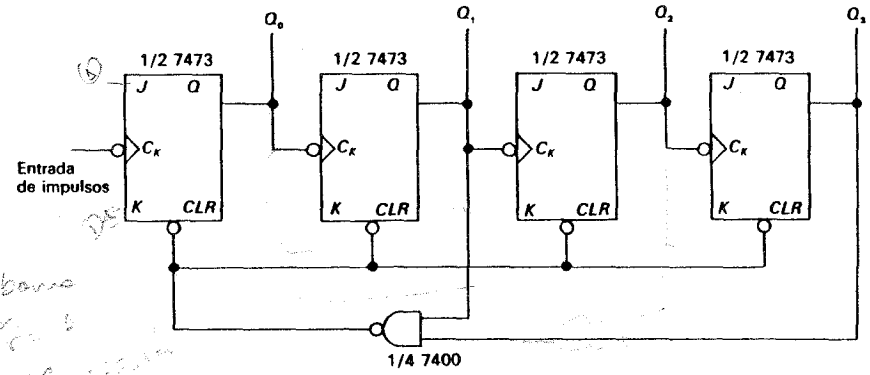



**Figura 6.46.** Contador del Problema 6.19.

**6.20.** Dibujar los cronogramas o diagramas de tiempo del contador 7493, suponiendo que se une la salida $Q_0$ a la entrada de reloj $\overline{CP}_1$.

**Solución:** Observando la Tabla 6.5 y teniendo en cuenta que los biestables que constituyen el contador se activan con el flanco de bajada de la señal de reloj, las formas de onda de cada una de las salidas serán las que se muestran en la Figura 6.47.

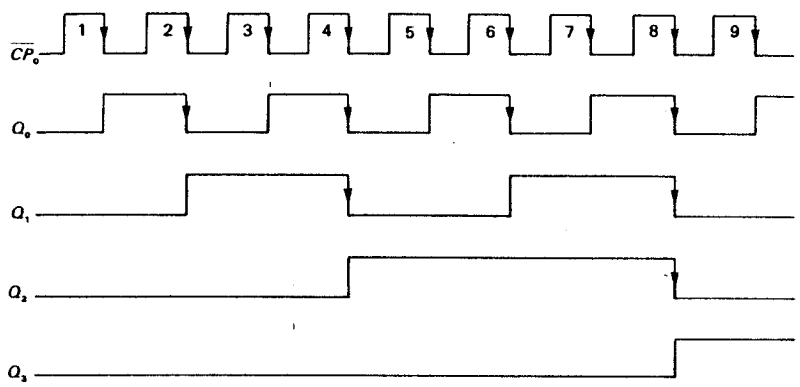



**Figura 6.47.** Diagrama de tiempo del contador 7493.

**6.21.** Utilizando el circuito 7493, construir un contador de 0 a 9 (módulo 10).

**Solución:** Como en el caso del Problema 6.19, es necesario que cuando aparezca la combinación 1010 en las salidas $Q_3$, $Q_2$, $Q_1$ y $Q_0$ del contador, el dispositivo pase automáticamente a 0. El 7493, como es sabido, dispone de dos entradas de selección que cuando se encuentran ambas a nivel alto pone a 0 todas las salidas. Por tanto, conectando las salidas $Q_3$ y $Q_1$ a las entradas $MR_1$ y $MR_2$, tal y como se muestra en la Figura 6.48, obtendremos el circuito deseado sin necesidad de añadir elementos externos.

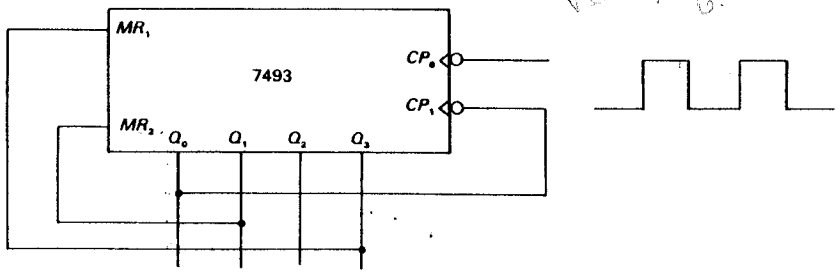



**Figura 6.48.** Contador del Problema 6.21.

**6.22.** De manera análoga al caso anterior, construir un contador módulo 13 utilizando el mismo contador; es decir, el 7493.

**Solución:** En este caso es necesario que todas las salidas del contador pasen a 0 cuando aparezca en las mismas la combinación 1101. En este caso, como el número de unos de la combinación de salida es mayor de dos, es necesario utilizar una puerta AND conectada, tal y como se muestra en la Figura 6-49.



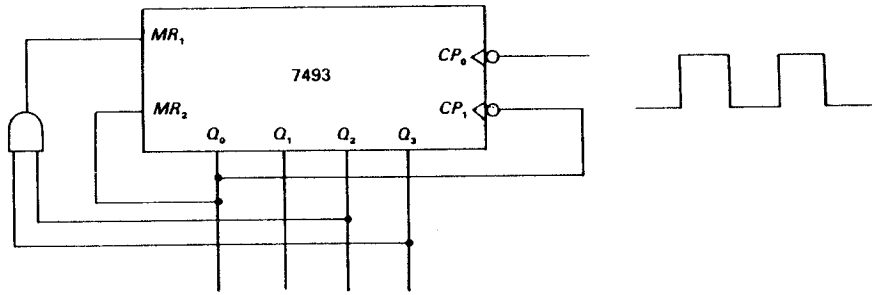



**Figura 6.49.** Contador del Problema 6.22.

**6.23.** Conectar adecuadamente (programar) el contador 74163 para que siempre que inicie la cuenta lo haga a partir del número 4.

**Solución:** Es necesario aplicar a las entradas paralelo el número 4 expresado en notación binaria. Para ello hemos de poner las entradas $P_0$, $P_1$ y $P_3$ a nivel 0 y la entrada $P_2$ a nivel 1, con lo que conseguiremos la combinación 0100, que, como es sabido, corresponde al número 4 decimal. Cuando se inicie la cuenta, $\overline{PE}$ ha de estar a nivel bajo, para que la información presente en las entradas paralelo se cargue automáticamente en las salidas. Por último, las entradas de inhibición *CEP* y *CET* han de estar conectadas a nivel alto. En la Figura 6.50 se muestra el esquema de conexión.

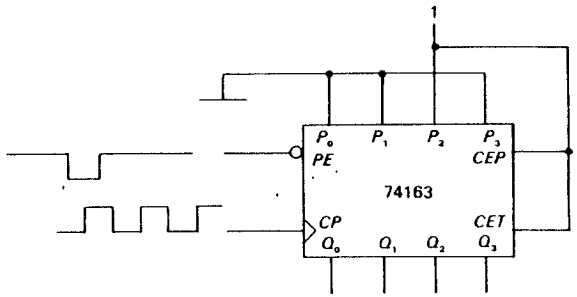



**Figura 6.50.** Contador programado para contar de 4 hasta 1.

**6.24.** Teniendo en cuenta las características del contador 7492, dibujar sobre su circuito lógico equivalente las conexiones mostradas en la Figura 6.51 y realizar un diagrama de tiempos

con la evolución de cada una de las salidas del circuito al aplicar una onda cuadrada de frecuencia constante en su entrada de impulsos.

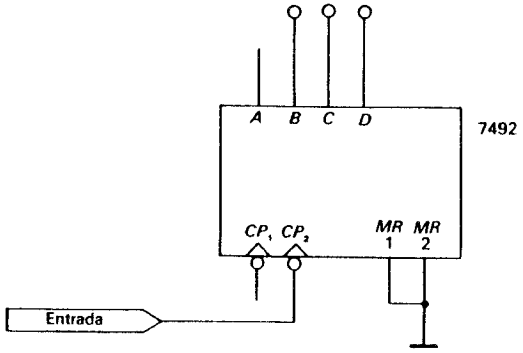



**Figura 6.51.** Conexión del 7492 en el Problema 6.24.

**Solución:** Sobre el circuito lógico equivalente del contador 7492 que aparece en el Apéndice se realizan las conexiones que se indican en la Figura 6.51, dando como resultado el circuito de la Figura 6.52.

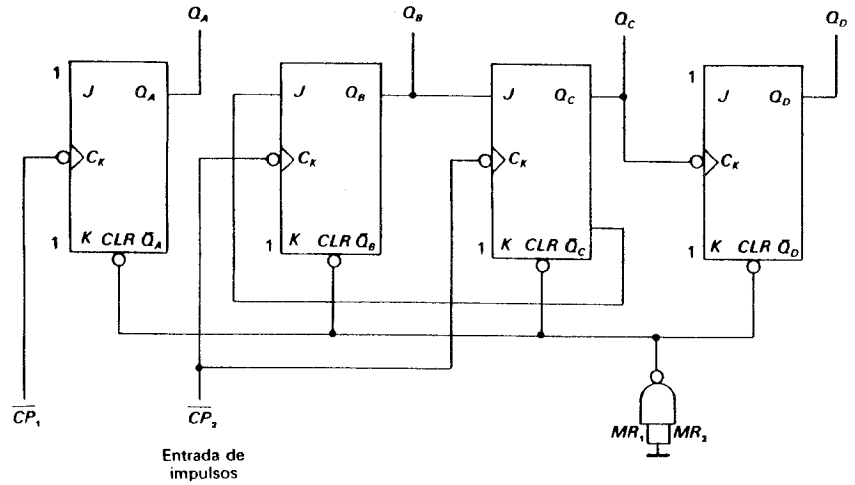



**Figura 6.52.** Circuito del Problema 6.24.



Seguidamente se realizará el cronograma del circuito considerando al que inyectamos por la patilla $CP_2$ una señal cuadrada de frecuencia constante, obteniéndose de esta forma el cronograma de tiempos de la Figura 6.53.

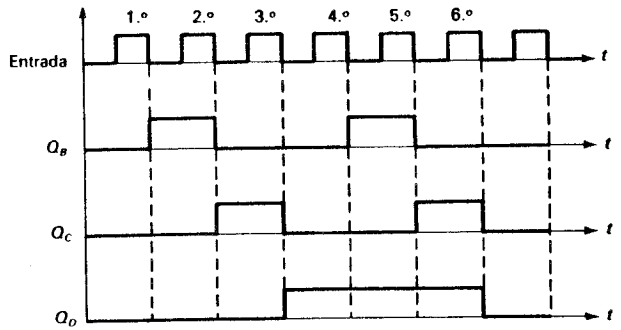



**Figura 6.53.** Cronograma del Problema 6.24.

Como puede comprobarse, el circuito se comporta como un divisor entre 6, ya que cada seis flancos de bajada de la señal de entrada se obtiene un flanco de bajada por $Q_0$.

**6.25.** Partiendo de las características del contador 7490, dibujar sobre su circuito lógico equivalente las conexiones del circuito de la Figura 6.54 y realizar un diagrama de tiempos de la evolución de cada una de las salidas del circuito al introducir en su entrada una señal cuadrada de frecuencia constante.

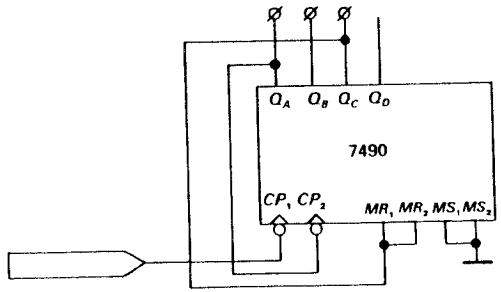



**Figura 6.54.** Conexión del 7490 en el Problema 6.25.

**Solución:** Partiendo del circuito lógico equivalente del 7490 se realizan las conexiones indicadas en la Figura 6.54, de lo que resulta el circuito de la Figura 6.55.

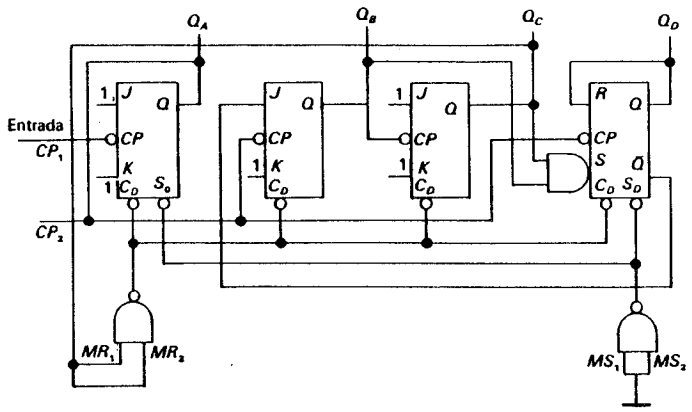



**Figura 6.55.** Circuito del Problema 6.55.

Para obtener el cronograma del circuito inyectaremos por $CP_1$ una señal cuadrada de frecuencia constante, obteniéndose el diagrama de tiempos de la Figura 6.56.

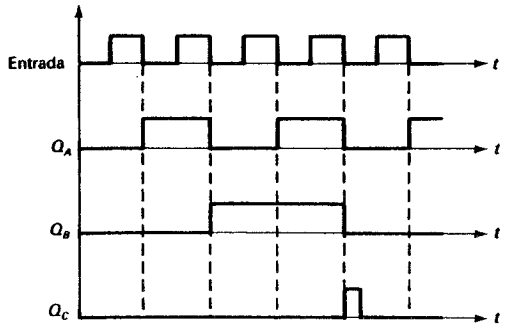



**Figura 6.56.** Cronograma de circuito de la Figura 6.55.

**6.26.** Dubujar sobre el circuito lógico equivalente del contador 7490 las conexiones indicadas en el circuito de la Figura 6.57 y realizar un diagrama de tiempos de la evolución de las salidas



del circuito anterior al introducir por su entrada de impulsos una onda cuadrada de frecuencia constante.

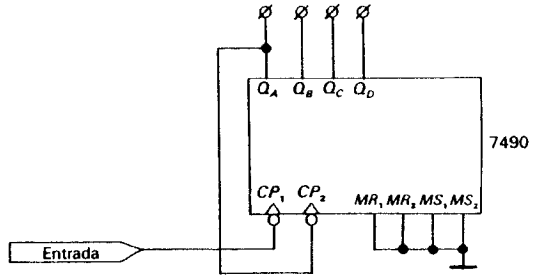



**Figura 6.57.** Conexión del 7490 en el Problema 6.26.

**Solución:** Sobre el circuito lógico equivalente del 7490 obtenido en el Apéndice se realizan las conexiones señaladas en la Figura 6.57, resultando el circuito de la Figura 6.58.

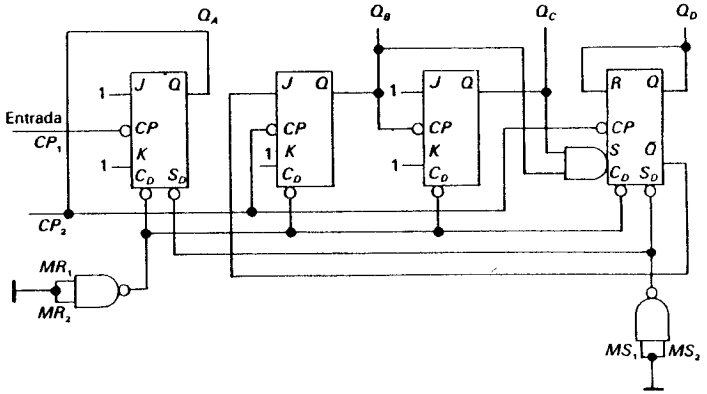



**Figura 6.58.** Circuito del Problema 6.26.

Tras esto, se realiza el cronograma del circuito inyectando por $CP_1$ la señal cuadrada, con lo que se obtiene el diagrama de tiempos de la Figura 6.59.

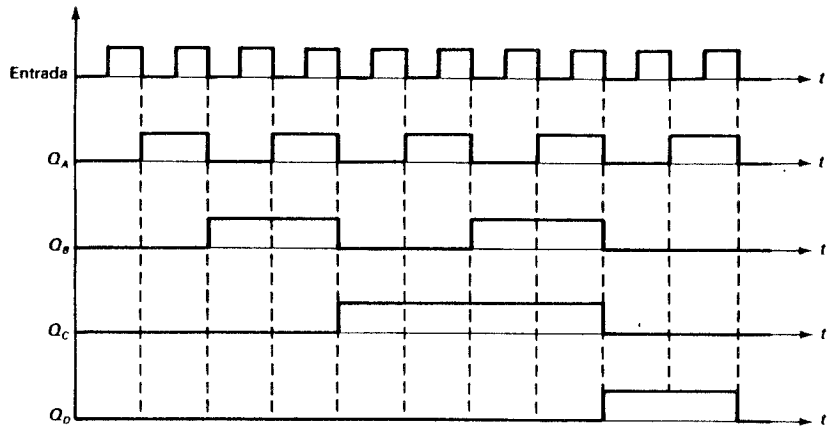



**Figura 6.59.** Cronograma del circuito de la Figura 6.58.

**6.27.** Partiendo de las características del contador 7493, dibujar sobre su circuito lógico equivalente las conexiones indicadas en la Figura 6.60 y realizar el diagrama de tiempos de la evolución de las salidas del circuito al introducir una secuencia de impulsos de frecuencia y amplitud constantes.

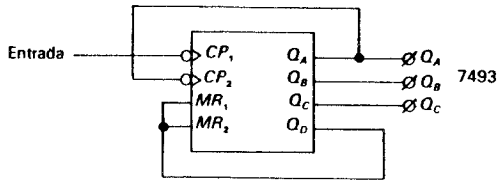



**Figura 6.60.** Conexión del 7493 en el Problema 6.27.

**Solución:** Representando sobre el circuito lógico equivalente del contador 7493 las conexiones indicadas en la Figura 6.60 se obtiene el circuito de la Figura 6.61.



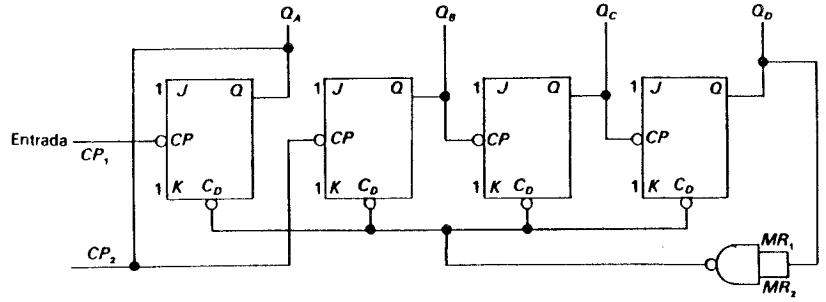



**Figura 6.61.** Circuito del Problema 6.61.

Si se aplica sobre el pin de entrada la serie de impulsos indicados en el enunciado, tendremos el cronograma de la Figura 6.62.

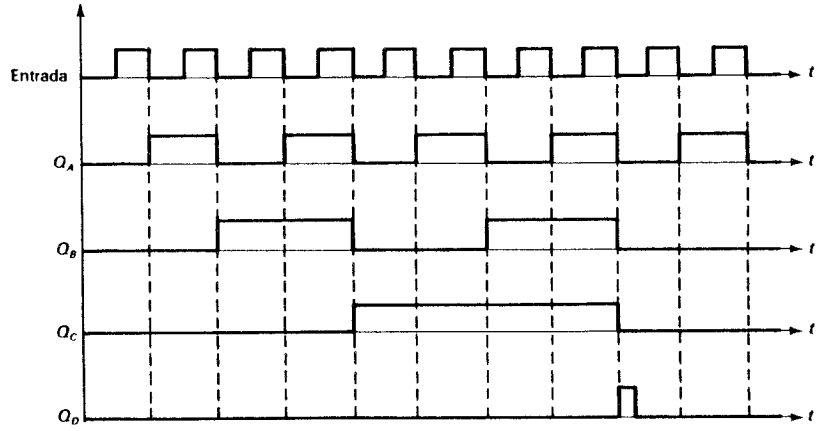



**Figura 6.62.** Cronograma del circuito de la Figura 6.61

**6.28.** Diseñar un contador decimal de impulsos con posibilidad de predeterminar, mediante unos conmutadores de diez posiciones, el valor de cuenta entre 0 y 99. Se utilizarán contadores tipo 7490 y la circuitería lógica adicional necesaria.

**Solución:** El circuito a diseñar se muestra en la Figura 6.63. Como puede apreciarse, consta de dos contadores del tipo 7490 conectados en cascada, de manera que uno cuenta las unidades y el otro las decenas. Para conseguir lo anteriormente expuesto, basta con conectar la salida *D* del primer contador

a la entrada de impulsos del segundo; cuando el primer contador llega a 9 (1001), la salida *D* está en 1, pero al llegar un impulso más dicha salida pasa a valer 0 (0000), generándose, por tanto, un flanco de bajada en la entrada del segundo contador, que se incrementará en una unidad.

Las salidas de los contadores están conectadas directamente a decodificadores del tipo 7442 (*BCD*-decimal). Estos circuitos responden con un 0 en la salida decimal equivalente al valor binario de entrada. Cuando la salida decodificada coincide con el valor predeterminado por los conmutadores, éstos introducirán simultáneamente un 0 en las dos entradas de la puerta NOR, la cual, a su vez, producirá un 1 en su salida, lo que, al ser aplicado a la entrada de *reset* del contador, provocará su puesta a cero o borrado.

Si se deseara visualizar la cuenta, no habría más que conectar cada una de las salidas de los dos contadores a las entradas de dos decodificadores *BCD*-7 segmento y éstos a dos *displays*.

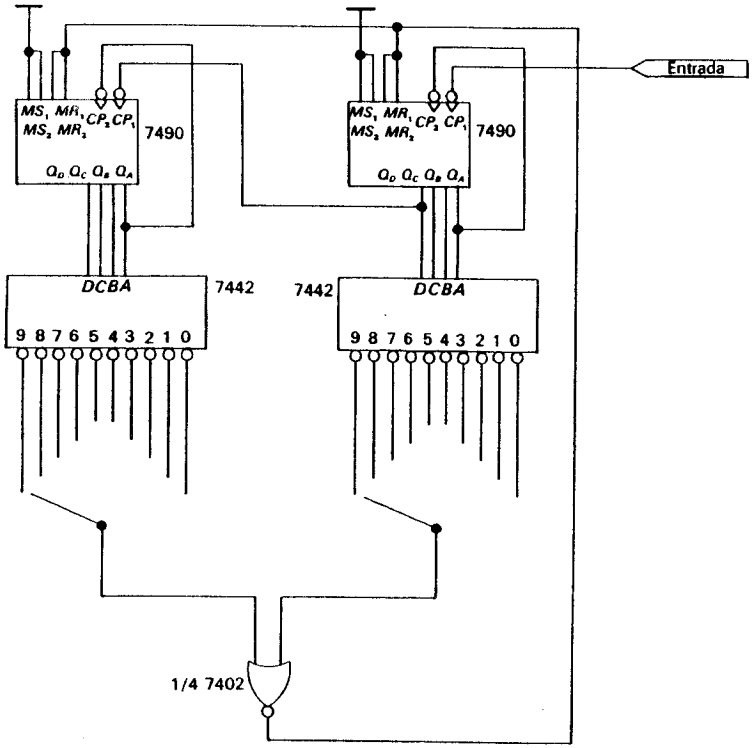



**Figura 6.63.** Contador de impulsos programable.

**6.29.** Utilizando contadores comerciales del tipo 7490, realizar un contador *BCD* de módulo 44.



**Solución:** Teniendo en cuenta las características del 7490, que es un contador decimal con entradas de puesta a cero y puesta a nueve, será muy sencillo realizar el contador pedido con sólo tener presente que, cuando llega el impulso 44 (representando en *BCD* 0100 0100), el tercer bit de las unidades y el de las decenas valen 1. Por tanto, si conectamos la salida del tercer bit de las decenas a las entradas $MR_1$ (entrada de *reset* 1) de ambos contadores y la salida del tercer bit de las unidades a las entradas $MR_2$ (entrada de *reset* 2) de los dos contadores, cuando llegue el impulso 44 se tendrá un 1 en ese instante en ambas entradas de borrado, que, al estar interiormente multiplicadas, producirán la puesta a cero de ambos contadores. El circuito será, por tanto, el que se muestra en la Figura 6.64.

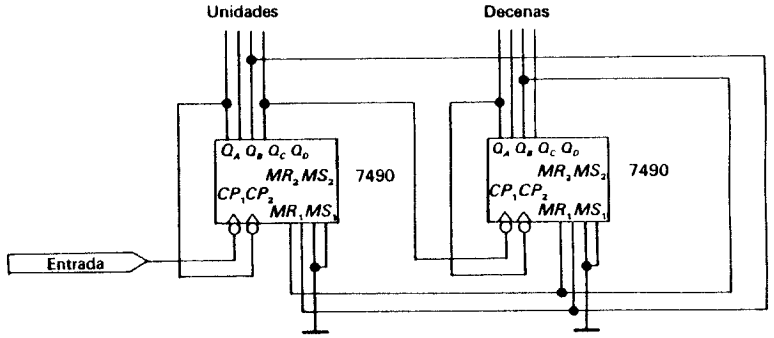



**Figura 6.64.** Contador *BCD* módulo 44 empleando contadores 7490.

**6.30.** Utilizando contadores del tipo 7493, diseñar un divisor por 1365 veces la frecuencia de entrada.

**Solución:** El método para realizar un divisor de estas características consiste en descomponer el número entre el que hay que dividir la frecuencia de entrada en factores primos, buscando que dichos factores sean menores de 16.

Seguidamente se realizan divisiones parciales e independientes de la frecuencia de entrada por cada uno de dichos factores, que, al ser inferiores a 16, podrán ser realizadas con un solo integrado.

La salida del circuito se obtendrá, mediante el producto en una puerta AND, de las salidas de cada una de las divisiones parciales. En el problema que nos ocupa se tiene:

| | |
|---|---|
| 1365 | 15 |
| 91 | 13 |
| 7 | 7 |
| 1 | |

El circuito resultante se muestra en la Figura 6.65, en la cual el contador *A* está montado como divisor de frecuencia entre 7, el contador *B* como divisor por 13 y el *C* como divisor entre 15.

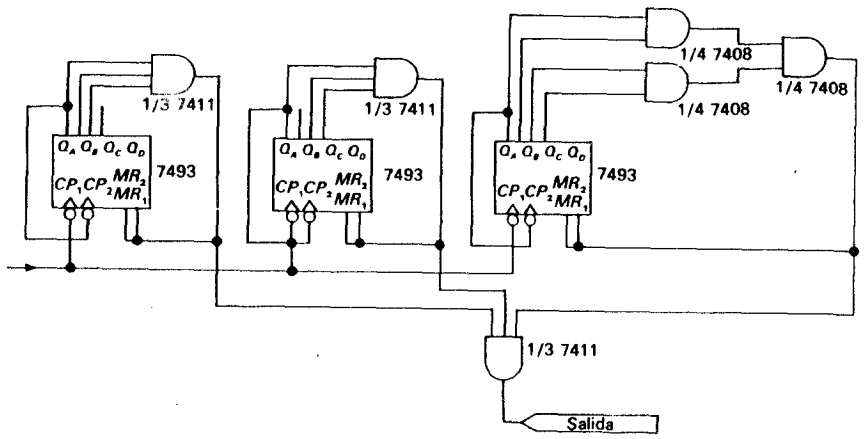



**Figura 6.65.** Divisor de frecuencia por 1365.

**6.31.** Sabiendo que el circuito de la Figura 6.66 se utiliza para obtener una señal de reloj patrón a partir de la corriente de la red, implementar el circuito digital que, conectado a la salida de éste, genere un impulso de reloj cada segundo. Utilizar para ello contadores comerciales del tipo 7490.

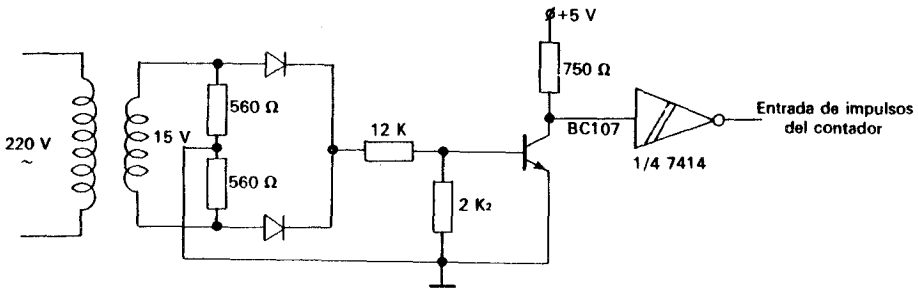



**Figura 6.66.** Circuito para obtener una señal patrón de la red.

**Solución:** A la salida del circuito rectificador de onda completa se obtiene una señal de frecuencia de 100 Hz que excita el transistor *BC* 547 que trabaja en conmutación. Las resistencias de 560 Ω se usan para no tener que utilizar un transformador con toma intermedia.



Por tanto, dado que se necesita un divisor de frecuencia entre 100, utilizaremos dos divisores entre diez acoplados en cascada del tipo 7490. El circuito resultante se muestra en la Figura 6.67.

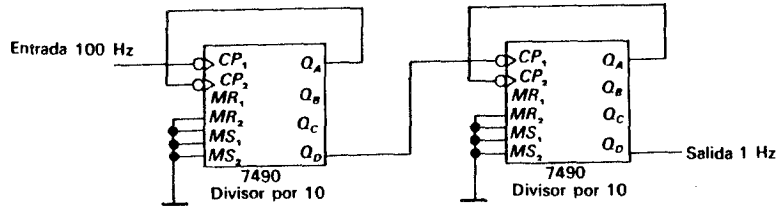



**Figura 6.67.** Circuito del Problema 6.30.

**6.32.** Construir, mediante biestables *D* tipo *latch*, un registro de entrada paralelo, salida paralelo para almacenar una palabra binaria de ocho bits.

**Solución:** Los registros de almacenamiento están formados por biestables que lo único que poseen en común es la señal de reloj. En consecuencia, deberemos conectar las entradas de reloj de ocho biestables a un terminal común para que todos se activen simultáneamente. Por otra parte, interconectaremos las entradas asíncronas de borrado (*clear*) de todos ellos, con la finalidad de poder borrar todo el registro a la vez.

Para finalizar, cada bit de la palabra a almacenar se conectará a la entrada *D* de uno de los ocho biestables, obteniéndose, por último, de las ocho salidas *Q* de los biestables la salida del circuito. En la Figura 6.68 aparece el circuito final.

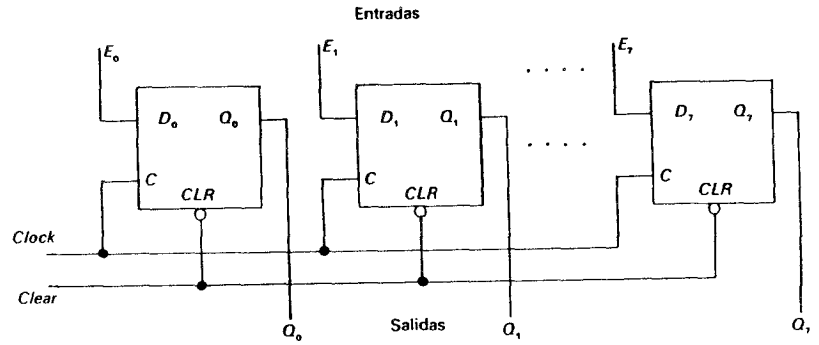



**Figura 6.68.** Resultado del Problema 6.32.

**6.33.** Diseñar un registro de desplazamiento hacia la derecha de ocho bits en el que la entrada de información se realice en serie y la salida en paralelo. Se emplearán biestables *D* síncronos activados por flanco de bajada, siendo, sin embargo, el registro gobernado por los flancos de subida de la señal de reloj. El circuito dispondrá asimismo de una entrada de borrado $\overline{MR}$ activa a nivel bajo.

**Solución:** Para la realización de registros de desplazamiento es preciso que los biestables tengan conectada su salida a la entrada del siguiente. De esta forma, la entrada del primer biestable es la entrada serie del registro y las salidas del conjunto de ellos constituyen la salida paralelo del mismo.

Por otra parte, las entradas de reloj de todos los biestables deberán estar interconectadas para conseguir la entrada de reloj del registro. Cada nivel activo del reloj deberá producir la captación de un nuevo dato en la entrada serie y el desplazamiento de un biestable al siguiente en el interior del registro. Después de producirse ocho impulsos en la entrada de reloj, el registro estará cargado y en las ocho salidas de los biestables tendremos la información de ocho bits introducida por la entrada serie.

En el circuito a diseñar, los biestables son activos al flanco de bajada de la señal de reloj, mientras que el registro deberá ser activo al flanco de subida; este problema se resuelve intercalando un inversor entre la entrada de reloj del registro y las entradas de reloj de los biestables.

Por último, para obtener la entrada de borrado interconectaremos las entradas de borrado (*clear*) de cada biestable a un *buffer*, o excitador, que genere corriente suficiente para que con una señal lógica se puedan activar las ocho entradas de borrado. En la Figura 6.69 aparece este circuito.

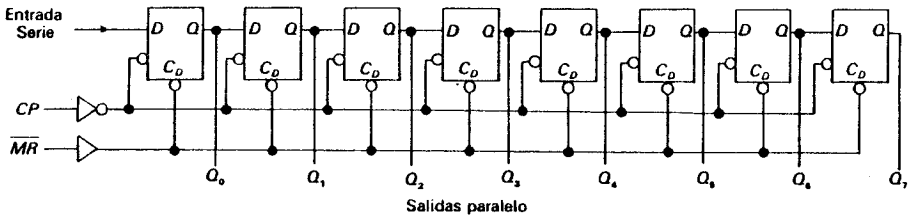



**Figura 6.69.** Circuito del Problema 6.33.

## PROBLEMAS PROPUESTOS

**6.34.** Dibujar el diagrama de bloques de un circuito que divida entre ocho la frecuencia de la señal aplicada a la entrada.

**Solución:** Figura 6.70.

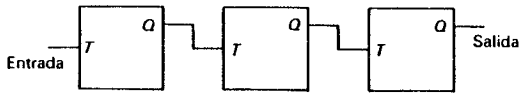



**Figura 6.70.** Resultado del Problema 6.34.



**6.35.** Representar los diagramas de tiempo correspondientes a un biestable *D* cuyo nivel activo es el cero. Representar también su tabla de verdad.

**Solución:** Figura 6.71 y Tabla 6.19.

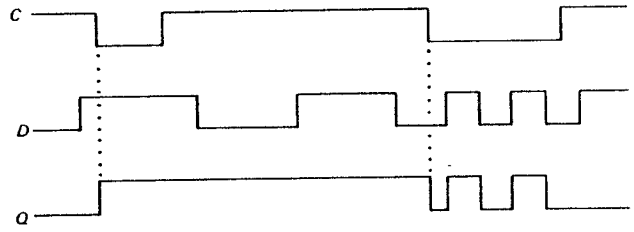



**Figura 6.71.** Resultado del Problema 6.35.

**Tabla 6.19.** Resultado del Problema 6.35.

| *D* | *C* | $Q_n$ | $Q_{n+1}$ |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

**6.36.** Construir un biestable *J-K* asíncrono mediante una báscula *R-S* formada por puertas NAND.

**Solución:** Figura 6.72.

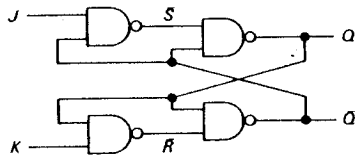



**Figura 6.72.** Resultado del Problema 6.36.

**6.37.** Repetir el problema anterior, ahora para un biestable *D* tipo *latch*.

**Solución:** Figura 6.73.

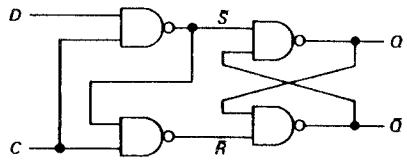



**Figura 6.73.** Resultado del Problema 6.37.

**6.38.** Suponiendo que en la entrada del circuito de la Figura 6.74 se introduzca una serie de impulsos de frecuencia y amplitud constante, realizar el cronograma de tiempos de cada una de las salidas.

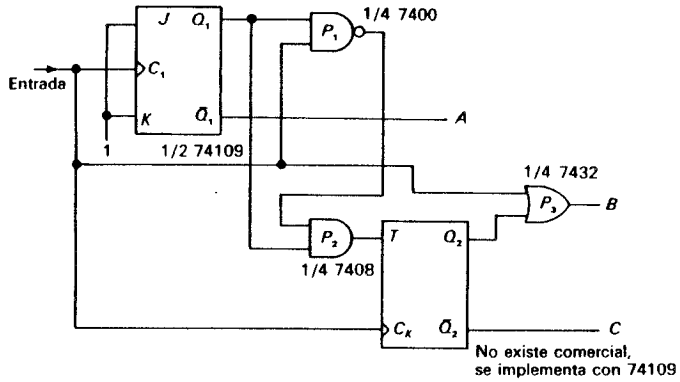



**Figura 6.74.** Circuito del Problema 6.38.

**Solución:** Figura 6.75.



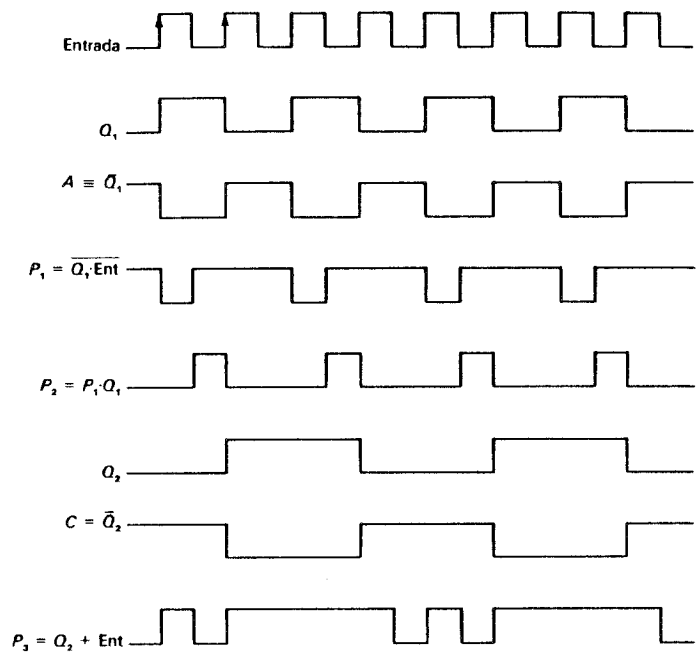



**Figura 6.75.** Resultado del Problema 6.38.

**6.39.** Obtener el cronograma de cada una de las salidas del circuito de la Figura 6.76 sabiendo que a la entrada se aplica una onda cuadrada de frecuencia constante.

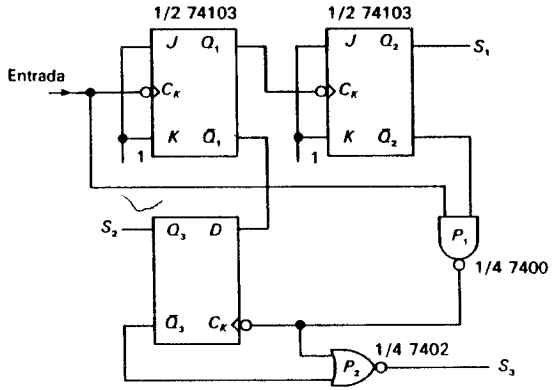



**Figura 6.76.** Circuito del Problema 6.39.

**Solución:** Figura 6.77.

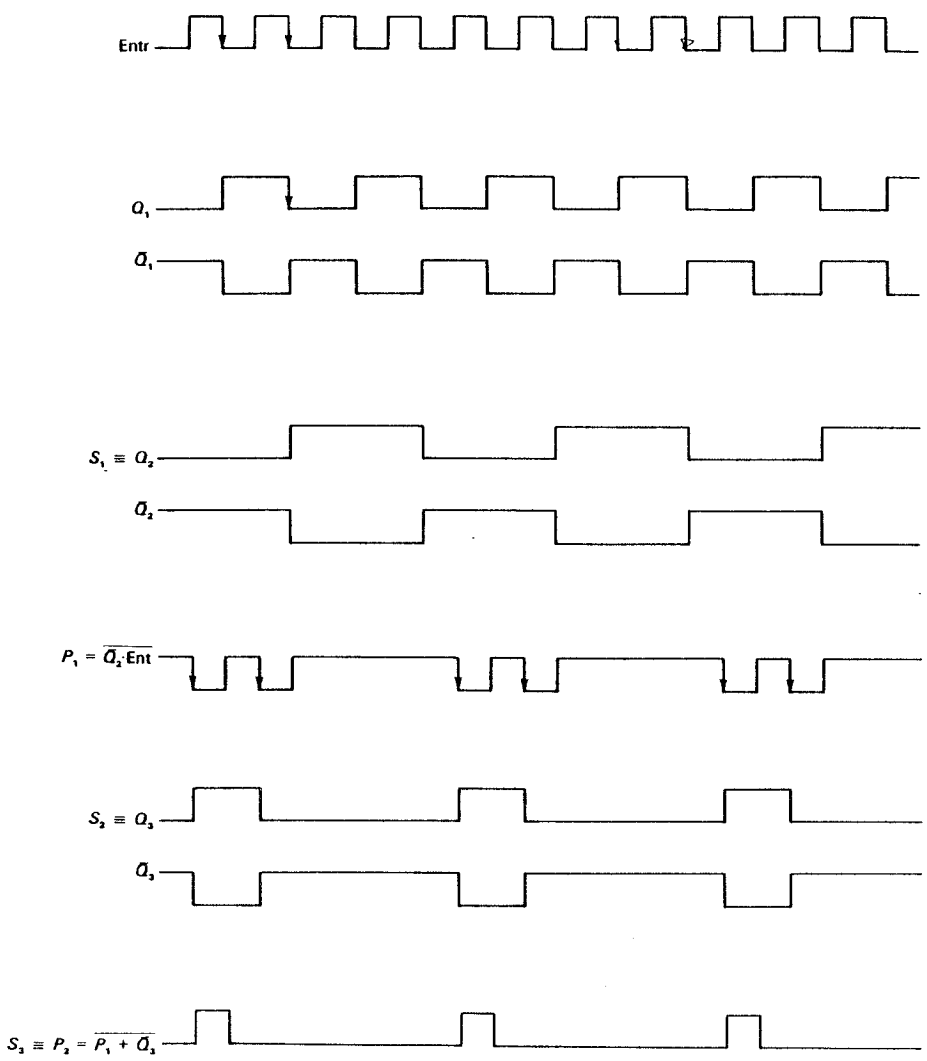



**Figura 6.77.** Resultado del Problema 6.39.



**6.40.** Construir un contador asíncrono con biestables *J-K* que cuente cíclicamente de 0 a 6.

**Solución:** Figura 6.78.

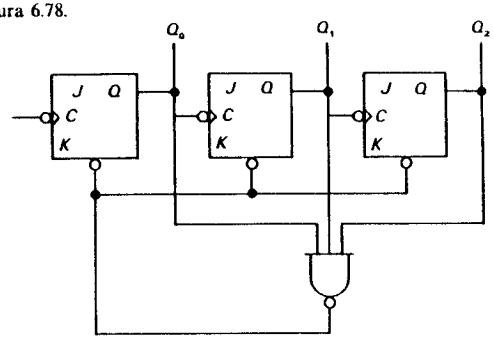



**Figura 6.78.** Resultado del Problema 6.40.

**6.41.** Conectar adecuadamente el contador 7493 para que efectúe una cuenta de 0 a 8; es decir, para que el noveno impulso lo ponga de nuevo a cero.

**Solución:** Figura 6.79.

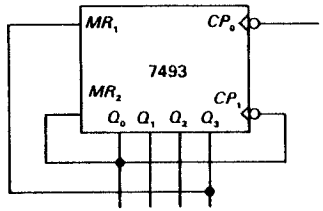



**Figura 6.79.** Resultado del Problema 6.41.

**6.42.** Construir mediante el circuito 7493 un contador módulo 15; es decir, que cuente de 0 a 14.

**Solución:** Figura 6.80.

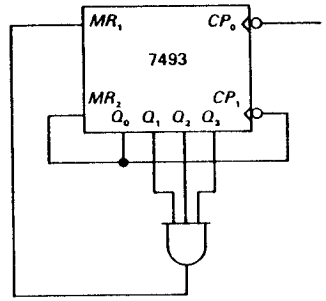



**Figura 6.80.** Resultado del Problema 6.42.

**6.43.** Mediante circuitos 7493 construir un contador de módulo 60.

**Solución:** Figura 6.81.

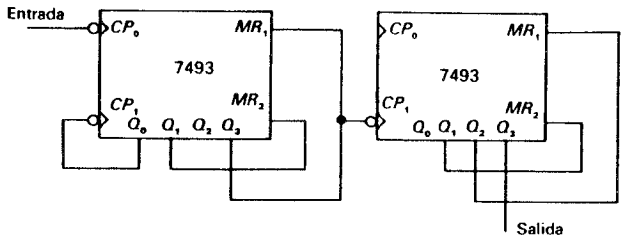



**Figura 6.81.** Resultado del Problema 6.43.

**6.44.** Diseñar un contador binario de cuatro bits síncrono con biestables tipo *T*.

**Solución:** Figura 6.82.

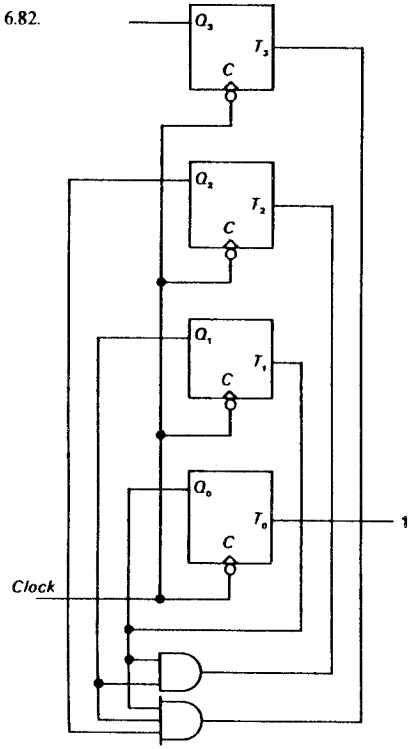



**Figura 6.82.** Resultado del Problema 6.44.



**6.45.** Suponiendo que al contador de la Figura 6.83 le aplicamos una señal cuadrada de frecuencia constante, obtener el cronograma de cada una de sus salidas.

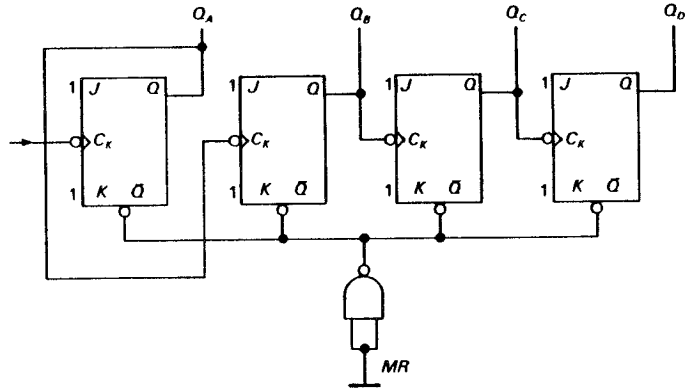



**Figura 6.83.** Contador del Problema 6.45.

**Solución:** Figura 6.84.

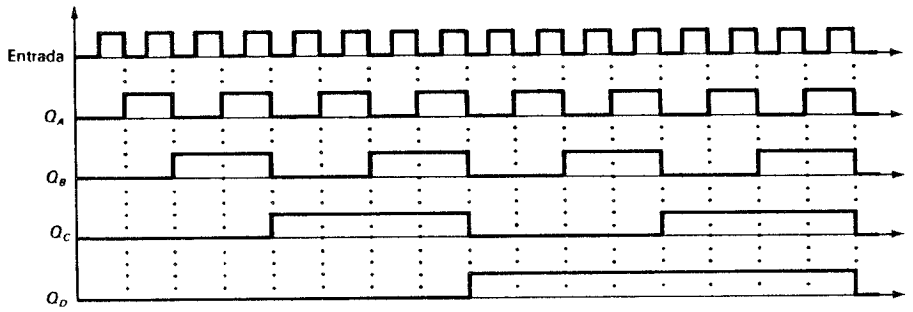



**Figura 6.84.** Resultado del Problema 6.45.

**6.46.** Diseñar un sistema de regadío que controle seis electroválvulas, de forma que cada 15 minutos se accione una distinta y, al terminar el ciclo, quede todo parado hasta que se active un pulsador de inicialización del sistema. Se dispone para su realización de un temporizador que cada 15 minutos genera un impulso.

**Solución:** Figura 6.85.

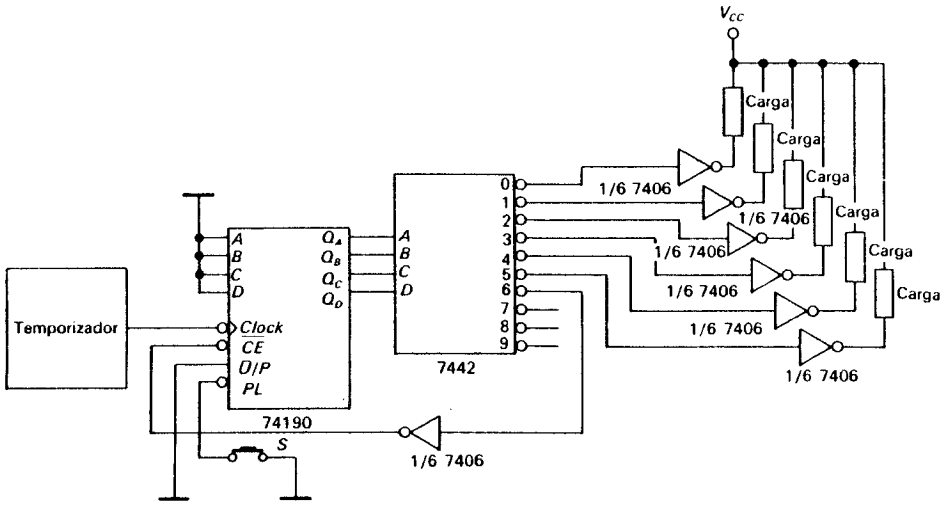



**Figura 6.85.** Resultado del Problema 6.46.



**6.47.** Sabiendo que el juego de la Loto tiene los números del 1 al 49, diseñar un sistema que nos genere estos números de forma aleatoria para jugar a dicho juego. Utilizar para el desarrollo circuitos del tipo 74192.

**Solución:** Figura 6.86.

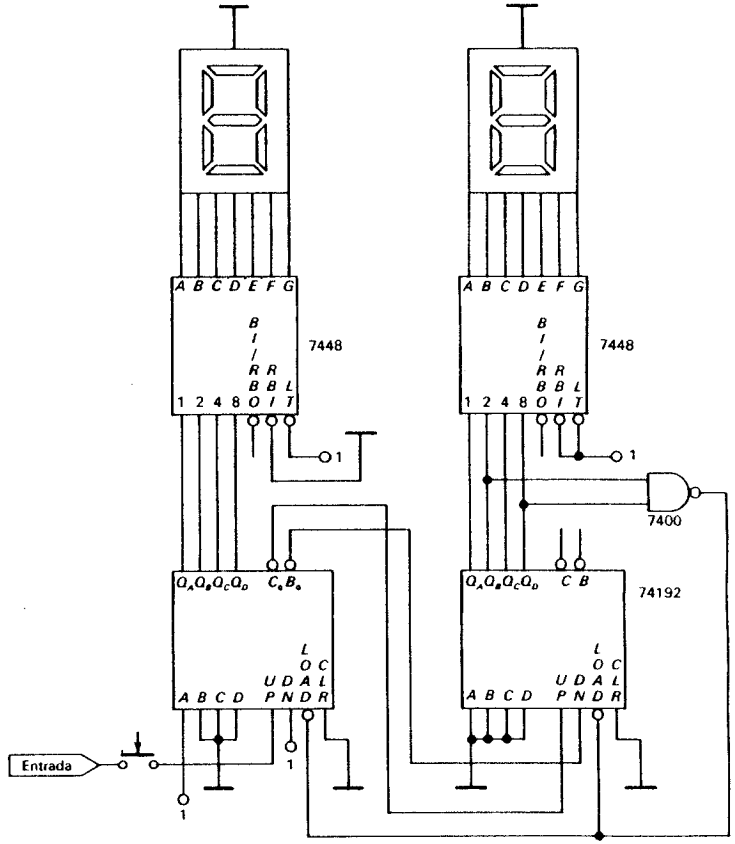



**Figura 6.86.** Resultado del Problema 6.47.

**6.48.** Diseñar un sistema que genere la secuencia de impulsos 11011 para su empleo como llave de una cerradura codificada. Dicha secuencia será posteriormente radiada hacia el receptor de la cerradura para realizar su apertura.

**Solución:** Figura 6.87.

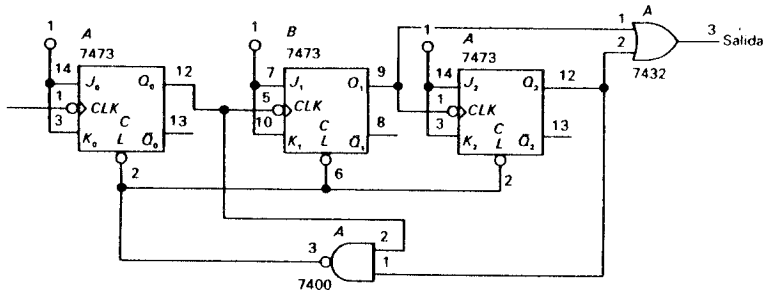



**Figura 6.87.** Resultado del Problema 6.48.

**6.49.** Dibujar el diagrama de bloques de un registro de desplazamiento de ocho bits entrada paralelo, salida serie. El dispositivo tendría dos entradas de control: una de habilitación, *HD*, que se activa cuando los datos de entrada son válidos, y otra de habilitación de desplazamiento, *DD*, que se activa cuando se transfieran los datos en serie. La primera ha de ser activada durante el primer impulso de reloj. La segunda ha de ser activada durante ocho impulsos de reloj para desplazar al exterior los ocho bits.

**Solución:** Figura 6.88.

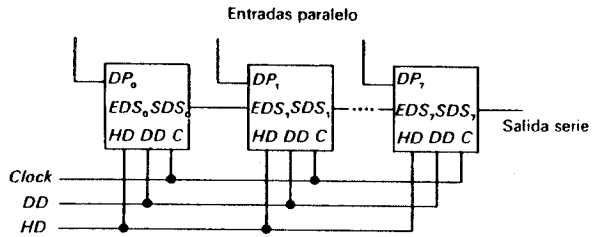



**Figura 6.88.** Resultado del Problema 6.49.



**6.50.** Diseñar el diagrama lógico de cada una de las unidades que componen el registro del problema anterior utilizando biestables *J-K*. Las variables de entrada al circuito combinacional serán: *HD*, *DD*, *DP*, *EDS* y la salida *Q* del biestable.

**Solución:** Figura 6.89.

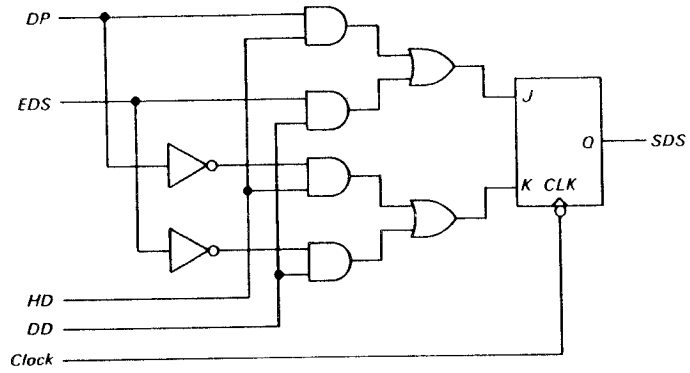



**Figura 6.89.** Resultado del Problema 6.50.

# CAPITULO 7

# Autómatas finitos

## 7.1. CIRCUITOS SECUENCIALES SINCRONOS

Este capítulo está dedicado al diseño de **sistemas secuenciales síncronos**.

Reciben está denominación aquellos *circuitos en los que el valor de su salida en un instante determinado no depende de los estados lógicos de las entradas en dicho instante, sino de la secuencia con que dichos estados se aplican a las entradas*. En este tipo de circuitos, todo el funcionamiento está sincronizado por una señal de reloj.

Todo sistema secuencial posee:

*a*) Un conjunto finito de $2^n$ estados de entrada, siendo $n$ el número de variables de entrada.
*b*) Un conjunto finito de $2^m$ estados internos, siendo $m$ el número de variables de estado interno.
*c*) Un conjunto finito de $2^p$ estados de salida siendo $p$ el número de variables de salida.

En la práctica, también se denomina a estos circuitos **Autómatas finitos**.

Para observar la evolución de un autómata finito, es necesario acudir a las variables de salida, ya que las de estado interno, como su nombre indica, no van a ser accesibles desde el exterior. La forma de obtener dichas variables va a dar lugar a dos modelos de circuitos secuenciales: **Modelo de Moore y Modedo de Mealy**.

## 7.2. MODELO DE AUTOMATA DE MOORE

En este tipo de autómatas finitos las salidas dependen solamente de sus estados internos en el instante que se considera (un caso particular será cuando las variables de salida coincidan con las del estado interno).

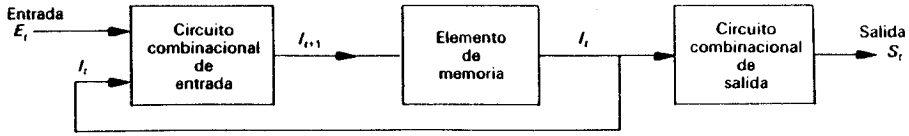



**Figura 7.1.** Diagrama de bloques del modelo de autómata de Moore.



Una representación de este modelo aparece en el diagrama de la Figura 7.1, en el que se puede apreciar cómo el circuito de salida depende solamente del estado interno del elemento de memoria.

## 7.3. MODELO DE AUTOMATA DE MEALY

En él, las variaciones de salida están asociadas a las transiciones entre estados de entrada además de las de los estados internos.

Un diagrama de bloques de este tipo de autómata aparece en la Figura 7.2; en él se aprecia cómo la salida depende del estado interno y de la entrada.

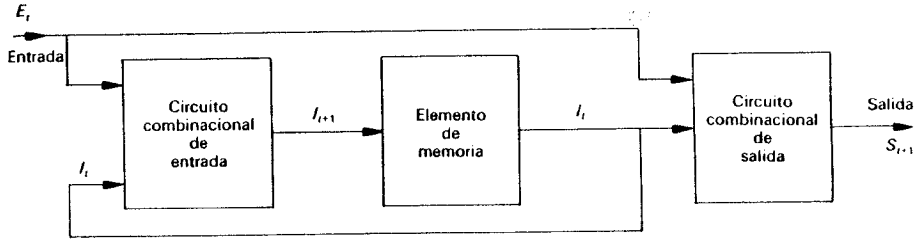



**Figura 7.2.** Diagrama de bloques del modelo de autómata de Mealy.

Conviene hacer notar que los modelos de Mealy y Moore son dos formas de realizar el circuito secuencial y se puede demostrar que, para todo circuito secuencial síncrono de Mealy, existe otro de Moore equivalente, y viceversa.

## 7.4. ETAPAS DE DISEÑO DE CIRCUITOS SECUENCIALES SINCRONOS

Presentamos ahora un método general para el diseño de sistemas secuenciales que podemos estandarizar en los siguientes pasos:

*a*) **Pasar las especificaciones verbales al diagrama de estados.**
*b*) **Reducir estados equivalentes.**
*c*) **Construir la tabla de estados.**
*d*) **Asignar códigos a los estados.**
*e*) **Seleccionar los elementos de memoria.**
*f*) **Obtener las tablas de excitación.**
*g*) **Simplificación de las funciones de excitación.**
*h*) **Implementación del circuito.**

Para comprender mejor cada uno de estos apartados, aplicaremos el proceso anterior al diseño de un divisor de frecuencia por tres, teniendo en cuenta que este tipo de divisor es un circuito en el que a su entrada llega un tren de impulsos de una frecuencia determinada, dando a su salida una

señal de frecuencia tres veces menor. Es decir, por cada tres impulsos en su entrada, producirá uno de salida.

### *a*) Pasar las especificaciones verbales a diagrama de estados

Un diagrama de estados es una representación de los estados internos de un circuito secuencial y de las transiciones entre ellos, es decir, una representación gráfica de su funcionamiento.

Partiendo de las especificaciones que nos dan en el ejemplo a diseñar, rápidamente podemos deducir que sólo habrá una variable de entrada y otra de salida. El número de estados internos parece lógico que sean tres, ya que su funcionamiento será un proceso cíclico que se repetirá cada tres impulsos de entrada.

Para representar esto de forma gráfica se emplean los diagramas de estados, también llamados diagramas de flujo.

Siguiendo el *modelo de Moore*, se representan a los estados internos por círculos que contengan en su interior la denominación de dicha variable y el valor de salida 0 o 1 dependiente del estado interno. De esta forma se indica que la salida tendrá el valor especificado mientras el estado interno no cambie, sea cual sea el valor de las entradas.

La variable de entrada (variables de entrada si las hubiera) se representa con la denominación $X$, y con una flecha se indica la transición del estado origen al estado destino.

En la Figura 7.3 se representa el diagrama de flujos para un autómata de Moore del divisor de frecuencia por tres.

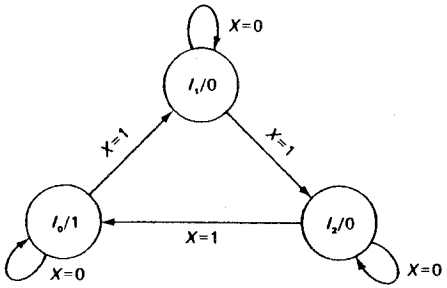



**Figura 7.3.** Diagrama de flujos del divisor de frecuencias por tres según el modelo de Moore.

Según se ve en el diagrama de flujos de la Figura 7.3, la salida es 1 siempre que el circuito secuencial se encuentre en el estado $I_0$, ya que cada vez que esto sucede significará que ha contado tres impulsos. Se podría poner la objeción de que en el instante inicial, si partimos del estado $I_0$ la salida sea 1 sin que se haya contado ningún impulso, pero esto carece de importancia, ya que de un divisor sólo interesa que entregue una frecuencia $n$ veces menor que la de entrada.

De acuerdo con el diagrama de estados de la Figura 7.3, el diagrama de tiempos de la salida será el que aparece en la Figura 7.4.

Como se puede ver, la salida vale 1 mientras se encuentre en el estado $I_0$, tal como corresponde a un autómata de Moore; asimismo, se ve que los impulsos de salida no tienen la misma duración que los de entrada.



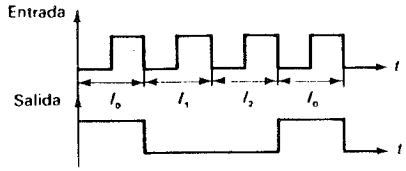



**Figura 7.4.** Diagrama de tiempos correspondiente al diagrama de flujos del divisor por tres según la Figura 7.3.

En el *modelo de Mealy* los estados internos se representan también por un círculo con la denominación de la variable en su interior, que en este caso va sola sin indicar el estado de la salida.

Las variables de entrada se representan por una $X$, que con una flecha indica la transición del estado origen al estado final. Sobre esta flecha se representa, además, el valor de la variable de salida, indicando de esta manera que en el modelo de Mealy la salida depende del estado interno en el que se encontrara y del valor de la variable de entrada en cada instante.

Se puede ver el modelo de Mealy para el divisor de frecuencia por tres en la Figura 7.5, en la que se aprecia que la salida es 1 cuando encontrándose en el estado $I_2$, se presenta en la entrada $X = 1$.

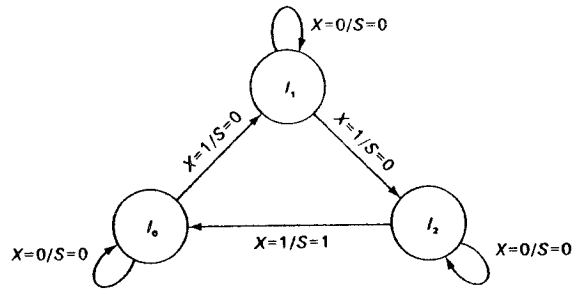



**Figura 7.5.** Diagrama de flujos del divisor de frecuencia por tres según el modelo de Mealy.

Para este caso, el diagrama de tiempos correspondiente al diagrama de flujos se puede ver en la Figura 7.6, donde se aprecia que la duración de los impulsos de salida es igual a los de entrada; esto es debido a que en el modelo de Mealy la señal de salida no depende solamente del estado interno, sino también que las variables de entrada en cada momento.

### *b*) Reducción de estados equivalentes

Como es natural, del diagrama de estados, que no es otra cosa que una representación gráfica del enunciado del problema, no tiene por qué resultar siempre la representación más óptima, sino que

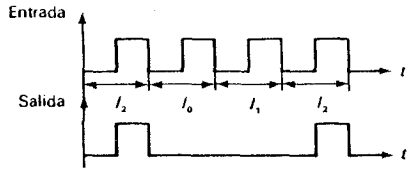



**Figura 7.6.** Diagrama de tiempos correspondiente al diagrama de flujos del divisor por tres según la Figura 7.5.

a veces es posible obtener un diagrama de estados reducido, eliminando estados equivalentes de acuerdo con el siguiente criterio: *Dos estados* $I_i$ *e* $I_j$ *son equivalentes y pueden reducirse a un estado único si, y sólo si, ambos estados* $I_i$ *e* $I_j$ *iniciales evolucionan al mismo estado* $I_n$ *final, tanto para la entrada* X = 1 *como para la entrada* X = 0, *siendo además las salidas asociadas a los estados* $I_i$ *e* $I_j$ *las mismas.*

En el ejemplo que estamos siguiendo no se da este caso, tal y como puede apreciarse.

### *c)* Construcción de la tabla de estados

Una tabla de estados es otra forma de expresar el diagrama de estados de una manera más conveniente para afrontar los siguientes pasos del diseño.

Se representa en una columna el *estado actual*, en otra los valores de la variable o *variables de entrada*, en una tercera columna el *estado final* a los que se debe pasar y en la última la *salida*.

En nuestro caso, y como estamos haciendo un estudio paralelo de los dos modelos (Mealy y Moore), pondremos la última columna desglosada en los dos tipos de salidas.

**Tabla 7.1.** Tabla de estado del divisor de frecuencia por tres para el modelo de Mealy y el de Moore

| Estado inicial | X | Estado final | Salida Mealy | Salida Moore |
|---|---|---|---|---|
| $I_0$ | 0 | $I_0$ | 0 | 1 |
| $I_0$ | 1 | $I_1$ | 0 | 1 |
| $I_1$ | 0 | $I_1$ | 0 | 0 |
| $I_1$ | 1 | $I_2$ | 0 | 0 |
| $I_2$ | 0 | $I_2$ | 0 | 0 |
| $I_2$ | 1 | $I_0$ | 1 | 0 |

### *d)* Asignación de códigos de estados

Hasta este momento, hemos numerado los estados internos de forma decimal por ser la más cómoda para nosotros, pero como los elementos de memoria son elementos binarios, habrá que codificar éstos de forma binaria.

El número de bits a emplear será igual al número de elementos de memoria, es decir, si hay $N$ estados, el número $n$ será como mínimo el que cumpla: $2^{n-1} < N < 2^n$.



Por tanto, en el caso que nos ocupa, donde existen tres estados, serán necesarios al menos 2 bits para codificarlos y los podremos asignar, por ejemplo, de la siguiente manera:

$$I_0 \longrightarrow 00 \qquad I_1 \longrightarrow 01 \qquad I_2 \longrightarrow 11$$

Sustituyendo estos códigos en la tabla de estados obtenemos la Tabla 7.2.

**Tabla 7.2.** Tabla de estados en la que se han sustituido las variables de los estados iniciales por el valor binario asignado

| Estado inicial | X | Estado final | Salida Mealy | Salida Moore |
|---|---|---|---|---|
| 00 | 0 | 00 | 0 | 1 |
| 00 | 1 | 01 | 0 | 1 |
| 01 | 0 | 01 | 0 | 0 |
| 01 | 1 | 10 | 0 | 0 |
| 10 | 0 | 10 | 0 | 0 |
| 10 | 1 | 00 | 1 | 0 |

### *e)* Selección de los elementos de memoria

En esta fase se decide qué elemento de memoria va a ser usado en el diseño, es decir, relés, biestables, etc., para lo cual nos basaremos en consideraciones de velocidad, economía, disposición, etcétera.

En el ejemplo que nos ocupa utilizaremos biestables del tipo *J-K*.

### *f)* Tablas de excitación

Una vez conocido cuál es el tipo de biestable que vamos a utilizar, debemos determinar las conexiones que deben realizarse entre los diferentes biestables para que se comporten de acuerdo con el contenido de la Tabla 7.2. Para ello se recurre al empleo de tablas de excitación del biestable *J-K*. Estas tablas nos indican los valores que hay que aplicar a las entradas *J* y *K* para que la salida evolucione de uno a otro estado.

**Tabla 7.3.** Tabla de excitación del biestable *J-K*

| $Q_{n(t)}$ | $\longrightarrow$ | $Q_{n(t+1)}$ | J | K |
|---|---|---|---|---|
| 0 | | 0 | 0 | × |
| 0 | | 1 | 1 | × |
| 1 | | 0 | × | 1 |
| 1 | | 1 | × | 0 |

Teniendo en cuenta la tabla de excitación del biestable *J-K*, la Tabla de estados 7.2 se transforma en la tabla de excitación del circuito que se representa en la Tabla 7.4, donde en la columna de estado actual se ha designado con variables $Q_{n(t)}$ al estado en el que se encuentran las salidas de

cada uno de los biestables antes de producirse la señal de reloj. A su vez, en la columna de estado final, se han designado con variables $Q_{n(t+1)}$ el estado de dichas salidas después de producirse la señal de reloj. Se han añadido, además, tantas columnas como biestables tiene el sistema, donde se indica el valor que deben tener las entradas de los biestables para que se realice la transición de $Q_{n(t)}$ a $Q_{n(t+1)}$.

Por último, las columnas de salidas del autómata quedan como estaban.

**Tabla 7.4.** Tablas de excitación de los autómatas utilizando para su diseño biestables *J-K*

| Estado inicial $Q_{1(t)}$ | Estado inicial $Q_{0(t)}$ | $X$ | Estado final $Q_{1(t+1)}$ | Estado final $Q_{0(t+1)}$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ | Salida Mealy $S$ | Salida Moore $S$ |
|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | × | 0 | × | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 | × | 1 | × | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 | × | × | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 | × | × | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | × | 0 | 0 | × | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | × | 1 | 0 | × | 1 | 0 |

### *g)* Minimización de las funciones de excitación

A partir de la tabla de excitación obtenida en la etapa anterior se determinan las entradas de los biestables en función de los estados iniciales y de las entradas al circuito secuencial. Para nuestro caso se trata de obtener $J_0$, $K_0$, $J_1$, $K_1$, en función de $Q_0$, $Q_1$, y $X$.

Podemos observar que la tabla de excitación no posee las siguientes condiciones iniciales y de entrada.

**Tabla 7.5.** Combinaciones no existentes en el ejemplo inicial

| $Q_{1(t)}$ | $Q_{0(t)}$ | $X$ |
|---|---|---|
| 1 | 1 | 0 |
| 1 | 1 | 1 |

Esto es debido a que el circuito secuencial que estamos diseñando tiene dos estados, de acuerdo con la codificación que hemos definido, que no existen, las combinaciones 110, y 111; esto se refleja en el mapa de Karnaugh quedando varias casillas vacías. Dichas casillas pueden rellenarse con condiciones de indiferencia si suponemos que nuestro circuito nunca va a pasar por los estados 110 y 111.

Por tanto, se pueden escribir los mapas de Karnaugh de la Figura 7.7 para definir las funciones de entrada a cada uno de los biestables.



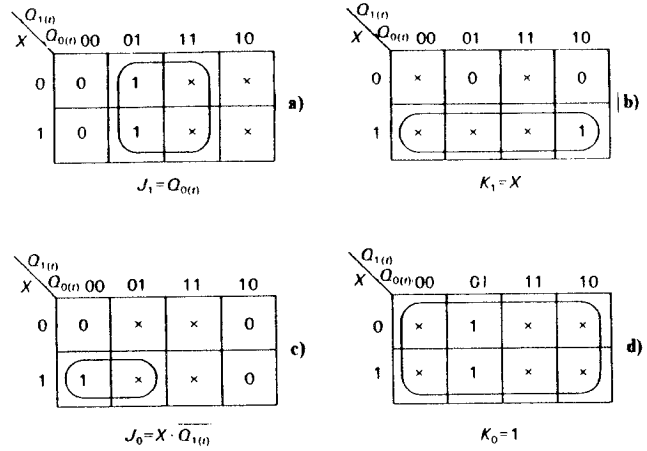



**Figura 7.7.** Mapas de Karnaugh para definir las funciones de entrada de los biestables.

Para obtener las funciones de las salidas recurrimos también a las tablas de excitación; a partir de ellas podemos obtener un mapa de Karnaugh para la salida de Mealy *a)* y otro para la de Moore *b)*.

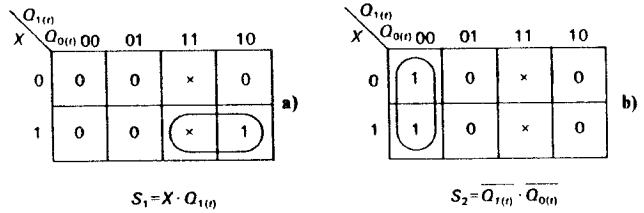



**Figura 7.8.** Mapa de Karnaugh para definir las funciones de salida: *a)* Modelo de Mealy. *b)* Modelo de Moore.

### *h)* Dibujo y realización del circuito

Partiendo de las ecuaciones obtenidas en el apartado anterior, pasamos a la implementación del circuito, tal y como se muestra en la Figura 7.9.

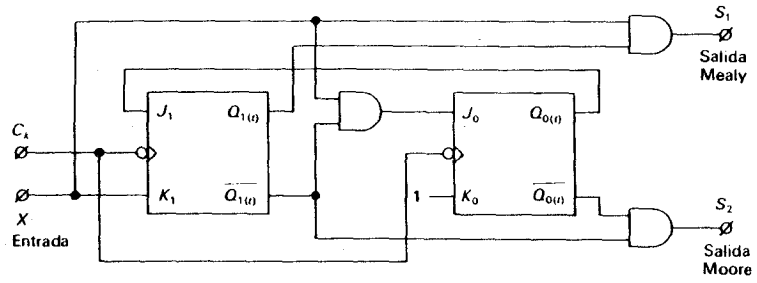



**Figura 7.9.** Divisor de frecuencia por tres para los modelos de Mealy y Moore.

## 7.5. DISEÑO REDUCIDO

Existe la posibilidad, en ciertos tipos de circuitos secuenciales, de simplificar el método general de diseño anteriormente expuesto.

A modo de ejemplo, analicemos el divisor de frecuencia diseñado en el apartado anterior. En dicho divisor por tres se puede observar que existe una entrada $X$ por donde llegan los impulsos cuya frecuencia se quiere dividir, y otra de reloj o sincronismo $C$.

Debido a que el tipo de biestable empleado es el *J-K Master-Slave*, el circuito sólo se encontrará activo en los flancos de bajada de la señal de reloj y, por tanto, dichos flancos han de hacerse coincidir con $X = 1$, ya que sólo este nivel de $X$ produce cambios de estado en el automatismo.

En la Figura 7.10 se representa lo anterior.

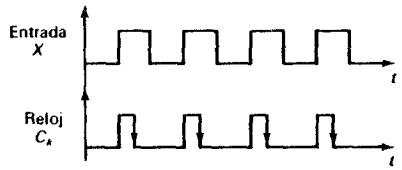



**Figura 7.10.** Sincronización de las señales de entrada.

Según lo visto en la Figura 7.10, se puede deducir fácilmente que la frecuencia de la señal de reloj $C_k$ ha de coincidir con la de la entrada $X$ para conseguir la sincronización en el funcionamiento del autómata. En consecuencia, podemos simplificar el autómata introduciendo los impulsos cuya frecuencia se desea dividir, por la entrada de reloj $C_k$ y posicionando a 1 permanente la entrada $X$ (Fig. 7.11).



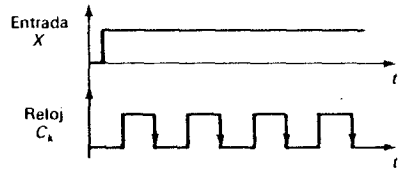



**Figura 7.11.** Sincronización modificada de las señales de entrada.

Aplicando lo anterior a las ecuaciones obtenidas para el autómata que nos sirve de ejemplo, se obtiene:

$$J_1 = \overline{Q_{0(t)}} \qquad K_1 = 1$$
$$J_0 = \overline{Q_{1(t)}} \qquad K_0 = 1$$
$$S_1 = Q_{1(t)} \qquad S_2 = Q_{1(t)}\ Q_{0(t)}$$

La implementación del circuito resultante aparece en la Figura 7.12.

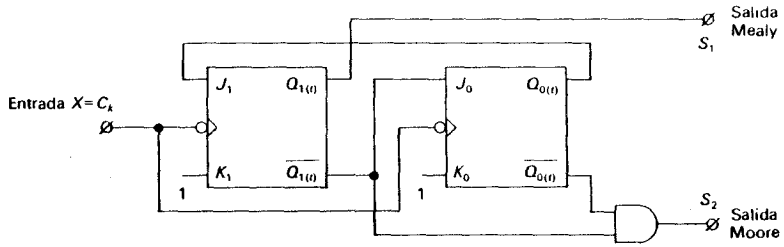



**Figura 7.12.** Diseño simplificado del divisor de frecuencia por tres.

En general, el método reducido o simplificado de diseño de autómatas secuenciales se debe aplicar en *circuitos en los que sólo se produzcan cambios de estado cuando la señal de entrada tenga un valor determinado y permanezca estable cuando adopten el contrario.*

## 7.6. FORMAS DE ARRANQUE

Al realizar el diseño del divisor de frecuencia por tres se ha supuesto que el Estado 11 es un estado por el que no pasa el circuito secuencial que diseñamos, lo cual nos permite crear unas condiciones de indiferencia que simplifican considerablemente el circuito.

Al realizar lo dicho anteriormente se crean unas determinadas transiciones entre los estados que ya teníamos y el Estado erróneo 11.

Por tanto, el diagrama de flujos (o estados) se transforma en el que aparece en la Figura 7.13. Como puede verse en el diagrama citado, se han representado solamente las flechas para los valores de $X = 1$, ya que para $X = 0$ no se produce ninguna transición de cambio.

Según podemos observar en el diagrama, si se parte de alguno de los estados previstos inicialmente: 00, 01, 10, el circuito secuencial va a mantenerse dentro del bucle formado por dichos estados, dando lugar a un funcionamiento correcto con respecto al diseño deseado.

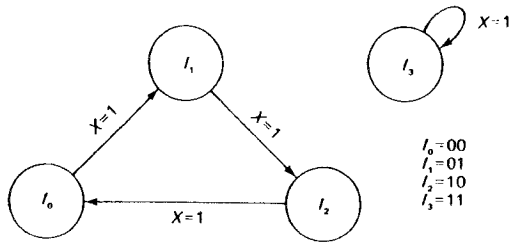



**Figura 7.13.** Diagrama de estados del divisor por tres, incluyendo la entrada y bloqueo en el estado erróneo $I_3$.

Si por cualquier causa, como puede ser la conexión del circuito, entramos al estado erróneo 11, el divisor se quedará entonces bloqueado en este estado erróneo.

La citada situación de bloqueo al entrar en el estado $I_3$, puede resolverse creando los llamados sistemas de arranque o autoarranque que nos lleven de forma automática al bucle de funcionamiento correcto. Estos sistemas de arranque son dos:

• *Arranque síncrono:* Consiste en plantear al comenzar el diseño un diagrama de estados que considere no sólo los estados que intervienen en el circuito secuencial, sino todos los estados posibles, forzando la evolución de aquellos erróneos que no pertenecen a la secuencia correcta, a estados que pertenezcan a ella.

En el caso del divisor por tres empleado como ejemplo, podemos diseñar el diagrama de estados de la Figura 7.14.

Como puede verse en dicha figura, si por cualquier circunstancia se entrase en el estado $I_3$, en el siguiente estado de reloj se entraría en estado $I_2$ correspondiente al bucle de funcionamiento correcto.

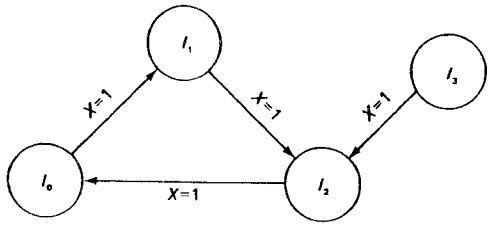



**Figura 7.14.** Diagrama de estados del divisor por tres con arranque síncrono.



El inconveniente de este método es la eliminación de las indiferencias en el diseño y, por tanto, una mayor complejidad en las conexiones y elementos del diseño final.

• *Arranque asíncrono:* Teniendo en cuenta que la probabilidad de que el autómata salte a estados erróneos o no permitidos es mayor en el momento de la conexión del circuito, debido a que los biestables se posicionan aleatoriamente al comenzar su alimentación, podremos diseñar el autómata sin sistema de arranque (empleando, por tanto, todas las indiferencias) y añadir al diseño una puesta a cero asíncrona a todos los biestables en el momento de encender el autómata. Esto obligará al autómata a comenzar siempre por el estado 00.

En la Figura 7.15 podemos ver esta solución para el divisor por tres empleado como ejemplo.

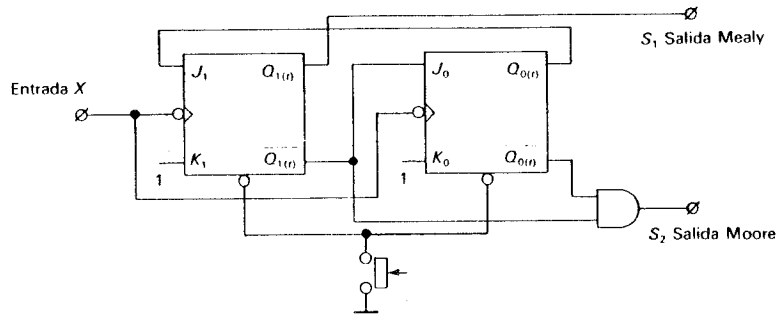



**Figura 7.15.** Divisor de frecuencia por tres con sistema de arranque asíncrono

## PROBLEMAS RESUELTOS

**7.1.** Dado el diagrama de flujos de la Figura 7.16, deducir su tabla de excitación para implementar el circuito con biestables tipo *D*. (Nota: El símbolo × significa que el valor de la variable es indiferente, 0 o 1.)

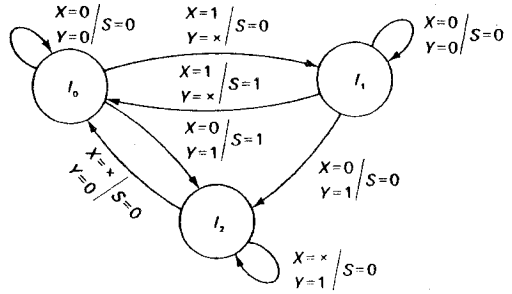



**Figura 7.16.** Diagrama de flujos del Problema 7.1.

**Solución:** En la Tabla 7.6 aparece la tabla de estados correspondiente al diagrama de flujos de la Figura 7.16, que corresponde a la de un autómata de Mealy.

Seguidamente asignamos a los estados un código binario.

$$I_0 \longrightarrow 00$$
$$I_1 \longrightarrow 01$$
$$I_2 \longrightarrow 10$$

Sustituyendo estos códigos en la tabla de estados y teniendo en cuenta la tabla de transición de un biestable $D$ obtenemos la Tabla 7.7.

**Tabla 7.6.** Tabla de estados del Problema 7.1

| Estado actual | Entradas $X$ | Entradas $Y$ | Estado futuro | Salida |
|---|---|---|---|---|
| $I_0$ | 0 | 0 | $I_0$ | 0 |
| $I_0$ | 0 | 1 | $I_2$ | 1 |
| $I_0$ | 1 | 0 | $I_1$ | 0 |
| $I_0$ | 1 | 1 | $I_1$ | 0 |
| $I_1$ | 0 | 0 | $I_1$ | 0 |
| $I_1$ | 0 | 1 | $I_2$ | 0 |
| $I_1$ | 1 | 0 | $I_0$ | 1 |
| $I_1$ | 1 | 1 | $I_0$ | 1 |
| $I_2$ | 0 | 0 | $I_0$ | 0 |
| $I_2$ | 0 | 1 | $I_2$ | 0 |
| $I_2$ | 1 | 0 | $I_0$ | 0 |
| $I_2$ | 1 | 1 | $I_2$ | 0 |

**Tabla 7.7.** Tabla de excitación del Problema 7.1

| Estado actual $Q_{1(t)}$ | Estado actual $Q_{2(t)}$ | Entradas $X$ | Entradas $Y$ | Estado futuro $Q_{1(t+1)}$ | Estado futuro $Q_{2(t+1)}$ | $D_1$ | $D_2$ | Salida $S$ |
|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |



**7.2.** Dado el diagrama de flujos del circuito de la Figura 7.17, determinar su tabla de excitación si el circuito se ha de implementar con biestables del tipo $J$-$K$.

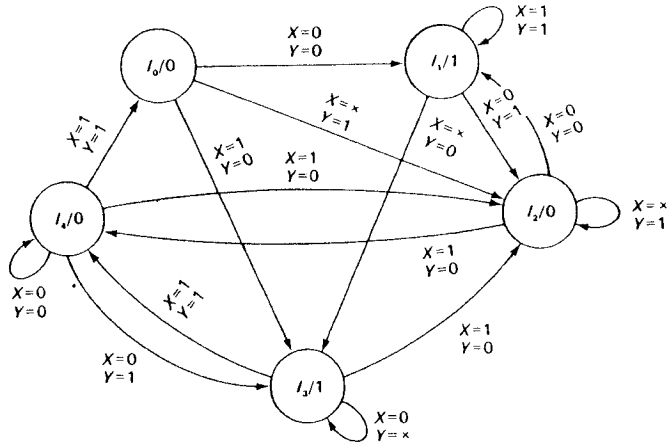



**Figura 7.17.** Diagrama de flujo del Problema 7.2.

**Solución:** La Tabla 7.8 es la de transición de estados del diagrama de flujos de la Figura 7.17.

**Tabla 7.8.** Tabla de estados del Problema 7.2

| Estado actual | $X$ | $Y$ | Estado futuro | Salida $S$ |
|---|---|---|---|---|
| $I_0$ | 0 | 0 | $I_1$ | 0 |
| $I_0$ | 0 | 1 | $I_2$ | 0 |
| $I_0$ | 1 | 0 | $I_3$ | 0 |
| $I_0$ | 1 | 1 | $I_2$ | 0 |
| $I_1$ | 0 | 0 | $I_3$ | 1 |
| $I_1$ | 0 | 1 | $I_2$ | 1 |
| $I_1$ | 1 | 0 | $I_3$ | 1 |
| $I_1$ | 1 | 1 | $I_1$ | 1 |
| $I_2$ | 0 | 0 | $I_1$ | 0 |
| $I_2$ | 0 | 1 | $I_2$ | 0 |
| $I_2$ | 1 | 0 | $I_4$ | 0 |
| $I_2$ | 1 | 1 | $I_2$ | 0 |
| $I_3$ | 0 | 0 | $I_3$ | 1 |
| $I_3$ | 0 | 1 | $I_3$ | 1 |
| $I_3$ | 1 | 0 | $I_2$ | 1 |
| $I_3$ | 1 | 1 | $I_4$ | 1 |
| $I_4$ | 0 | 0 | $I_4$ | 0 |
| $I_4$ | 0 | 1 | $I_3$ | 0 |
| $I_4$ | 1 | 0 | $I_2$ | 0 |
| $I_4$ | 1 | 1 | $I_0$ | 0 |

Como hay cinco estados distintos, hacen falta tres bits para codificar los estados. Designamos los siguientes valores:

$000 \longrightarrow I_0$
$001 \longrightarrow I_1$
$010 \longrightarrow I_2$
$011 \longrightarrow I_3$
$100 \longrightarrow I_4$

Por tanto, la tabla de excitación, utilizando biestables del tipo *J-K*, quedará como se muestra en la Tabla 7.9.

**Tabla 7.9.** Tabla de excitación del Problema 7.2

| Estado actual $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | $X$ | $Y$ | Estado futuro $Q_{2(t+1)}$ | $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | $J_2$ | $K_2$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ | $S$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | × | 0 | × | 1 | × | 0 |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | × | 1 | × | 0 | × | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | × | 1 | × | 1 | × | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | × | 1 | × | 0 | × | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | × | 1 | × | × | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | × | 1 | × | × | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | × | 1 | × | × | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | × | 0 | × | × | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | × | × | 1 | 1 | × | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | × | × | 0 | 0 | × | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | × | × | 1 | 0 | × | 0 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | × | × | 0 | 0 | × | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | × | × | 0 | × | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | × | × | 0 | × | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | × | × | 0 | × | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | × | × | 1 | × | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | × | 0 | 0 | × | 0 | × | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | × | 1 | 1 | × | 1 | × | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | × | 1 | 1 | × | 0 | × | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | × | 1 | 0 | × | 0 | × | 0 |

**7.3.** Dado el diagrama de flujos de la Figura 7.18, obtener su tabla de excitación si se ha de implementar el circuito con biestables del tipo *J-K*.

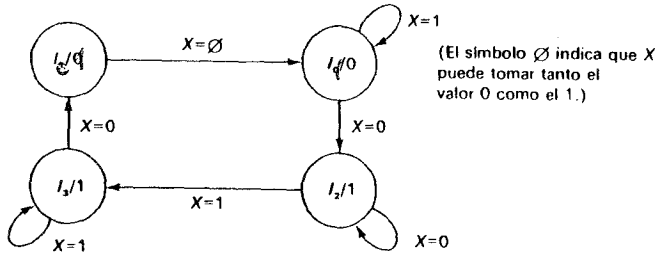



**Figura 7.18.** Diagrama de flujos del Problema 7.3.



**Solución:** La Tabla 7.10 es la tabla de estados del autómata.

**Tabla 7.10.** Tabla de estados del Problema 7.3

| Estado actual | $X$ | Estado futuro | Salida |
|---|---|---|---|
| $I_0$ | 0 | $I_1$ | 0 |
| $I_0$ | 1 | $I_1$ | 0 |
| $I_1$ | 0 | $I_2$ | 0 |
| $I_1$ | 1 | $I_1$ | 0 |
| $I_2$ | 0 | $I_2$ | 1 |
| $I_2$ | 1 | $I_3$ | 1 |
| $I_3$ | 0 | $I_0$ | 1 |
| $I_3$ | 1 | $I_3$ | 1 |

Como hay cuatro estados distintos, se necesitan, al menos, dos bits para codificarlos, por tanto, se codifican utilizando la siguiente asignación:

$I_0 \longrightarrow 00$
$I_1 \longrightarrow 01$
$I_2 \longrightarrow 10$
$I_3 \longrightarrow 11$

La Tabla 7.11 será, en consecuencia, la tabla de excitación utilizando biestables *J-K*.

**Tabla 7.11.** Tabla de excitación del Problema 7.3

| Estado actual $Q_{1(t)}$ | $Q_{0(t)}$ | $X$ | Estado futuro $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ | Salida $S$ |
|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 | 0 | × | 1 | × | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | × | 1 | × | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | × | × | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | × | × | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | × | 0 | 0 | × | 1 |
| 1 | 0 | 1 | 1 | 1 | × | 0 | 1 | × | 1 |
| 1 | 1 | 0 | 0 | 0 | × | 1 | × | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | × | 0 | × | 0 | 1 |

**7.4.** Empleando un biestable *J-K* y un biestable *D* activos por flanco de bajada, implementar un circuito que genere la siguiente secuencia: 000, 010, 100, 110.

**Solución:** Como el bit menos significativo no cambia, ya que siempre es 0, el diagrama de flujos para el modelo de Moore es el que se muestra en la Figura 7.19.

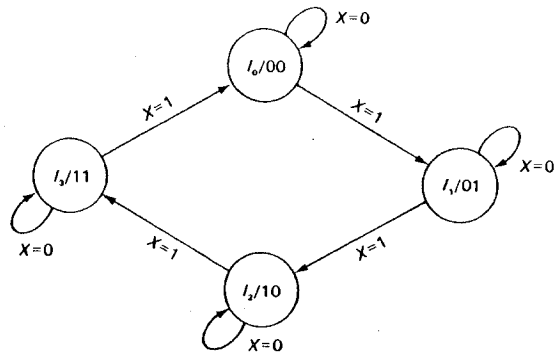



**Figura 7.19.** Diagrama de flujos del Problema 7.4.

La Tabla 7.12 es la correspondiente al diagrama de flujos de la Figura 7.19.

**Tabla 7.12.** Tabla de estados del Problema 7.4

| Estado actual | $X$ | Estado futuro | Salida | |
|---|---|---|---|---|
| $I_0$ | 0 | $I_0$ | 0 | 0 |
| $I_0$ | 1 | $I_1$ | 0 | 0 |
| $I_1$ | 0 | $I_1$ | 0 | 1 |
| $I_1$ | 1 | $I_2$ | 0 | 1 |
| $I_2$ | 0 | $I_2$ | 1 | 0 |
| $I_2$ | 1 | $I_3$ | 1 | 0 |
| $I_3$ | 0 | $I_3$ | 1 | 1 |
| $I_3$ | 1 | $I_0$ | 1 | 1 |

Como existen cuatro estados distintos, hará falta utilizar dos bits para codificarlos; además, como hemos empleado en el diseño el modelo de Moore, si se hacen coincidir los estados internos con los valores de salida, el circuito de salida será directamente la salida de los biestables. Por tanto, codificamos de la siguiente manera:

$$I_0 \longrightarrow 00$$
$$I_1 \longrightarrow 01$$
$$I_2 \longrightarrow 10$$
$$I_3 \longrightarrow 11$$

Por tanto, obtenemos la Tabla 7.13 en la que ya se tiene en cuenta el empleo de un biestable *J-K* y un biestable *D*.



**Tabla 7.13.** Tabla de excitación del Problema 7.4

| Estado actual $Q_{1(t)}$ | $Q_{0(t)}$ | $X$ | Estado futuro $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | $J_1$ | $K_1$ | $D$ | Salida $S_2$ | $S_1$ |
|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | × | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | × | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | × | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | × | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | × | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 | × | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | × | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | × | 1 | 0 | 1 | 1 |

Seguidamente, mediante los mapas de Karnaugh de la Figura 7.20, se deducen las ecuaciones de entrada de los biestables.

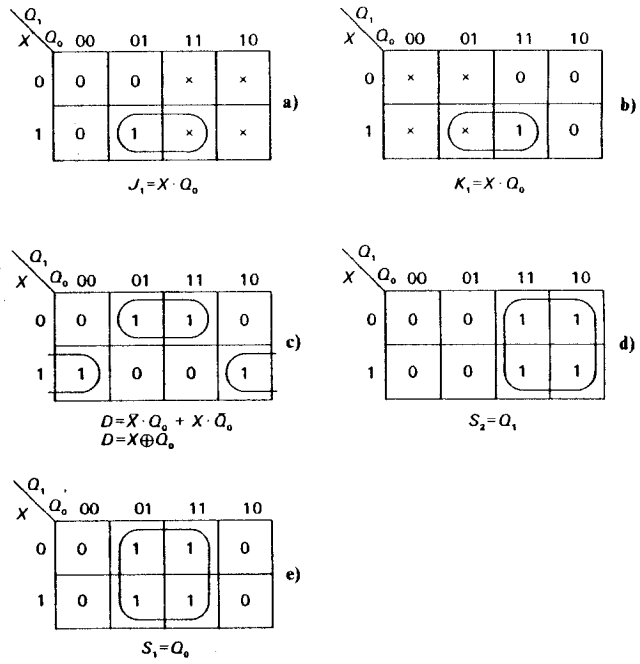



**Figura 7.20.** Mapas de Karnaugh para el cálculo de las funciones de entrada y salida de los biestables del Problema 7.4.

Como puede apreciarse, las salidas de los biestables coinciden con la salida de los autómatas, tal y como se ha comentado anteriormente. El circuito será, por tanto, el que se muestra en la Figura 7.21.

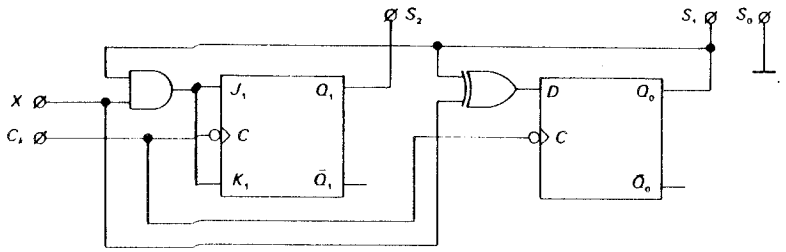



**Figura 7.21.** Resultado del Problema 7.4.

7.5. Implementar con biestables *J-K* el autómata que representa el siguiente diagrama de flujos (Figura 7.22).

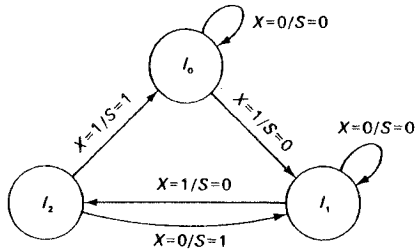



**Figura 7.22.** Diagrama de flujos para el diseño del Problema 7.5.

**Solución:** La Tabla 7.14 es la tabla de estados correspondiente al diagrama de flujos de la Figura 7.22.

**Tabla 7.14.** Tabla de estados del Problema 7.5

| Estado actual | $X$ | Estado futuro | Salida |
|---|---|---|---|
| $I_0$ | 0 | $I_0$ | 0 |
| $I_0$ | 1 | $I_1$ | 0 |
| $I_1$ | 0 | $I_1$ | 0 |
| $I_1$ | 1 | $I_2$ | 0 |
| $I_2$ | 0 | $I_1$ | 1 |
| $I_2$ | 1 | $I_0$ | 1 |



Como hay tres estados distintos, necesitamos al menos dos bits para poder codificarlos. Decidimos hacerlo de la siguiente manera:

$I_0 \longrightarrow 00$
$I_1 \longrightarrow 01$
$I_2 \longrightarrow 10$

La tabla de excitación, utilizando biestables *J-K*, quedará tal y como se muestra en la Tabla 7.15.

**Tabla 7.15.** Tabla de excitación del Problema 7.5

| Estado actual $Q_{1(t)}$ | $Q_{0(t)}$ | $X$ | Estado futuro $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ | $S$ |
|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | × | 0 | × | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | × | 1 | × | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | × | × | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 | × | × | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | × | 1 | 1 | × | 1 |
| 1 | 0 | 1 | 0 | 0 | × | 1 | 0 | × | 1 |

Seguidamente, utilizando el método de Karnaugh, se obtienen las ecuaciones de entrada y salida de los biestables (Fig. 7.23).

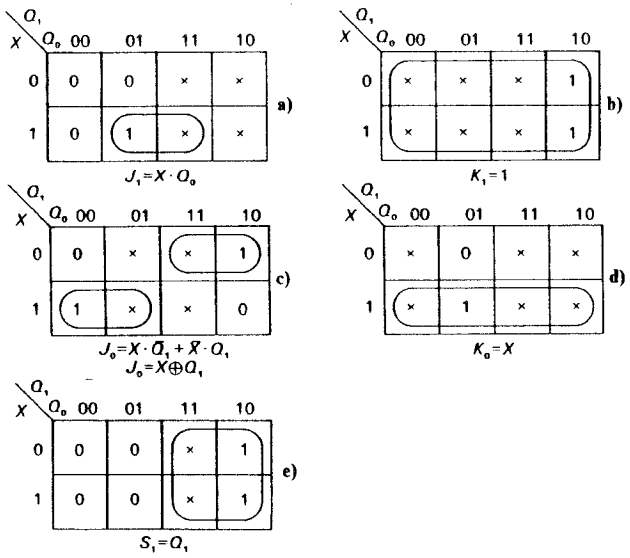



**Figura 7.23.** Mapas de Karnaugh para la obtención de las ecuaciones de entrada y salida de los biestables.

Por tanto, el circuito quedará como se muestra en la Figura 7.24.

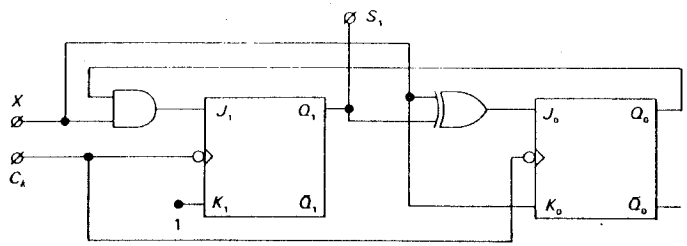



**Figura 7.24.** Resultado del Problema 7.5.

**7.6.** Analizar el circuito de la Figura 7.25 obteniendo la tabla de estados y la de excitación, así como su diagrama de flujos.

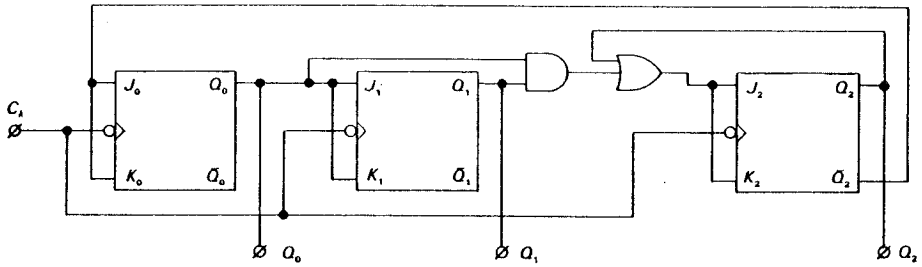



**Figura 7.25.** Circuito secuencial con biestables *J-K* del Problema 7.6.

**Solución:** Las ecuaciones de entrada y salida a la vista del circuito son las siguientes:

$$J_0 = K_0 = \bar{Q}_2$$
$$J_1 = K_1 = Q_0$$
$$J_2 = K_2 = Q_1 \cdot Q_0 + Q_2$$

Una vez conocidas las ecuaciones de entrada se puede deducir la evolución de los estados por los que pasa, tal y como se aprecia en la Tabla 7.16.



**Tabla 7.16.** Tabla de excitación del Problema 7.6

| $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | $J_2$ | $K_2$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ | $Q_{2(t+1)}$ | $Q_{1(t+1)}$ | $Q_{0(t+1)}$ |
|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |

Se pueden codificar los estados de acuerdo con la siguiente asignación:

$$000 \longrightarrow I_0$$
$$001 \longrightarrow I_1$$
$$010 \longrightarrow I_2$$
$$011 \longrightarrow I_3$$
$$100 \longrightarrow I_4$$
$$101 \longrightarrow I_5$$
$$110 \longrightarrow I_6$$
$$111 \longrightarrow I_7$$

Por consiguiente, ya se está en condiciones de escribir una tabla de transición de estados como la Tabla 7.17.

**Tabla 7.17.** Tabla de estados del Problema 7.6

| Estado actual | Estado futuro |
|---|---|
| $I_0$ | $I_1$ |
| $I_1$ | $I_2$ |
| $I_2$ | $I_3$ |
| $I_3$ | $I_4$ |
| $I_4$ | $I_0$ |
| $I_5$ | $I_3$ |
| $I_6$ | $I_2$ |
| $I_7$ | $I_1$ |

Finalmente, el diagrama de flujos del circuito de la Figura 7.25 es el que se muestra en la Figura 7.26.

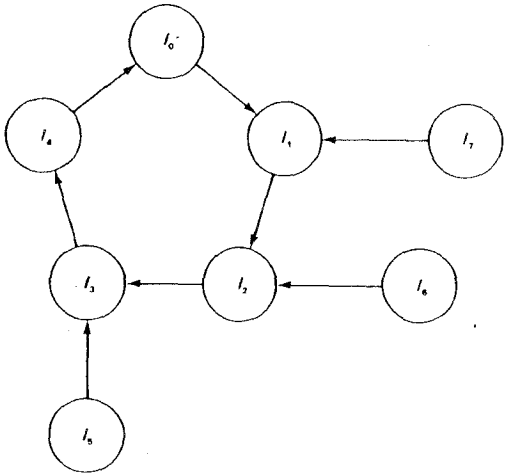



**Figura 7.26.** Diagrama de flujos del Problema 7.6.

7.7. Analizar el circuito de la Figura 7.27, obteniendo la tabla de estados y la de excitación, así como su diagrama de flujos.

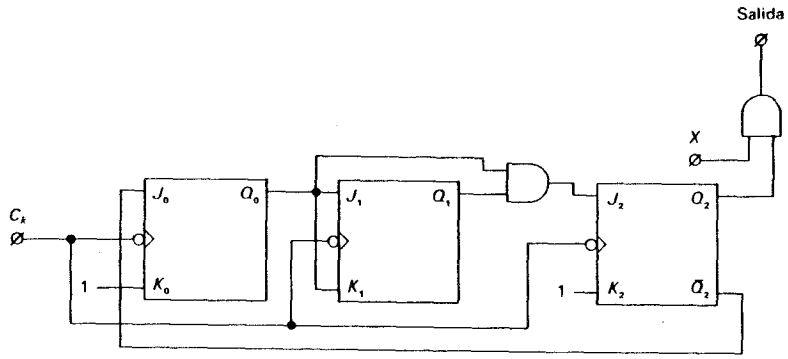



**Figura 7.27.** Circuito secuencial del Problema 7.7.



**Solución:** Las ecuaciones de entrada y salida a la vista del circuito son las siguientes:

$$J_0 = \bar{Q}_2$$
$$J_1 = Q_0$$
$$J_2 = Q_1 \cdot Q_0$$
$$S = X \cdot Q_2$$
$$K_0 = 1$$
$$K_1 = Q_0$$
$$K_2 = 1$$

Una vez conocidas las ecuaciones de entrada, se puede deducir la evolución de los estados por los que pasa, tal y como se observa en la Tabla 7.18.

**Tabla 7.18.** Tabla de transiciones del Problema 7.7

| $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | $X$ | $J_2$ | $K_2$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ | $Q_{2(t+1)}$ | $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | $S$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |

Se pueden codificar los estados de acuerdo con la siguiente asignación:

$$000 \longrightarrow I_0 \qquad 100 \longrightarrow I_4$$
$$001 \longrightarrow I_1 \qquad 101 \longrightarrow I_5$$
$$010 \longrightarrow I_2 \qquad 110 \longrightarrow I_6$$
$$011 \longrightarrow I_3 \qquad 111 \longrightarrow I_7$$

Se está ya en condiciones de escribir una tabla de transición de estados como la Tabla 7.19.

**Tabla 7.19.** Tabla de estados del Problema 7.7

| Estado actual | $X$ | Estado futuro | $S$ |
|---|---|---|---|
| $I_0$ | 0 | $I_1$ | 0 |
| $I_0$ | 1 | $I_1$ | 0 |
| $I_1$ | 0 | $I_2$ | 0 |
| $I_1$ | 1 | $I_2$ | 0 |
| $I_2$ | 0 | $I_3$ | 0 |
| $I_2$ | 1 | $I_3$ | 0 |
| $I_3$ | 0 | $I_4$ | 0 |
| $I_3$ | 1 | $I_4$ | 0 |
| $I_4$ | 0 | $I_0$ | 0 |
| $I_4$ | 1 | $I_0$ | 1 |
| $I_5$ | 0 | $I_2$ | 0 |
| $I_5$ | 1 | $I_2$ | 1 |
| $I_6$ | 0 | $I_2$ | 0 |
| $I_6$ | 1 | $I_2$ | 1 |
| $I_7$ | 0 | $I_0$ | 0 |
| $I_7$ | 1 | $I_0$ | 1 |

El diagrama de flujos del circuito de la Figura 7.27 es el que se muestra en la Figura 7.28.

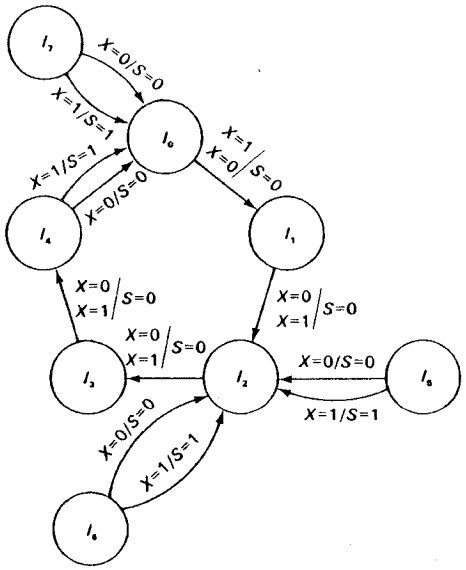



**Figura 7.28.** Diagrama de flujos del Problema 7.7.



**7.8.** Analizar el circuito de la Figura 7.29 obteniendo la tabla de transición, salida y la de excitación, así como su diagrama de flujos.

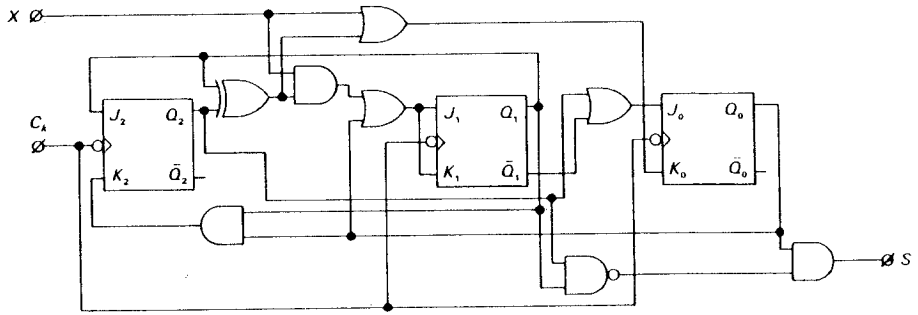



**Figura 7.29.** Circuito secuencial del Problema 7.8.

**Solución:** Las ecuaciones de entrada y salida a la vista del circuito son las siguientes:

$$J_2 = Q_1 \qquad K_2 = Q_1 \cdot Q_0$$
$$J_1 = K_1 = X \cdot (Q_2 \oplus Q_1) + Q_0 \qquad S = Q_0 \cdot \overline{(Q_1 \cdot Q_2)}$$
$$J_0 = \bar{Q}_1 + Q_2 \qquad K_0 = X + (Q_2 \oplus Q_1)$$

Una vez conocidas las ecuaciones de entrada se puede deducir la evolución de los estados por los que pasa, tal y como se puede apreciar en la Tabla 7.20 de excitación del circuito.

**Tabla 7.20.** Tabla de excitación del Problema 7.8

| $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | $X$ | $J_2$ | $K_2$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ | $Q_{2(t+1)}$ | $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | $S$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |

Se pueden codificar los estados de acuerdo con la siguiente asignación:

$000 \longrightarrow I_0$ $\quad 100 \longrightarrow I_4$
$001 \longrightarrow I_1$ $\quad 101 \longrightarrow I_5$
$010 \longrightarrow I_2$ $\quad 110 \longrightarrow I_6$
$011 \longrightarrow I_3$ $\quad 111 \longrightarrow I_7$

Por consiguiente, ya se está en condiciones de escribir una tabla de transición de estados como la Tabla 7.21.

**Tabla 7.21.** Tabla de estados del Problema 7.8

| Estado actual | $X$ | Estado futuro | Salida $S$ |
|---|---|---|---|
| $I_0$ | 0 | $I_1$ | 0 |
| $I_0$ | 1 | $I_1$ | 0 |
| $I_1$ | 0 | $I_3$ | 1 |
| $I_1$ | 1 | $I_2$ | 1 |
| $I_2$ | 0 | $I_6$ | 0 |
| $I_2$ | 1 | $I_4$ | 0 |
| $I_3$ | 0 | $I_4$ | 1 |
| $I_3$ | 1 | $I_4$ | 1 |
| $I_4$ | 0 | $I_5$ | 0 |
| $I_4$ | 1 | $I_7$ | 0 |
| $I_5$ | 0 | $I_6$ | 1 |
| $I_5$ | 1 | $I_6$ | 1 |
| $I_6$ | 0 | $I_7$ | 0 |
| $I_6$ | 1 | $I_7$ | 0 |
| $I_7$ | 0 | $I_1$ | 0 |
| $I_7$ | 1 | $I_0$ | 0 |

El diagrama de flujos del circuito de la Figura 7.29 es el que se muestra en la Figura 7.30.

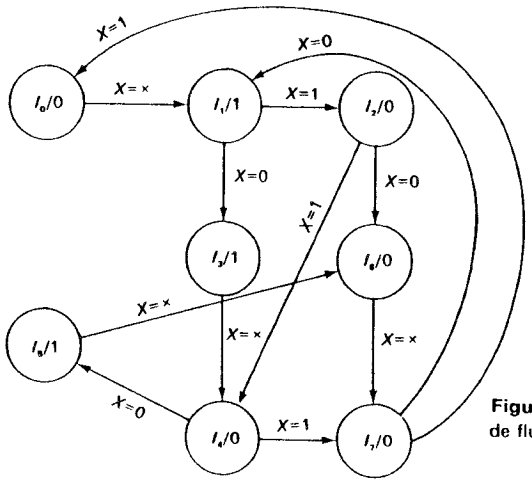



**Figura 7.30.** Diagrama de flujos del Problema 7.8.



**7.9.** Diseñar un circuito que cuente de 0 a 7 impulsos dando el resultado en binario y empleando para su realización biestables del tipo *J-K*. Utilizar los conceptos de automátas finitos.

**Solución:** De acuerdo con el enunciado, y por comodidad a la hora de la codificación de las salidas, es aconsejable utilizar el modelo de Moore para este desarrollo.

En primer lugar, se dibuja el diagrama de flujos del sistema, como se muestra en la Figura 7.31.

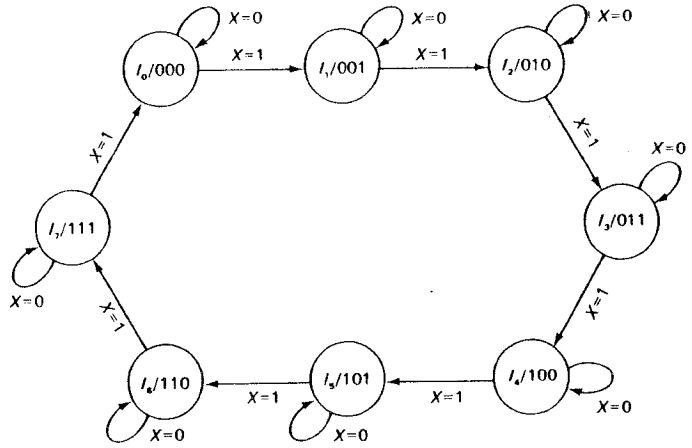



**Figura 7.31.** Diagrama de flujos del contador del Problema 7.9.

En segundo lugar, se realiza la tabla de estados de acuerdo con el diagrama de flujos, tal y como puede apreciarse en la Tabla 7.22.

**Tabla 7.22.** Tabla de estados del Problema 7.9

| Estado presente | $X$ | Estado futuro | Salida |
|---|---|---|---|
| $I_0$ | 0 | $I_0$ | 0 0 0 |
| $I_0$ | 1 | $I_1$ | 0 0 0 |
| $I_1$ | 0 | $I_1$ | 0 0 1 |
| $I_1$ | 1 | $I_2$ | 0 0 1 |
| $I_2$ | 0 | $I_2$ | 0 1 0 |
| $I_2$ | 1 | $I_3$ | 0 1 0 |
| $I_3$ | 0 | $I_3$ | 0 1 1 |
| $I_3$ | 1 | $I_4$ | 0 1 1 |
| $I_4$ | 0 | $I_4$ | 1 0 0 |
| $I_4$ | 1 | $I_5$ | 1 0 0 |
| $I_5$ | 0 | $I_5$ | 1 0 1 |
| $I_5$ | 1 | $I_6$ | 1 0 1 |
| $I_6$ | 0 | $I_6$ | 1 1 0 |
| $I_6$ | 1 | $I_7$ | 1 1 0 |
| $I_7$ | 0 | $I_7$ | 1 1 1 |
| $I_7$ | 1 | $I_0$ | 1 1 1 |

En tercer lugar, se hace la asignación de estados; en el caso que nos ocupa han de coincidir los estados internos del contador con las salidas para simplificar el circuito de salida, ya que, de esta manera, las salidas de los biestables coinciden con los estados internos del autómata.

De acuerdo con lo dicho, se realiza la asignación de estados de la siguiente manera:

$I_0 \longrightarrow 000$
$I_1 \longrightarrow 001$
$I_2 \longrightarrow 010$
$I_3 \longrightarrow 011$
$I_4 \longrightarrow 100$
$I_5 \longrightarrow 101$
$I_6 \longrightarrow 110$
$I_7 \longrightarrow 111$

En cuarto lugar, se sustituye esta codificación en la tabla de estados y, además, ampliamos esta tabla con la tabla de excitación teniendo en cuenta que hay que realizar el circuito empleando biestables del tipo *J-K* (Tabla 7.23).

**Tabla 7.23.** Tabla de excitación del Problema 7.9

| Estado presente | | | $X$ | Estado futuro | | | Salida | | | $J_2$ | $K_2$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | | $Q_{2(t+1)}$ | $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | $S_2$ | $S_1$ | $S_0$ | | | | | | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | × | 0 | × | 0 | × |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | × | 0 | × | 1 | × |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | × | 0 | × | × | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | × | 1 | × | × | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | × | × | 0 | 0 | × |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | × | × | 0 | 1 | × |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | × | × | 0 | × | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | × | × | 1 | × | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | × | 0 | 0 | × | 0 | × |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | × | 0 | 0 | × | 1 | × |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | × | 0 | 0 | × | × | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | × | 0 | 1 | × | × | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | × | 0 | × | 0 | 0 | × |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | × | 0 | × | 0 | 1 | × |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | × | 0 | × | 0 | × | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | × | 1 | × | 1 | × | 1 |

El quinto paso consiste en obtener los mapas de Karnaugh para reducir la interconexión de los biestables para cada una de sus entradas, teniendo en cuenta los estados internos y la variable $X$; así se obtienen los mapas de Karnaugh de la Figura 7.32.



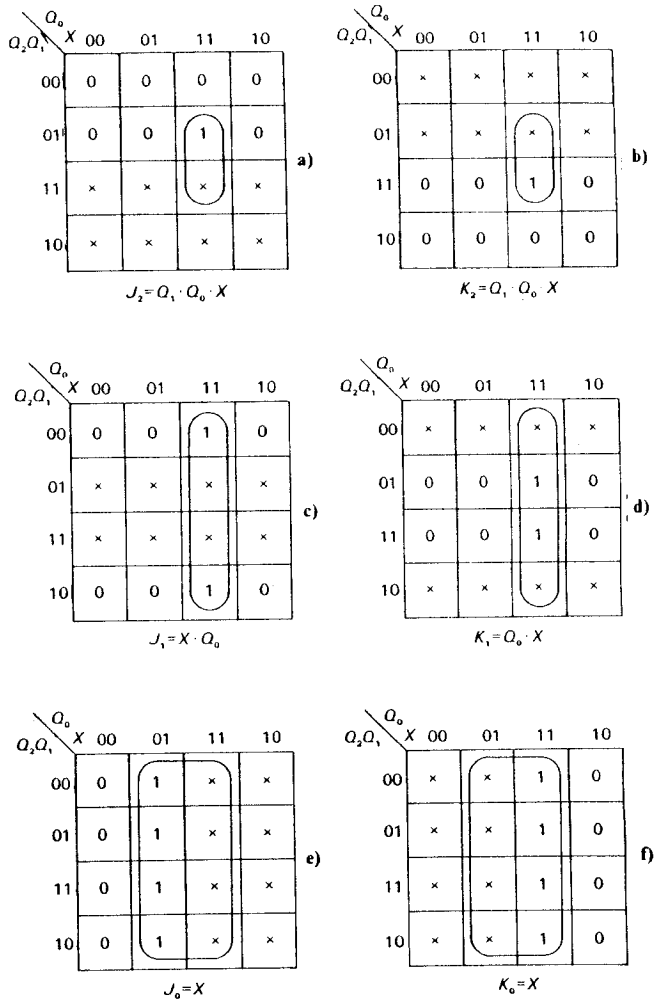



**Figura 7.32.** Mapas de Karnaugh correspondientes a las entradas de los biestables *J-K* del Problema 7.9.

Como, además, en la designación de estados internos del autómata de Moore se han hecho coincidir dichos estados con las salidas de los biestables, se puede comprobar que las salidas coinciden con los estados internos de los biestables sacando las funciones de éstas mediante los mapas de la Figura 7.33.

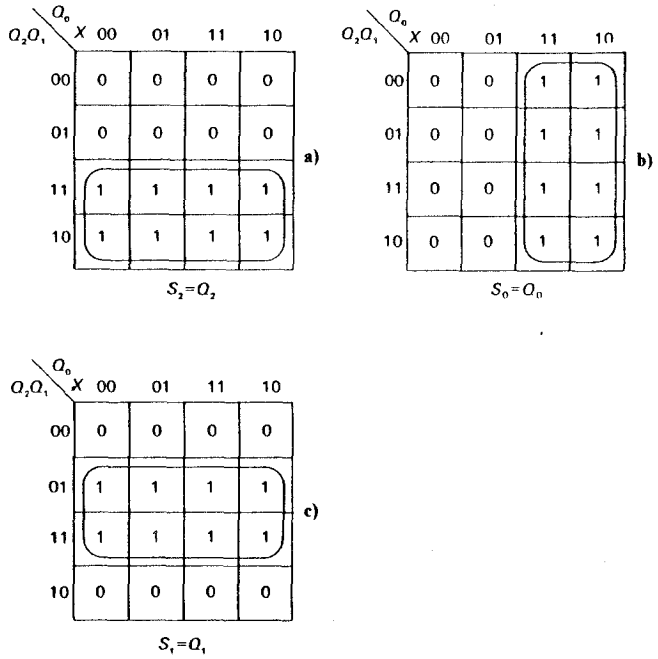



**Figura 7.33.** Mapas de Karnaugh de las salidas del Problema 7.9.

Dado que sólo se van a realizar transiciones de un estado a otro cuando la variable $X$ sea 1 y nunca cuando $X$ sea 0, el circuito funcionará como contador si se pone siempre a 1 la entrada $X$, y la entrada de impulsos a contar se realiza a través de la señal de reloj.

Las ecuaciones de entrada de los biestables quedan de la siguiente forma:

$$J_2 = Q_1 \cdot Q_0$$
$$K_2 = Q_1 \cdot Q_0$$
$$J_1 = Q_0$$
$$K_1 = Q_0$$
$$J_0 = 1$$
$$K_0 = 1$$

Finalmente, el circuito queda como se muestra en la Figura 7.34.



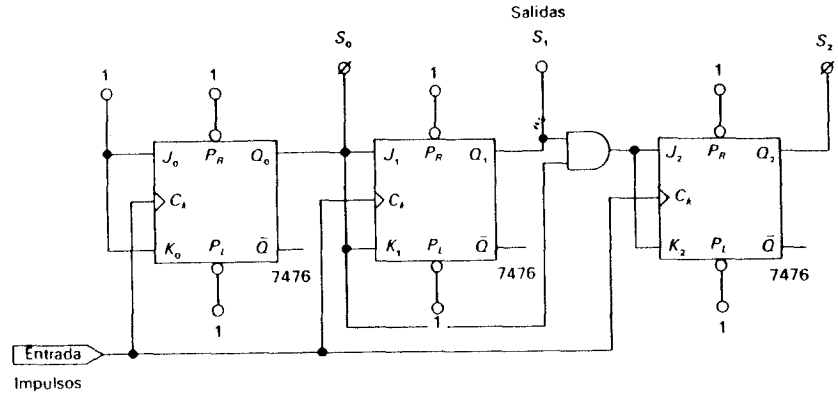



**Figura 7.34.** Resultado del Problema 7.9.

**7.10.** Implementar un circuito que genere un código Johnson de cuatro bits, empleando para ello biestables del tipo $J$-$K$ que trabajan dentro de un sistema síncrono.

**Solución:** Un código Johnson de cinco bits es el que se muestra en la Tabla 7.24.

**Tabla 7.24.**
Problema 7.10

| | *D* | *C* | *B* | *A* |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 | 1 |
| 3 | 0 | 1 | 1 | 1 |
| 4 | 1 | 1 | 1 | 1 |
| 5 | 1 | 1 | 1 | 0 |
| 6 | 1 | 1 | 0 | 0 |
| 7 | 1 | 0 | 0 | 0 |

El diagrama de flujos de este generador de códigos es el que se muestra en la Figura 7.35.

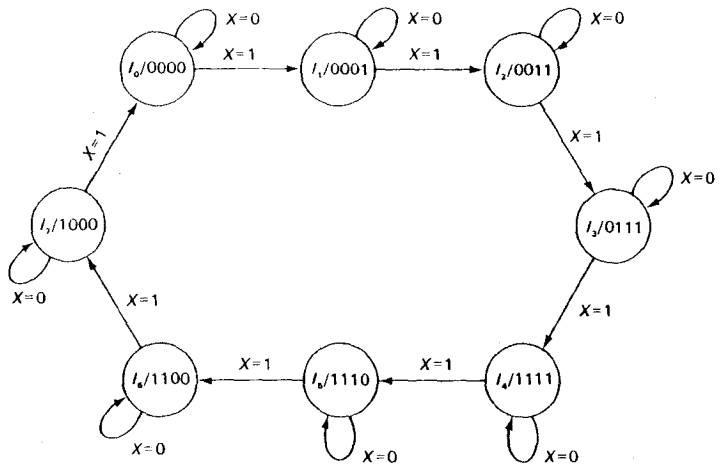



**Figura 7.35.** Diagrama de flujos de un contador Johnson de cuatro bits del Problema 7.10.

**Solución:** La Tabla 7.25 se corresponde con la de estados del diagrama de flujos de la Figura 7.35.

**Tabla 7.25.** Tabla de estados del contador del Problema 7.10

| Estado presente | $X$ | Estado futuro | $D$ | $C$ | $B$ | $A$ |
|---|---|---|---|---|---|---|
| $I_0$ | 0 | $I_0$ | 0 | 0 | 0 | 0 |
| $I_0$ | 1 | $I_1$ | 0 | 0 | 0 | 0 |
| $I_1$ | 0 | $I_1$ | 0 | 0 | 0 | 1 |
| $I_1$ | 1 | $I_2$ | 0 | 0 | 0 | 1 |
| $I_2$ | 0 | $I_2$ | 0 | 0 | 1 | 1 |
| $I_2$ | 1 | $I_3$ | 0 | 0 | 1 | 1 |
| $I_3$ | 0 | $I_3$ | 0 | 1 | 1 | 1 |
| $I_3$ | 1 | $I_4$ | 0 | 1 | 1 | 1 |
| $I_4$ | 0 | $I_4$ | 1 | 1 | 1 | 1 |
| $I_4$ | 1 | $I_5$ | 1 | 1 | 1 | 1 |
| $I_5$ | 0 | $I_5$ | 1 | 1 | 1 | 0 |
| $I_5$ | 1 | $I_6$ | 1 | 1 | 1 | 0 |
| $I_6$ | 0 | $I_6$ | 1 | 1 | 0 | 0 |
| $I_6$ | 1 | $I_7$ | 1 | 1 | 0 | 0 |
| $I_7$ | 0 | $I_7$ | 1 | 0 | 0 | 0 |
| $I_7$ | 1 | $I_0$ | 1 | 0 | 0 | 0 |



Seguidamente se realiza la asignación de códigos binarios a los estados internos. Como hay ocho estados distintos, se necesitan por lo menos tres bits para codificarlos.

$I_0 \longrightarrow 000$
$I_1 \longrightarrow 001$
$I_2 \longrightarrow 010$
$I_3 \longrightarrow 011$
$I_4 \longrightarrow 100$
$I_5 \longrightarrow 101$
$I_6 \longrightarrow 110$
$I_7 \longrightarrow 111$

Sustituyendo los estados de codificación en la tabla de estados y ampliando ésta con la tabla de excitación de los biestables $J$-$K$, se obtiene la Tabla 7.26.

**Tabla 7.26.** Tabla de excitación del Problema 7.10

| Estado presente $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | $X$ | Estado futuro $Q_{2(t+1)}$ | $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | Salida $D$ | $C$ | $B$ | $A$ | $J_2$ | $K_2$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | × | 0 | × | 0 | × |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | × | 0 | × | 1 | × |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | × | 0 | × | × | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | × | 1 | × | × | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | × | × | 0 | 0 | × |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | × | × | 0 | 1 | × |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | × | × | 0 | × | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | × | × | 1 | × | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | × | 0 | 0 | × | 0 | × |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | × | 0 | 0 | × | 1 | × |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | × | 0 | 0 | × | × | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | × | 0 | 1 | × | × | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | × | 0 | × | 0 | 0 | × |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | × | 0 | × | 0 | 1 | × |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | × | 0 | × | 0 | × | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | × | 1 | × | 1 | × | 1 |

Los mapas de Karnaugh para deducir las ecuaciones de interconexión de los biestables $J$-$K$ y las salidas son los que se muestran en la Figura 7.36

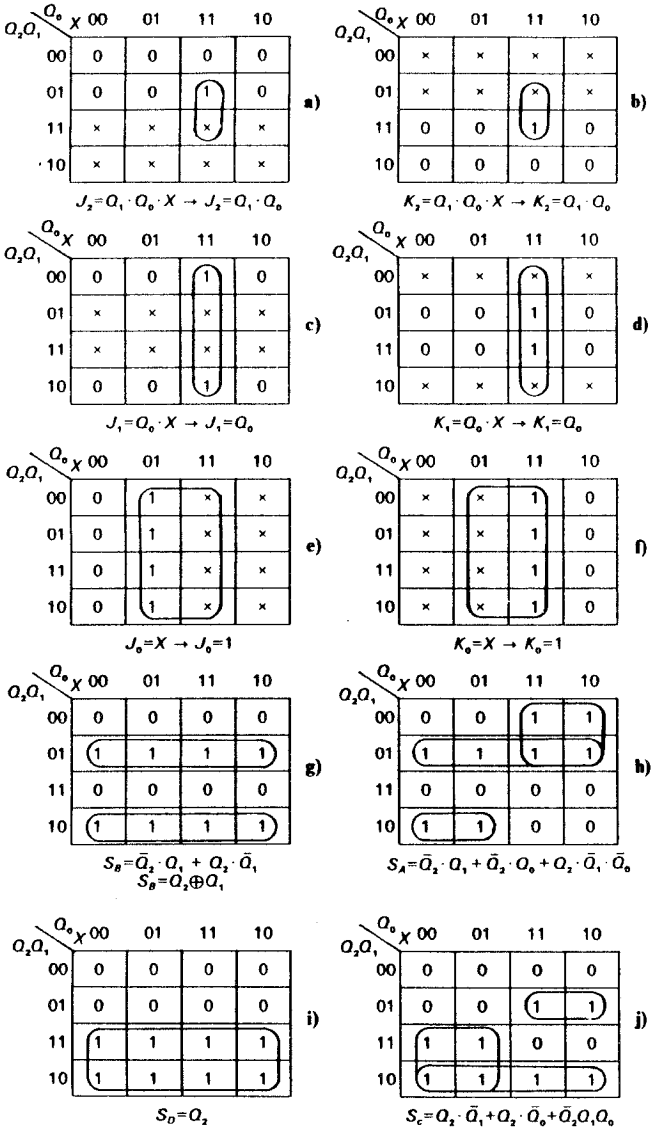



**Figura 7.36.** Mapas de Karnaugh para el cálculo del circuito de entrada a los biestables del Problema 7.10.



Por tanto, el circuito queda como se muestra en la Figura 7.37.

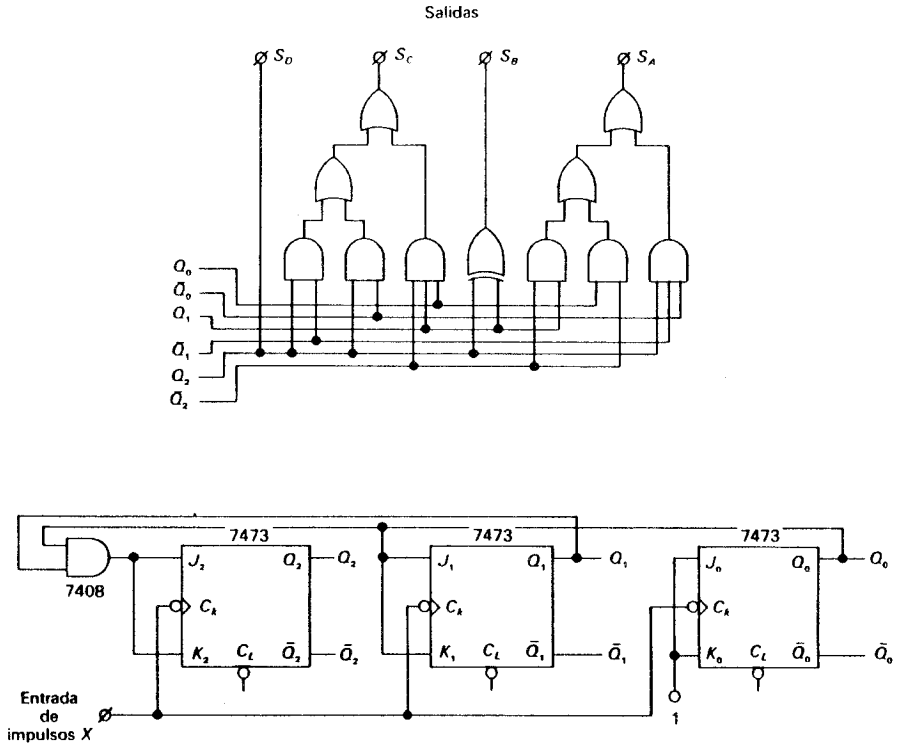



**Figura 7.37.** Resultado del Problema 7.10.

**7.11.** Implementar un contador de ocho estados que disponga de una señal de control de tal manera que cuando ésta sea 1, realice una cuenta binaria ascendente, y cuando dicha señal sea 0 se genere una cuenta descendente.

**Solución:** De acuerdo con el enunciado del problema, el diagrama de flujos del sistema es el que se muestra en la Figura 7.38.

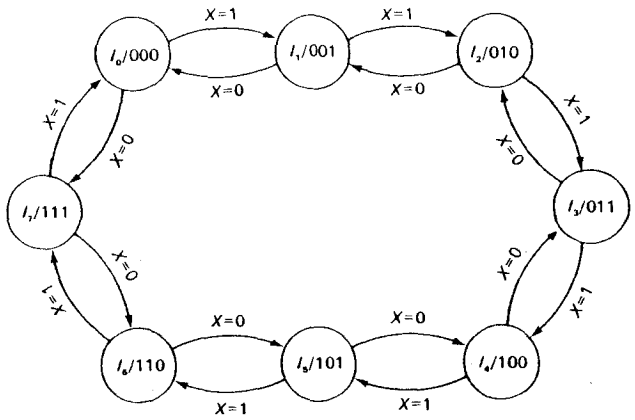



**Figura 7.38.** Diagrama de flujos de un contador ascendente/descendente pilotado por una señal de control. Problema 7.11.

La Tabla 7.27 es la de estados que corresponde con el diagrama de flujos de la Figura 7.38

**Tabla 7.27.** Tabla de estados del Problema 7.11

| Estado presente | $X$ | Estado futuro | $C$ $B$ $A$ |
|---|---|---|---|
| $I_0$ | 0 | $I_7$ | 0 0 0 |
| $I_0$ | 1 | $I_1$ | 0 0 0 |
| $I_1$ | 0 | $I_0$ | 0 0 1 |
| $I_1$ | 1 | $I_2$ | 0 0 1 |
| $I_2$ | 0 | $I_1$ | 0 1 0 |
| $I_2$ | 1 | $I_3$ | 0 1 0 |
| $I_3$ | 0 | $I_2$ | 0 1 1 |
| $I_3$ | 1 | $I_4$ | 0 1 1 |
| $I_4$ | 0 | $I_3$ | 1 0 0 |
| $I_4$ | 1 | $I_5$ | 1 0 0 |
| $I_5$ | 0 | $I_4$ | 1 0 1 |
| $I_5$ | 1 | $I_6$ | 1 0 1 |
| $I_6$ | 0 | $I_5$ | 1 1 0 |
| $I_6$ | 1 | $I_7$ | 1 1 0 |
| $I_7$ | 0 | $I_6$ | 1 1 1 |
| $I_7$ | 1 | $I_0$ | 1 1 1 |



Seguidamente se realiza la asignación de códigos binarios a los estados internos. Como hay ocho estados distintos se necesitan, por lo menos, tres bits para codificarlos.

$I_0 \longrightarrow 000$
$I_1 \longrightarrow 001$
$I_2 \longrightarrow 010$
$I_3 \longrightarrow 011$
$I_4 \longrightarrow 100$
$I_5 \longrightarrow 101$
$I_6 \longrightarrow 110$
$I_7 \longrightarrow 111$

En este caso de decide implementar el circuito con biestable tipo $D$, por tanto, se puede realizar la Tabla 7.28 donde ya se han sustituido los estados internos por los códigos asignados.

**Tabla 7.28.** Tabla de transiciones del Problema 7.11

| Estado presente $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | $X$ | Estado futuro $Q_{2(t+1)}$ | $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | Salida $C$ $B$ $A$ | $D_2$ | $D_1$ | $D_0$ |
|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 0 0 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 0 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 0 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 0 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 1 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 1 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 1 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 1 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 0 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 0 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 0 1 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 0 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 1 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 1 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 1 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 1 1 | 0 | 0 | 0 |

Los mapas de Karnaugh para deducir las ecuaciones de interconexión de los biestables $D$ y las salidas, son los que se muestran en la Figura 7.39.

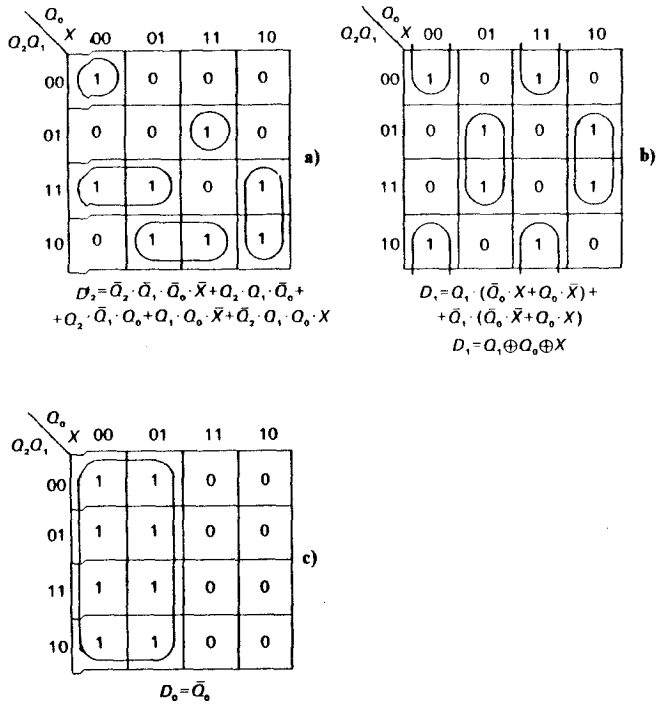



**Figura 7.39.** Mapas de Karnaugh para la deducción de las ecuaciones de entrada de los biestables del Problema 7.11.

Empleando el método de simplificación por OR exclusiva para $D_2$ se obtiene el mapa de la Figura 7.40.

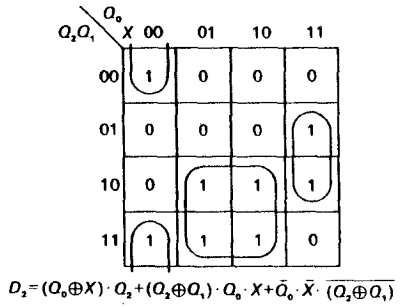



**Figura 7.40.** Mapa de OR exclusiva para la simplificación de $D_2$ en el problema 7.11.



Por tanto, el circuito queda como se muestra en la Figura 7.41.

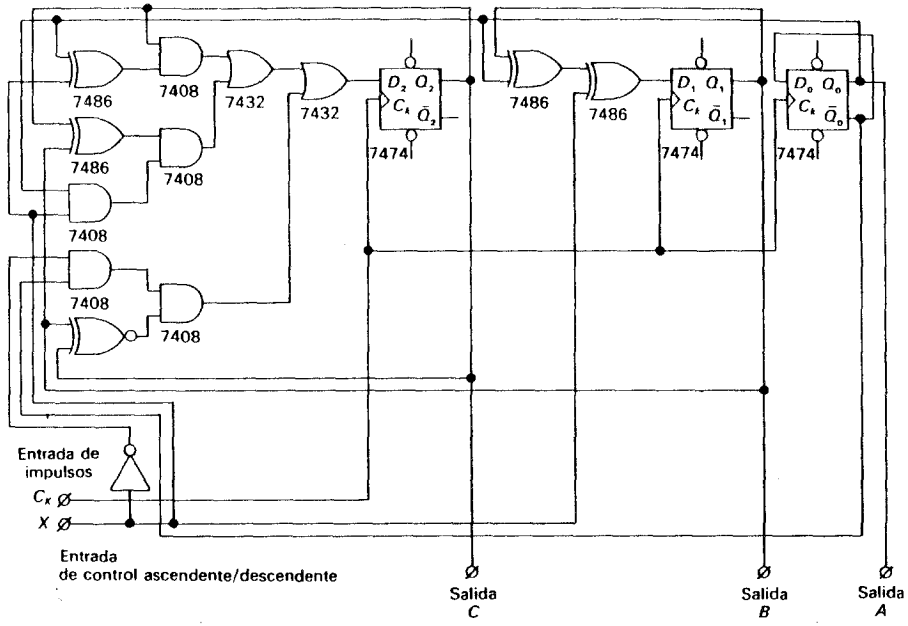



**Figura 7.41.** Resultado del Problema 7.11.

**7.12.** Implementar un contador síncrono que mediante una señal de control genere, a la frecuencia de la señal de reloj, los números pares del 0 al 6 cuando la señal de control está a nivel bajo, y los números impares entre el 1 y 7 cuando la señal de control está a nivel alto.

**Solución:** De acuerdo con el enunciado del problema, si el circuito se implementa de acuerdo con la teoría de autómatas finitos tendrá ocho estados sobre los que pueden evolucionar según el diagrama de flujos de la Figura 7.42.

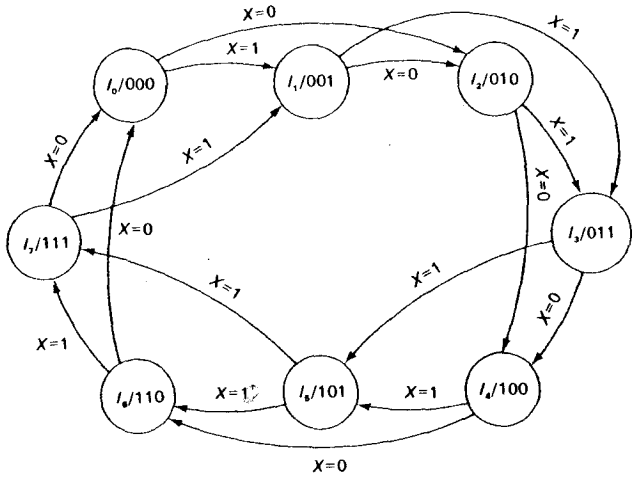



**Figura 7.42.** Diagrama de flujos de un generador de números pares/impares controlados por una señal de control (Problema 7.12).

La Tabla 7.29 es la de estados, que corresponde con el diagrama de flujos de la Figura 7.42.

**Tabla 7.29.** Tabla de estados del Problema 7.12

| Estado presente | $X$ | Estado futuro | $A$ | $B$ | $C$ |
|---|---|---|---|---|---|
| $I_0$ | 0 | $I_2$ | 0 | 0 | 0 |
| $I_0$ | 1 | $I_1$ | 0 | 0 | 0 |
| $I_1$ | 0 | $I_2$ | 0 | 0 | 1 |
| $I_1$ | 1 | $I_3$ | 0 | 0 | 1 |
| $I_2$ | 0 | $I_4$ | 0 | 1 | 0 |
| $I_2$ | 1 | $I_3$ | 0 | 1 | 0 |
| $I_3$ | 0 | $I_4$ | 0 | 1 | 1 |
| $I_3$ | 1 | $I_5$ | 0 | 1 | 1 |
| $I_4$ | 0 | $I_6$ | 1 | 0 | 0 |
| $I_4$ | 1 | $I_5$ | 1 | 0 | 0 |
| $I_5$ | 0 | $I_6$ | 1 | 0 | 1 |
| $I_5$ | 1 | $I_7$ | 1 | 0 | 1 |
| $I_6$ | 0 | $I_0$ | 1 | 1 | 0 |
| $I_6$ | 1 | $I_7$ | 1 | 1 | 0 |
| $I_7$ | 0 | $I_0$ | 1 | 1 | 1 |
| $I_7$ | 1 | $I_1$ | 1 | 1 | 1 |



Por haber sido elegido el modelo de Moore para la implementación del sistema y para simplificar el circuito de salida, se codifican los estados internos de manera que coincidan con las salidas, por tanto

$I_0 \longrightarrow 000$
$I_1 \longrightarrow 001$
$I_2 \longrightarrow 010$
$I_3 \longrightarrow 011$
$I_4 \longrightarrow 100$
$I_5 \longrightarrow 101$
$I_6 \longrightarrow 110$
$I_7 \longrightarrow 111$

En este caso se decide implementar el circuito con biestable tipo $J$-$K$, por tanto, se puede realizar la Tabla 7.30, donde ya se han sustituido los estados internos por los códigos asignados.

**Tabla 7.30.** Tabla de transiciones del Problema 7.12

| Estado presente $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | $X$ | Estado futuro $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | $J_2$ | $K_2$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ | Salidas $A$ | $B$ | $C$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | × | 1 | × | 0 | × | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | × | 0 | × | 1 | × | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | × | 1 | × | × | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | × | 1 | × | × | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | × | × | 1 | 0 | × | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | × | × | 0 | 1 | × | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | × | × | 1 | × | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | × | × | 1 | × | 0 | 0 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | × | 0 | 1 | × | 0 | × | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | × | 0 | 0 | × | 1 | × | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 | 1 | 0 | × | 0 | 0 | × | × | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | × | 0 | 1 | × | × | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | × | 1 | × | 1 | 0 | × | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | × | 0 | × | 0 | 1 | × | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | × | 1 | × | 1 | × | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 1 | × | 1 | × | 1 | × | 0 | 1 | 1 | 1 |

Los mapas de Karnaugh para deducir las ecuaciones de interconexión de los biestables $J$-$K$ y las salidas son las que se muestran en la Figura 7.43.

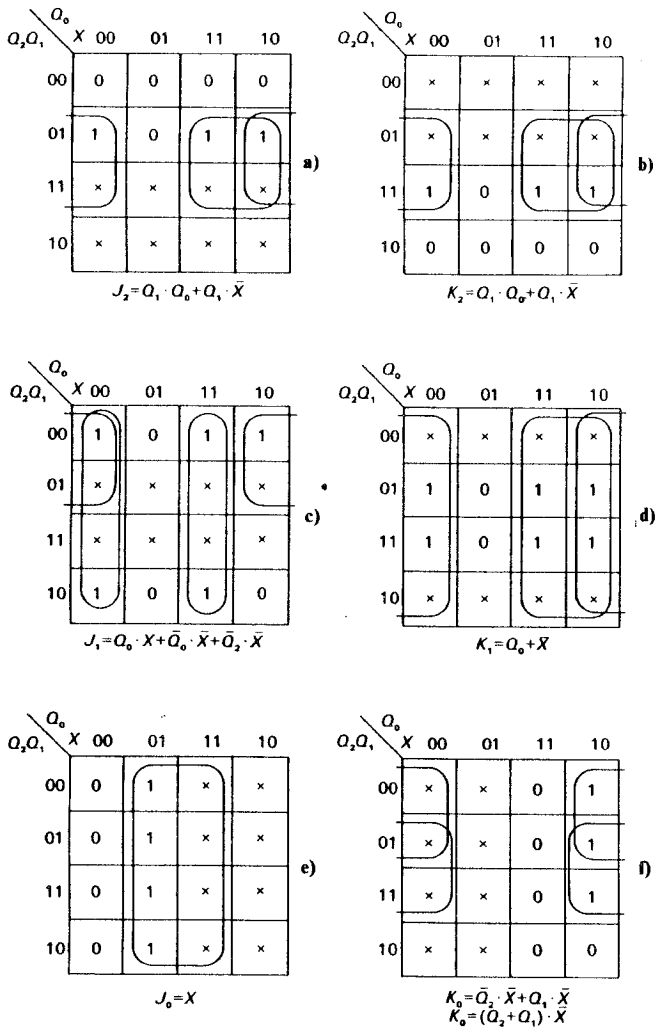



**Figura 7.43.** Mapas de Karnaugh para el cálculo de las ecuaciones de entrada a los biestables del Problema 7.12.

El circuito queda como se muestra en la Figura 7.44.



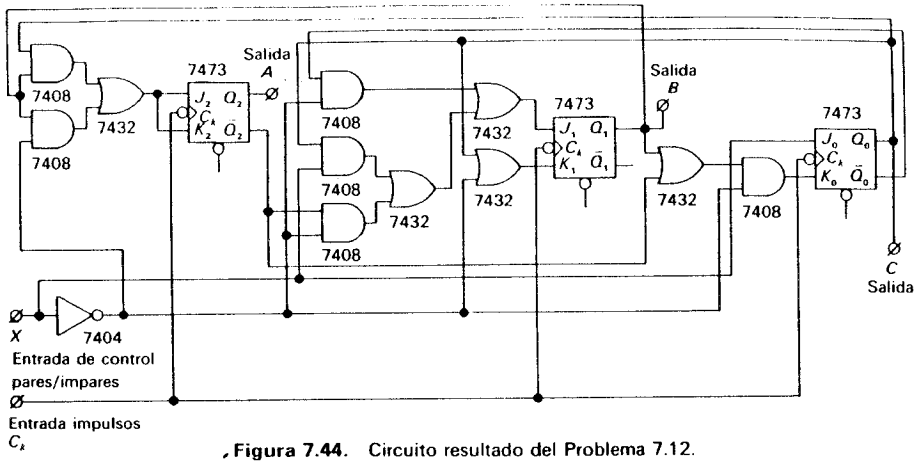



**Figura 7.44.** Circuito resultado del Problema 7.12.

**7.13.** Diseñar un contador de 0 a 7 que mediante una señal de control sólo cuente hasta 3 (de 0 a 3).

**Solución:** De acuerdo con el enunciado del problema, si el circuito se implementa utilizando la teoría de autómatas finitos tendrá ocho estados sobre los que se puede evolucionar de acuerdo con el diagrama de flujos de la Figura 7.45.

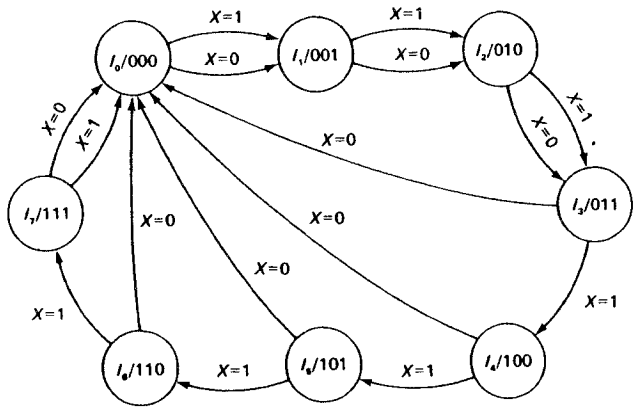



**Figura 7.45.** Diagrama de flujos del contador controlado (Problema 7.13)

La Tabla 7.31 es la de estados, que corresponde con el diagrama de flujos de la Figura 7.45.

**Tabla 7.31.** Tabla de estados del Problema 7.13

| Estado presente | $X$ | Estado futuro | $A$ $B$ $C$ |
|---|---|---|---|
| $I_0$ | 0 | $I_1$ | 0 0 0 |
| $I_0$ | 1 | $I_1$ | 0 0 0 |
| $I_1$ | 0 | $I_2$ | 0 0 1 |
| $I_1$ | 1 | $I_2$ | 0 0 1 |
| $I_2$ | 0 | $I_3$ | 0 1 0 |
| $I_2$ | 1 | $I_3$ | 0 1 0 |
| $I_3$ | 0 | $I_0$ | 0 1 1 |
| $I_3$ | 1 | $I_4$ | 0 1 1 |
| $I_4$ | 0 | $I_0$ | 1 0 0 |
| $I_4$ | 1 | $I_5$ | 1 0 0 |
| $I_5$ | 0 | $I_0$ | 1 0 1 |
| $I_5$ | 1 | $I_6$ | 1 0 1 |
| $I_6$ | 0 | $I_0$ | 1 1 0 |
| $I_6$ | 1 | $I_7$ | 1 1 0 |
| $I_7$ | 0 | $I_0$ | 1 1 1 |
| $I_7$ | 1 | $I_0$ | 1 1 1 |

Al haberse elegido el modelo de Moore para la implementación del sistema, y para simplificar el circuito de salida, se codifican los estados internos de manera que coincidan con las salidas, por tanto:

$I_0 \longrightarrow 000$ $\quad I_3 \longrightarrow 011$ $\quad I_6 \longrightarrow 110$

$I_1 \longrightarrow 001$ $\quad I_4 \longrightarrow 100$ $\quad I_7 \longrightarrow 111$

$I_2 \longrightarrow 010$ $\quad I_5 \longrightarrow 101$

En este caso se decide implementar el circuito con biestable tipo $J$-$K$, por lo que se puede realizar la Tabla 7.32 donde ya se han sustituido los estados internos por los códigos asignados.

**Tabla 7.32.** Tabla de transiciones del Problema 7.13

| Estado presente $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | $X$ | Estado futuro $Q_{2(t+1)}$ | $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | $J_2$ | $K_2$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ | Salidas $A$ | $B$ | $C$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | × | 0 | × | 1 | × | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | × | 0 | × | 1 | × | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | × | 1 | × | × | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | × | 1 | × | × | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | × | × | 0 | 1 | × | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | × | × | 0 | 1 | × | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | × | × | 1 | × | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | × | × | 1 | × | 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | × | 1 | 0 | × | 0 | × | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | × | 0 | 0 | × | 1 | × | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | × | 1 | 0 | × | × | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | × | 0 | 1 | × | × | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | × | 1 | × | 1 | 0 | × | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | × | 0 | × | 0 | 1 | × | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | × | 1 | × | 1 | × | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | × | 1 | × | 1 | × | 1 | 1 | 1 | 1 |



Los mapas de Karnaugh para deducir las ecuaciones de interconexión de los biestables $J$-$K$ y las salidas, son los que se muestran en la Figura 7.46.

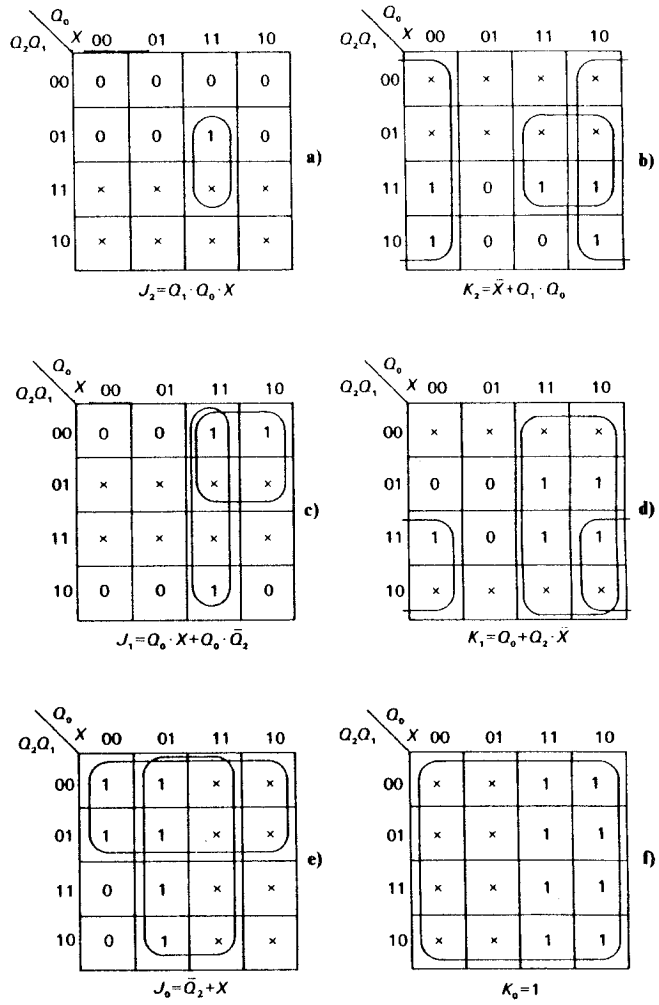



**Figura 7.46.** Mapas de Karnaugh para el cálculo de las funciones de entrada de los biestables del Problema 7.13.

Finalmente, el circuito queda como se muestra en la Figura 7.47.

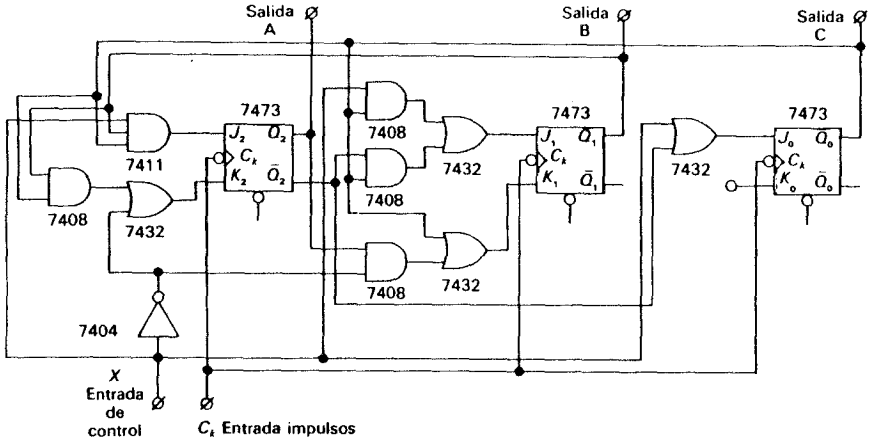



**Figura 7.47.** Resultado del Problema 7.13.

**7.14.** Diseñar un contador síncrono de módulo 6 con salida de arrastre (*Carry*) utilizando para ello biestables del tipo *J-K*.

**Solución:** El diagrama de flujos del circuito es el que se muestra en la Figura 7.28.

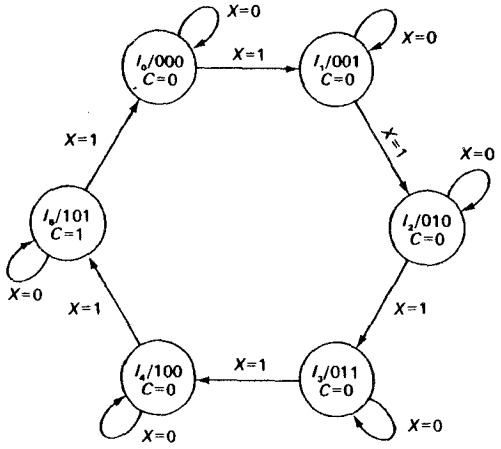



**Figura 7.48.** Diagrama de flujos de un contador de módulo 6 con salida de arrastre del Problema 7.14.



La tabla de estados de este sistema será la que se muestra en la Tabla 7.33.

**Tabla 7.33.** Tabla de estados del Problema 7.14

| Estado actual | X | Estado futuro | Carry C | Salida contador A B C |
|---|---|---|---|---|
| $I_0$ | 0 | $I_0$ | 0 | 0 0 0 |
| $I_0$ | 1 | $I_1$ | 0 | 0 0 0 |
| $I_1$ | 0 | $I_1$ | 0 | 0 0 1 |
| $I_1$ | 1 | $I_2$ | 0 | 0 0 1 |
| $I_2$ | 0 | $I_2$ | 0 | 0 1 0 |
| $I_2$ | 1 | $I_3$ | 0 | 0 1 0 |
| $I_3$ | 0 | $I_3$ | 0 | 0 1 1 |
| $I_3$ | 1 | $I_4$ | 0 | 0 1 1 |
| $I_4$ | 0 | $I_4$ | 0 | 1 0 0 |
| $I_4$ | 1 | $I_5$ | 0 | 1 0 0 |
| $I_5$ | 0 | $I_5$ | 1 | 1 0 1 |
| $I_5$ | 1 | $I_0$ | 1 | 1 0 1 |

Como el contador tiene seis estados internos, para poder codificarlos se necesitan al menos tres bits. Además, como se ha tenido la precaución de utilizar el modelo de Moore, si hacemos coincidir los estados internos con la salida las funciones de éstas coincidirán con las salidas de los biestables, por tanto se realiza la siguiente asignación de estados:

$I_0 \longrightarrow 000$ $\quad I_3 \longrightarrow 011$
$I_1 \longrightarrow 001$ $\quad I_4 \longrightarrow 100$
$I_2 \longrightarrow 010$ $\quad I_5 \longrightarrow 101$

Por tanto, la Tabla 7.34 es la de transiciones del contador de módulo 6, utilizando biestables del tipo *J-K* activos por flanco de bajada.

**Tabla 7.34.** Tabla de transiciones del Problema 7.14.

| Estado actual $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | Estado futuro $Q_{2(t+1)}$ | $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | $J_2$ | $K_2$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ | Salida A B C | $C_R$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | × | 0 | × | 1 | × | 0 0 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | × | 1 | × | × | 1 | 0 0 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | × | × | 0 | 1 | × | 0 1 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | × | × | 1 | × | 1 | 0 1 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | × | 0 | 0 | × | 1 | × | 1 0 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | × | 1 | 0 | × | × | 1 | 1 0 1 | 1 |

Aplicando el método de Karnaugh se pueden deducir las funciones de entrada y salida de los biestables (Fig. 7.49).

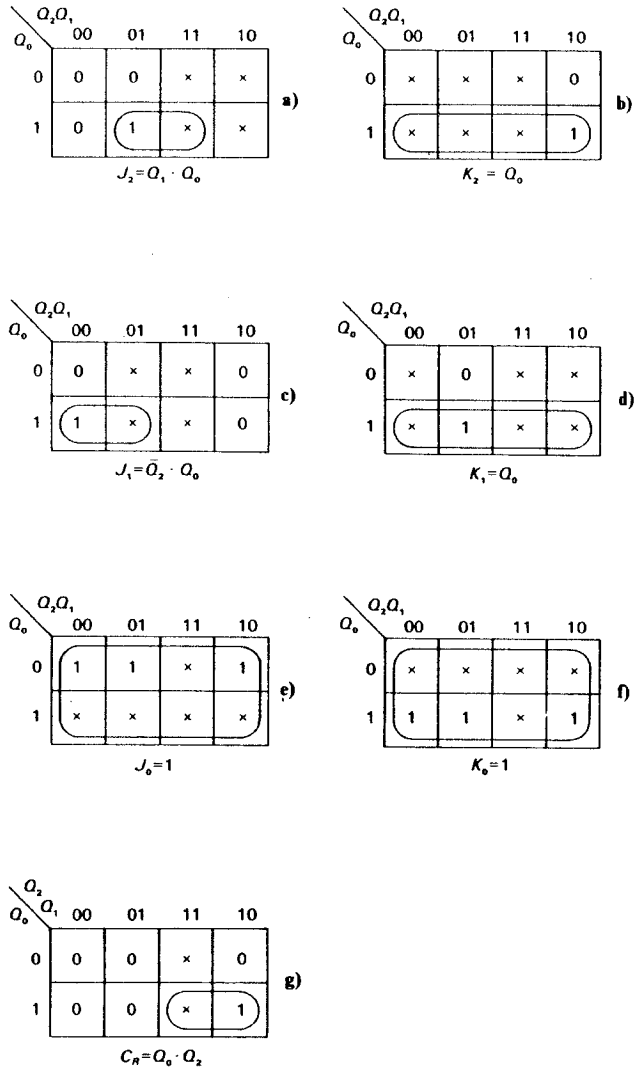



**Figura 7.49.** Mapas de Karnaugh para la obtención de las funciones de entrada y salida de los biestables (Problema 7.14).



Por tanto, el circuito queda tal y como se muestra en la Figura 7.50.

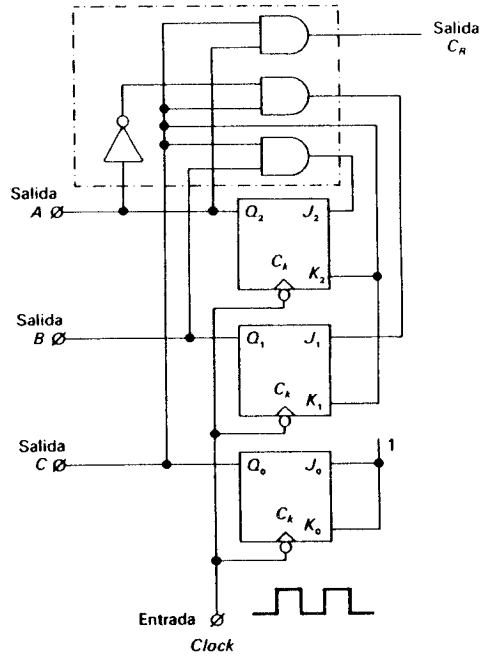



**Figura 7.50.** Resultado del Problema 7.14.

**7.15.** Diseñar un contador síncrono de módulo 10 con salida de *carry* utilizando para ello biestables tipo *T*.

**Solución:** El diagrama de flujos del contador de módulo 10 corresponde al que se muestra en la Figura 7.51.

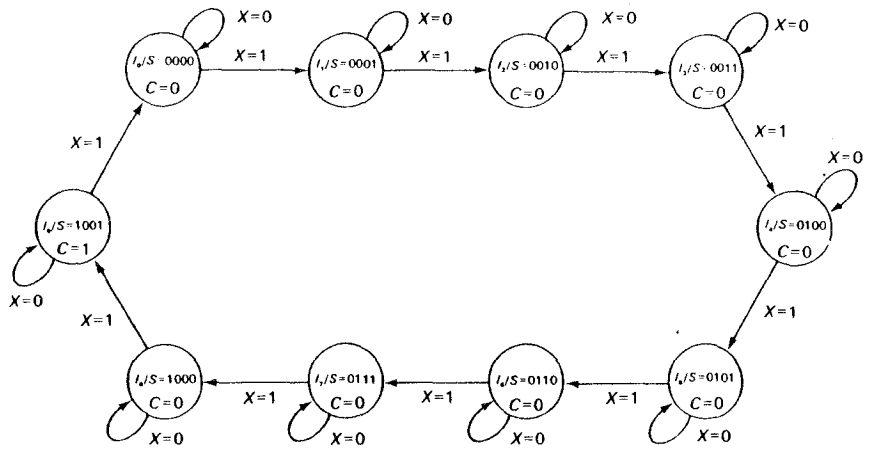



**Figura 7.51.** Diagrama de flujos de un contador de décadas con salida de *carry* (Problema 7.15).

Por tanto, la Tabla 7.35 será la tabla de estados correspondiente al diagrama de flujos de la Figura 7.51, en la que ya se ha tenido en cuenta que para pasar de un estado a otro la entrada $X$ ha de estar a 1 y, por tanto, se ha eliminado de la tabla.

**Tabla 7.35.** Tabla de estados del Problema 7.15

| Estado actual | Estado futuro | Salida A B C D | *Carry* $C_R$ |
|---|---|---|---|
| $I_0$ | $I_1$ | 0 0 0 0 | 0 |
| $I_1$ | $I_2$ | 0 0 0 1 | 0 |
| $I_2$ | $I_3$ | 0 0 1 0 | 0 |
| $I_3$ | $I_4$ | 0 0 1 1 | 0 |
| $I_4$ | $I_5$ | 0 1 0 0 | 0 |
| $I_5$ | $I_6$ | 0 1 0 1 | 0 |
| $I_6$ | $I_7$ | 0 1 1 0 | 0 |
| $I_7$ | $I_8$ | 0 1 1 1 | 0 |
| $I_8$ | $I_9$ | 1 0 0 0 | 0 |
| $I_9$ | $I_0$ | 1 0 0 1 | 1 |



Como hay diez estados distintos, harán falta al menos cuatro dígitos para poder codificarlos. Además, como hemos utilizado el modelo de Moore, se hacen coincidir los estados internos con los valores de las salidas, de tal manera que en cada momento la salida coincida con el estado interno del biestable correspondiente y, por tanto, se ahorra el circuito de salida.

Además, teniendo en cuenta que se utilizan biestables del tipo $T$, la tabla de transiciones es la que se muestra en la Tabla 7.36.

**Tabla 7.36.** Tabla de transiciones del Problema 7.15

| Estado actual $Q_{3(t)}$ | $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | Estado futuro $Q_{3(t+1)}$ | $Q_{2(t+1)}$ | $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | $T_3$ | $T_2$ | $T_1$ | $T_0$ | *Carry* $C_R$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 |

Para obtener las funciones de entrada y salida de los biestables se emplea el metodo de Karnaugh (Figura 7.52).

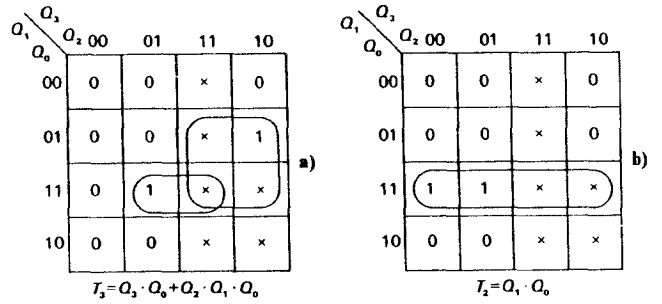
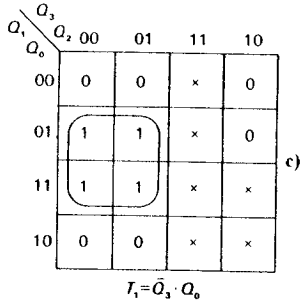
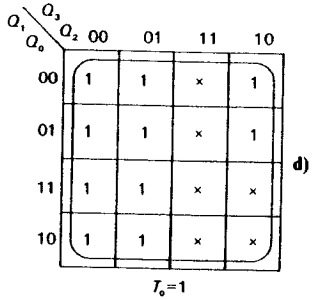



**Figura 7.52.** Mapas de Karnaugh para deducir las funciones de entrada y salida de los biestables del Problema 7.15.



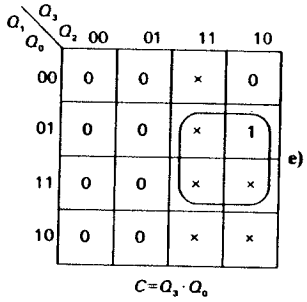




**Figura 7.52.** Mapas de Karnaugh para deducir las funciones de entrada y salida de los biestables del Problema 7.15. *(Continuación).*

Por tanto, el circuito será el de la Figura 7.53.



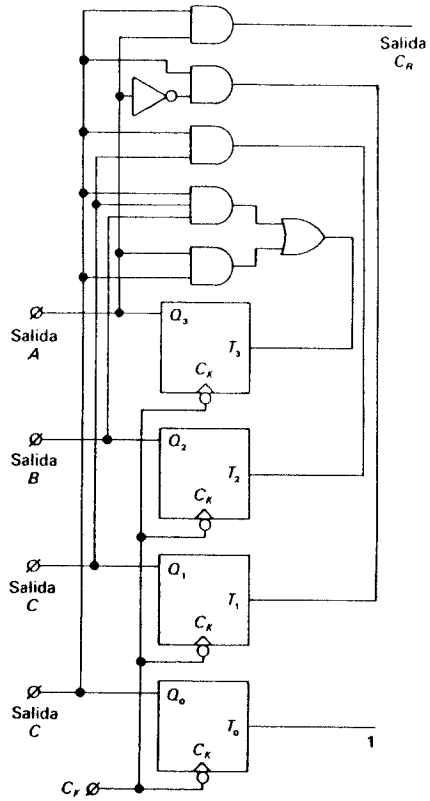



**Figura 7.53.** Resultado del Problema 7.15.

**7.16.** Utilizando el concepto de autómatas finitos, diseñar un dado electrónico con biestables *J-K* y la lógica necesaria.

**Solución:** La implementación de un dado se puede simular sin más que diseñar un contador de seis estados, que corresponden con las seis caras que tiene un dado, donde la entrada a contar es un tren de impulsos generado por un multivibrador de una frecuencia elevada (del orden de 1 KHz por ejemplo) y que se cuenta o no dependiendo de que se pulse o no el interruptor de tirada.

Según lo expuesto hasta el momento, nuestro diagrama de estados será el de la Figura 7.54, en el que aparecen las salidas del 1 al 6 en binario. Se ha optado por utilizar un autómata de Moore para poder hacer coincidir los estados internos con las salidas y de esta forma simplificar el diseño.

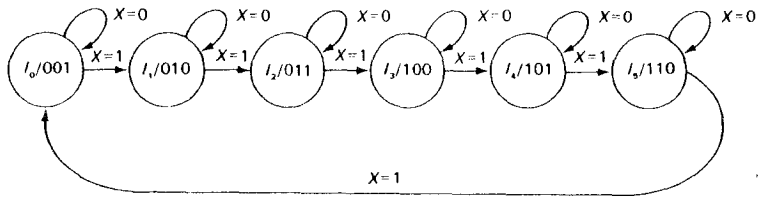



**Figura 7.54.** Diagrama de estados del dado electrónico (Problema 7.16).

La tabla de estados de acuerdo con el diagrama de estados es la Tabla 7.37.

**Tabla 7.37.** Tabla de estados del Problema 7.16

| Estado presente | $X$ | Estado futuro | Salidas $S_2$ $S_1$ $S_0$ |
|---|---|---|---|
| $I_0$ | 0 | $I_0$ | 0 0 1 |
| $I_0$ | 1 | $I_1$ | 0 0 1 |
| $I_1$ | 0 | $I_1$ | 0 1 0 |
| $I_1$ | 1 | $I_2$ | 0 1 0 |
| $I_2$ | 0 | $I_2$ | 0 1 1 |
| $I_2$ | 1 | $I_3$ | 0 1 1 |
| $I_3$ | 0 | $I_3$ | 1 0 0 |
| $I_3$ | 1 | $I_4$ | 1 0 0 |
| $I_4$ | 0 | $I_4$ | 1 0 1 |
| $I_4$ | 1 | $I_5$ | 1 0 1 |
| $I_5$ | 0 | $I_5$ | 1 1 0 |
| $I_5$ | 1 | $I_0$ | 1 1 0 |

Seguidamente se hace la asignación de estados; en el caso que nos ocupa haremos coincidir los estados internos con las salidas, para simplificar más rápidamente éstas, ya que, de esta manera, al simplificarlas coinciden con los estados internos del autómata y, por tanto, con las salidas $Q_n$ de los biestables. Luego la asignación será la siguiente:

$I_0 \longrightarrow 001$ $\quad I_3 \longrightarrow 100$
$I_1 \longrightarrow 010$ $\quad I_4 \longrightarrow 101$
$I_2 \longrightarrow 011$ $\quad I_5 \longrightarrow 110$

Sustituyendo esta codificación en la tabla de estados y ampliando ésta con la tabla de transiciones de los biestables $J$-$K$ se obtiene la Tabla 7.38.



**Tabla 7.38.** Tabla de transiciones del Problema 7.16

| Estado presente $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | $X$ | Estado futuro $Q_{2(t+1)}$ | $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | Salida $S_2$ | $S_1$ | $S_0$ | $J_2$ | $K_2$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | × | 0 | × | × | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | × | 1 | × | × | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | × | × | 0 | 0 | × |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | × | × | 0 | 1 | × |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | × | × | 0 | × | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | × | × | 1 | × | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | × | 0 | 0 | × | 0 | × |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | × | 0 | 0 | × | 1 | × |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | × | 0 | 0 | × | × | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | × | 0 | 1 | × | × | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | × | 0 | × | 0 | 0 | × |
| 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | × | 1 | × | 1 | 1 | × |

Teniendo en cuenta que la variación de un estado interno a otro se realiza siempre que X sea 1, se pueden obtener las ecuaciones de entrada de los biestables teniendo en cuenta sólo $Q_2$, $Q_1$ y $Q_0$, y haciendo entrar el tren de impulsos por la señal de reloj.

Con ello, los mapas de Karnaugh para las ecuaciones de entrada de los biestables son las que se muestran en la Figura 7.55.

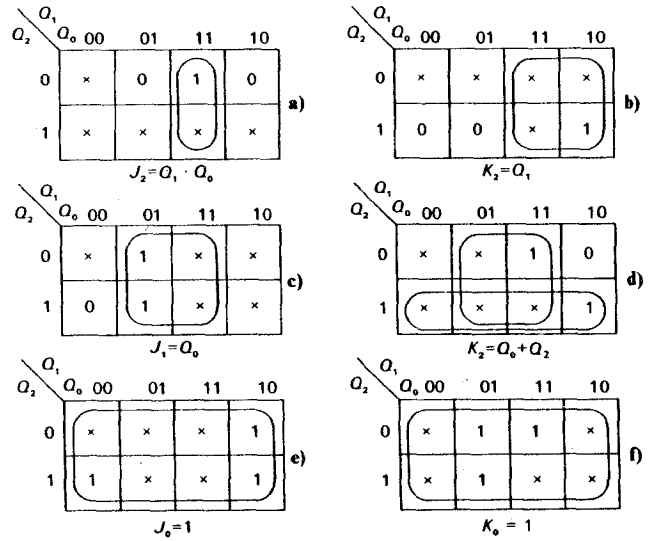



**Figura 7.55.** Mapas de Karnaugh para el cálculo de las ecuaciones de las funciones de los biestables.

Las salidas, al haber utilizado el modelo de autómata de Moore y al haber hecho coincidir la codificación de los estados internos con los de las salidas, coinciden con las $Q$.

Por tanto, el circuito, aplicándole el decodificador y el *display*, queda como se muestra en la Figura 7.56.

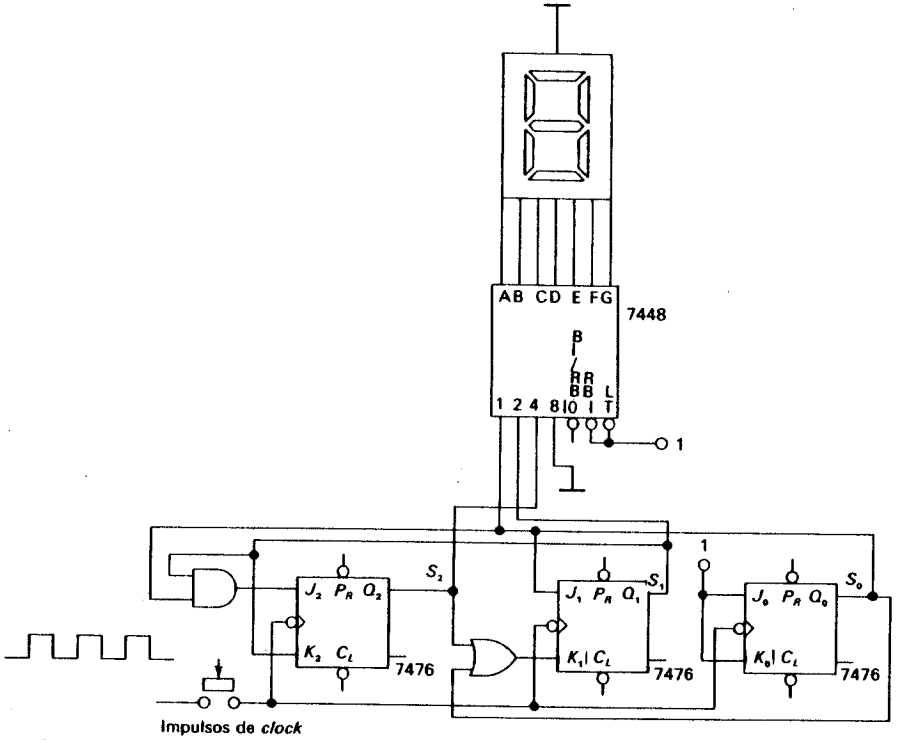



**Figura 7.56.** Resultado del Problema 7.16.

**7.17.** Un sistema sencillo para probar circuitos digitales combinacionales es tomar un circuito patrón igual al que se quiere probar, poner a ambos todas las posibles combinaciones de las variables de entrada y comprobar que para cada una de ellas la salida de ambos circuitos coincide, en este caso el circuito bajo prueba será correcto. Si no se produce coincidencia de salidas para una combinación de las variables de entrada, el circuito bajo prueba será defectuoso.

Basándose en esto, diseñar un sistema automático de prueba de circuitos combinacionales de tres entradas cuyo diagrama de bloques es el representado en la Figura 7.57.



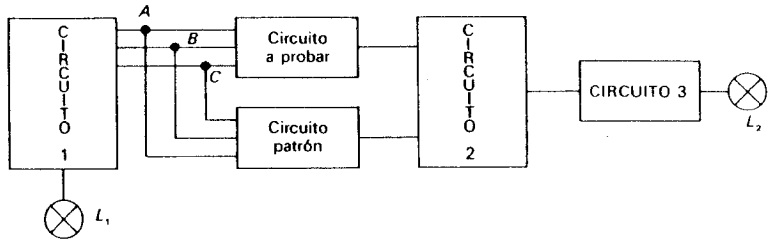



**Figura 7.57.** Diagrama de bloques del sistema de pruebas para circuitos combinacionales.

Diseñar los circuitos 1, 2 y 3 cuyas misiones son las siguientes:

**Circuito 1:** Debe poner automáticamente todas las combinaciones de entrada a los circuitos bajo prueba, teniendo en cuenta que la combinación 100 no debe darse nunca, ya que si esto ocurre el circuito en prueba y el patrón se destruirían por ser una combinación de protección contra copias.

Debe encenderse la lámpara cuando se haya terminado de poner todas las combinaciones y mantenerla encendida hasta que se vuelva a dar una señal de inicialización.

Por tanto, el circuito del bloque 1 dispondrá de un sistema de inicialización para probar otro circuito y que además desactive la lamparilla $L_1$.

**Circuito 2:** Compara las salidas de los dos circuitos.

**Circuito 3:** Se activa en caso de que el circuito no esté en perfecto estado y permanecerá encendida aunque cambien las combinaciones de entrada hasta que se introduzca una señal de inicialización.

**Solución:** El circuito del bloque 1 tendrá siete estados, pues la combinación de entrada 100 no deberá darse nunca ya que en este caso se destruyen los circuitos. Por ello, el diagrama de flujos del sistema es el de la Figura 7.58.

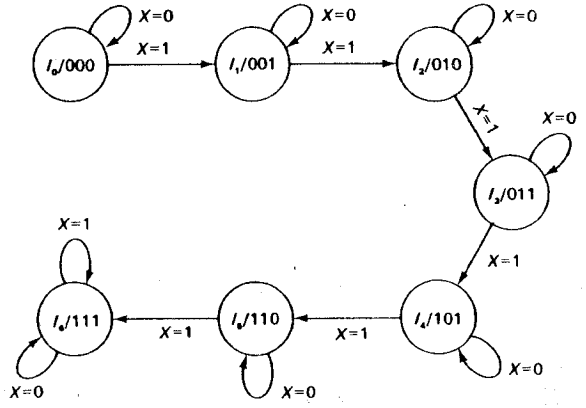



**Figura 7.58.** Diagrama de flujos del generador de códigos de entrada del Problema 7.17.

La Tabla 7.39 es la de estados que corresponde al diagrama de flujos de la Figura 7.58.

**Tabla 7.39.** Tabla de estados del Problema 7.17

| Estado presente | $X$ | Estado futuro | $A$ $B$ $C$ |
|---|---|---|---|
| $I_0$ | 0 | $I_0$ | 0 0 0 |
| $I_0$ | 1 | $I_1$ | 0 0 0 |
| $I_1$ | 0 | $I_1$ | 0 0 1 |
| $I_1$ | 1 | $I_2$ | 0 0 1 |
| $I_2$ | 0 | $I_2$ | 0 1 0 |
| $I_2$ | 1 | $I_3$ | 0 1 0 |
| $I_3$ | 0 | $I_3$ | 0 1 1 |
| $I_3$ | 1 | $I_4$ | 0 1 1 |
| $I_4$ | 0 | $I_4$ | 1 0 1 |
| $I_4$ | 1 | $I_5$ | 1 0 1 |
| $I_5$ | 0 | $I_5$ | 1 1 0 |
| $I_5$ | 1 | $I_6$ | 1 1 0 |
| $I_6$ | 0 | $I_6$ | 1 1 1 |
| $I_6$ | 1 | $I_6$ | 1 1 1 |

Por haber sido elegido el modelo de Moore para la implementación del sistema, y para simplificar el circuito de salida, se codifican los estados internos de manera que coincidan con las salidas, por tanto:

$I_0 \longrightarrow 000$ $\quad$ $I_4 \longrightarrow 101$
$I_1 \longrightarrow 001$ $\quad$ $I_5 \longrightarrow 110$
$I_2 \longrightarrow 010$ $\quad$ $I_6 \longrightarrow 111$
$I_3 \longrightarrow 011$

En este caso se decide implementar el circuito con biestable tipo $J$-$K$, con lo que se puede realizar la Tabla 7.40 donde ya se han sustituido los estados internos por los códigos asignados.

**Tabla 7.40.** Tabla de transiciones del Problema 7.17.

| Estado presente | | | $X$ | Estado futuro | | | $J_2$ | $K_2$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ | Salidas | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | | $Q_{2(t+1)}$ | $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | | | | | | | $A$ | $B$ | $C$ |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | × | 0 | × | 0 | × | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | × | 0 | × | 1 | × | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | × | 0 | × | × | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | × | 1 | × | × | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | × | × | 0 | 0 | × | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | × | × | 0 | 1 | × | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | × | × | 0 | × | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | × | × | 1 | × | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | × | 0 | 0 | × | × | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | × | 0 | 1 | × | × | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | × | 0 | × | 0 | 0 | × | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | × | 0 | × | 0 | 1 | × | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | × | 0 | × | 0 | × | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | × | 0 | × | 0 | × | 0 | 1 | 1 | 1 |



Los mapas de Karnaugh para deducir las ecuaciones de interconexión de los biestables $J$-$K$ y las salidas son los que se muestran en la Figura 7.59.

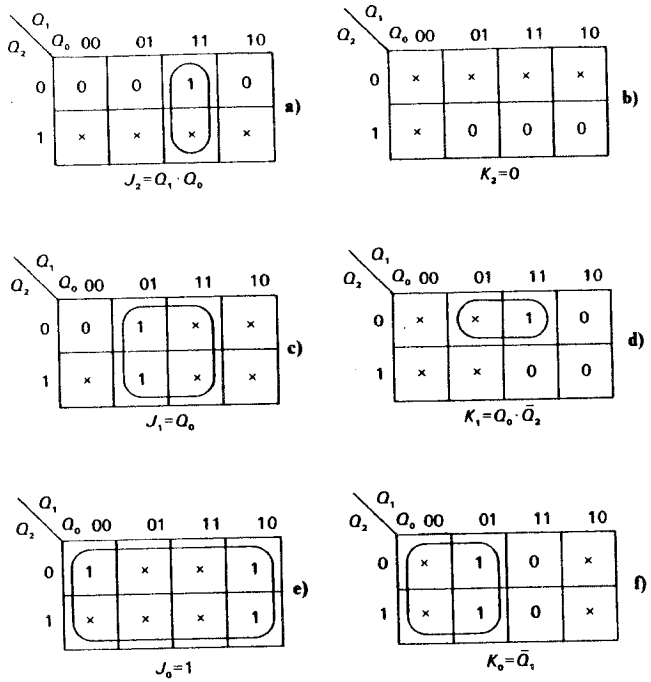



**Figura 7.59.** Mapas de Karnaugh para el cálculo de las funciones de entrada a los biestables del Problema 7.17.

El circuito correspondiente al bloque 1 será, por tanto, el de la Figura 7.60.

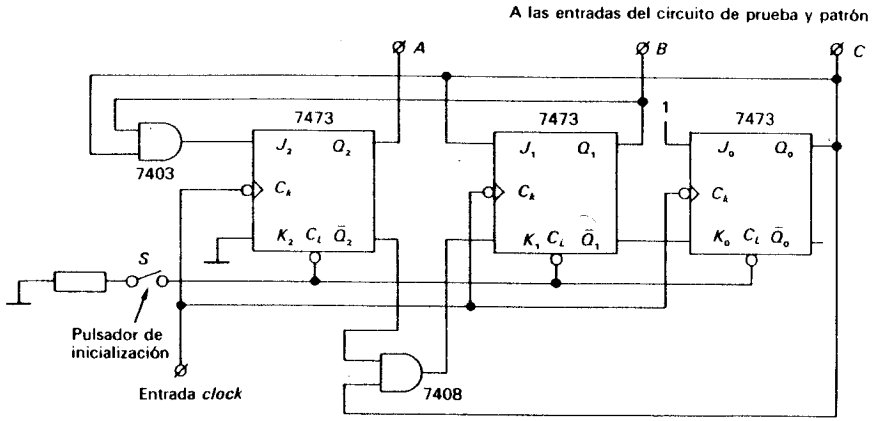



**Figura 7.60.** Circuito del bloque 1 del problema 7.17.

El circuito dispone de una señal de *Reset* para inicializar el sistema poniendo todas las salidas a 0.

La lámpara $L_1$ de este circuito es un diodo *Led* y se pondrá a 1 cuando todas las salidas sean 1, permaneciendo en este estado hasta que se active la señal de *Reset*, ya que el estado 111 es el $I_6$ del diagrama de flujos.

El circuito 2 puede realizarse con un comparador del tipo 7485 conectado, tal y como se muestra en la Figura 7.61.

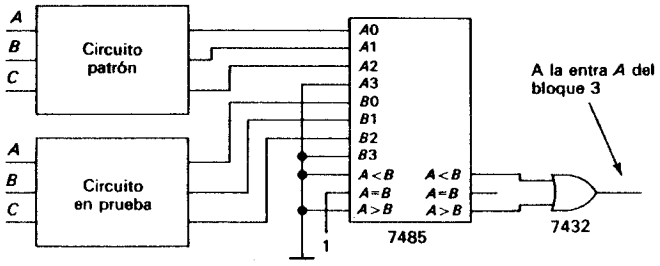



**Figura 7.61.** Circuito del bloque 2 del Problema 7.17.

El circuito 3 debe mantener una información hasta que se inicialice el sistema, para lo cual puede emplearse el circuito de la Figura 7.62. Cuando en la entrada $A$ hay un 0 y previamente se ha activado el pulsador de inicialización, a la salida de la puerta OR hay un 0. Cuando se pone a 1 la entrada $A$ a la salida de la puerta OR, aparece un 1 que se realimenta a través de la entrada $B$, de tal manera que si la entrada $A$ pasa a valer de nuevo 0 la salida de la puerta OR seguirá siendo un 1.



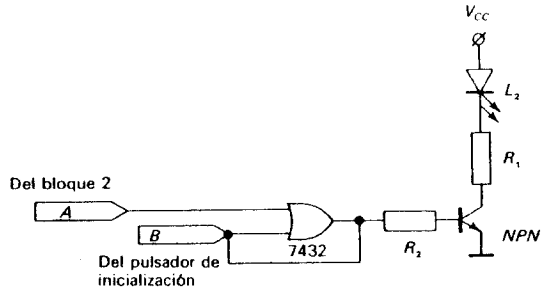



**Figura 7.62.** Circuito bloque 3 del Problema 7.17.

**7.18.** Diseñar un circuito secuencial síncrono que disponga de una entrada $X$ sincronizada por una señal de reloj y una salida $S$, de tal manera que si por $X$ se introduce un número de cuatro bits comenzando por el bit de menor peso, a su salida se obtenga el complemento a 2 de dicho número de forma simultánea con éste. Además el circuito deberá quedar preparado para recibir otro número cuando termine de realizar el complemento del anterior.

**Solución:** El circuito corresponderá a un diagrama de bloques similar al que se muestra en el diagrama de bloques de la Figura 7.63, en el que se muestra la entrada $X$, la salida $S$ y la entrada de sincronismo $C_k$.

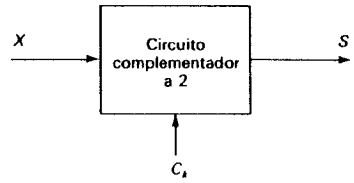



**Figura 7.63.** Diagrama de bloques del circuito complementador a 2 (Problema 7.18)

Para realizar el complementado a 2 de un número binario, en primer lugar se realiza el complemento a 1 del número (cambian los 0 por los 1 y los 1 por los 0) y seguidamente se le suma 1; así por ejemplo:

$$
\begin{array}{lll}
0100 \longrightarrow & 1011 & \longleftarrow \text{Complemento a 1} \\
 & +\ 1 & \\
 & 1100 & \longleftarrow \text{Complemento a 2} \\
0110 \longrightarrow & 1001 & \longleftarrow \text{Complemento a 1} \\
 & +\ 1 & \\
 & 1010 & \longleftarrow \text{Complemento a 2}
\end{array}
$$

También, como puede verse, para realizar el complemento a 2 de un número binario de forma metódica se puede hacer de la siguiente manera:

Empezando por el bit de menor peso y desplazándose hacia el de mayor (de derecha a izquierda), si el bit es un 0 se queda como está, y cuando nos encontramos con el primer 1, éste se queda también como está, pero a partir de este bit en adelante se cambian los 0 por 1 y los 1 por 0.

Teniendo en cuenta esto, y sabiendo que los datos están sincronizados por la señal de reloj, se puede plantear el siguiente diagrama de flujos del circuito (Fig. 7.64).

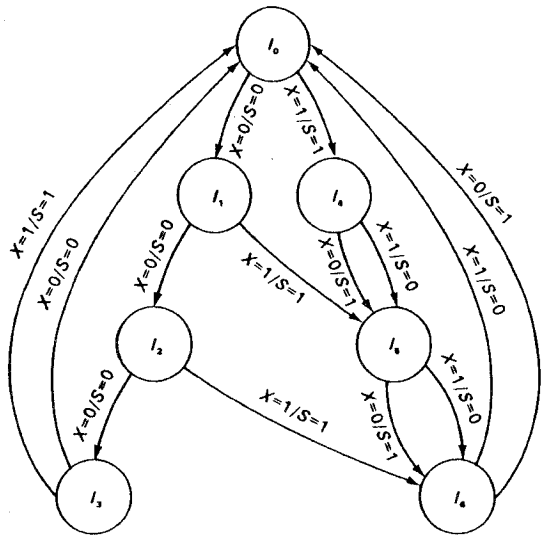



**Figura 7.64.** Diagrama de flujos del circuito generador del complemento a 2 de un número de cuatro bits (Problema 7.18).

La Tabla 7.41 es la de estados correspondiente al diagrama de flujos de la Figura 7.63.



**Tabla 7.41.** Tabla de estados del Problema 7.18

| Estado presente | $X$ | Estado futuro | Salida $S$ |
|---|---|---|---|
| $I_0$ | 0 | $I_1$ | 0 |
| $I_0$ | 1 | $I_4$ | 1 |
| $I_1$ | 0 | $I_2$ | 0 |
| $I_1$ | 1 | $I_5$ | 1 |
| $I_2$ | 0 | $I_3$ | 0 |
| $I_2$ | 1 | $I_6$ | 1 |
| $I_3$ | 0 | $I_0$ | 0 |
| $I_3$ | 1 | $I_0$ | 1 |
| $I_4$ | 0 | $I_5$ | 1 |
| $I_4$ | 1 | $I_5$ | 0 |
| $I_5$ | 0 | $I_6$ | 1 |
| $I_5$ | 1 | $I_6$ | 0 |
| $I_6$ | 0 | $I_0$ | 1 |
| $I_6$ | 1 | $I_0$ | 0 |

Seguidamente se codifican los cinco estados internos del autómata, para lo que necesitaremos tres bits. Por tanto, se realizan las siguientes asignaciones:

$$
\begin{array}{ll}
I_0 \longrightarrow 000 & I_4 \longrightarrow 100 \\
I_1 \longrightarrow 001 & I_5 \longrightarrow 101 \\
I_2 \longrightarrow 010 & I_6 \longrightarrow 110 \\
I_3 \longrightarrow 011 &
\end{array}
$$

En este caso se decide implementar el circuito con biestables del tipo *J-K*, por lo que se puede realizar la Tabla 7.42 donde ya se han sustituido los estados internos por los códigos asignados.

**Tabla 7.42.** Tabla de transiciones del Problema 7 18

| Estado presente $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | Entradas $X$ | Estado futuro $Q_{2(t+1)}$ | $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | $J_2$ | $K_2$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ | Salida $S$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | × | 0 | × | 1 | × | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | × | 0 | × | 0 | × | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | × | 1 | × | × | 1 | 0 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | × | 0 | × | × | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | × | × | 0 | 1 | × | 0 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | × | × | 1 | 1 | × | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | × | × | 1 | × | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | × | × | 1 | × | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | × | 0 | 0 | × | 1 | × | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | × | 0 | 0 | × | 1 | × | 0 |
| 1 | 0 | 1 | 0 | 1 | 1 | 0 | × | 0 | 1 | × | × | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | × | 0 | 1 | × | × | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | × | 1 | × | 1 | 0 | × | 1 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | × | 1 | × | 1 | 0 | × | 0 |

Los mapas de Karnaugh para deducir las ecuaciones de interconexión de los biestables *J-K* y las salidas son los que se muestran en la Figura 7.65.

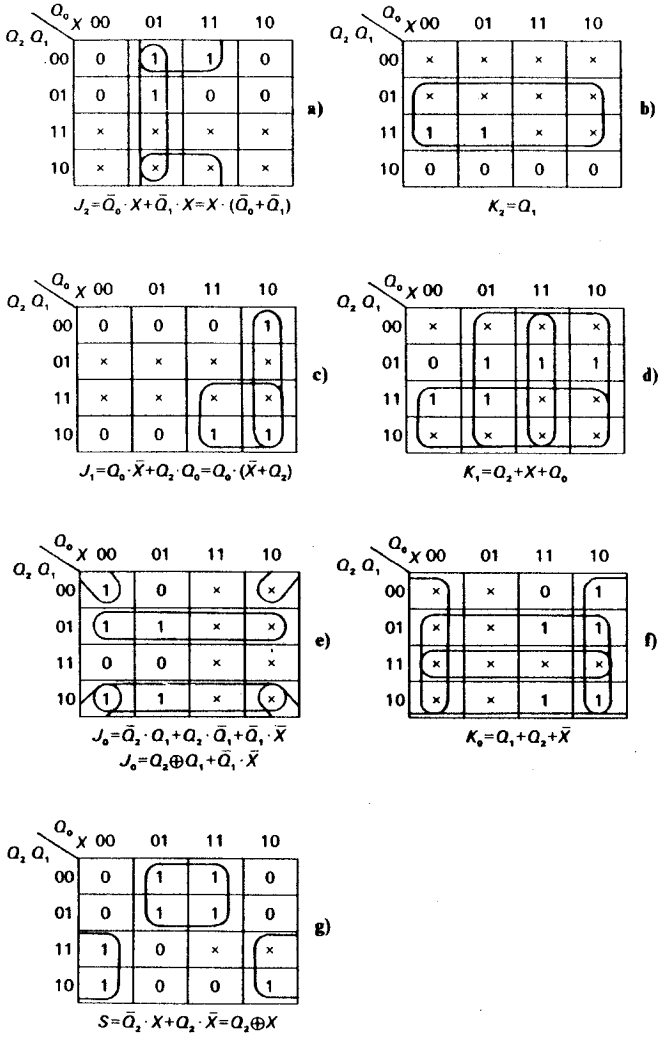



**Figura 7.65.** Mapas de Karnaugh para la obtención de las funciones de entrada y salida de los biestables del circuito (Problema 7.18).



El circuito queda como se muestra en la Figura 7.66.

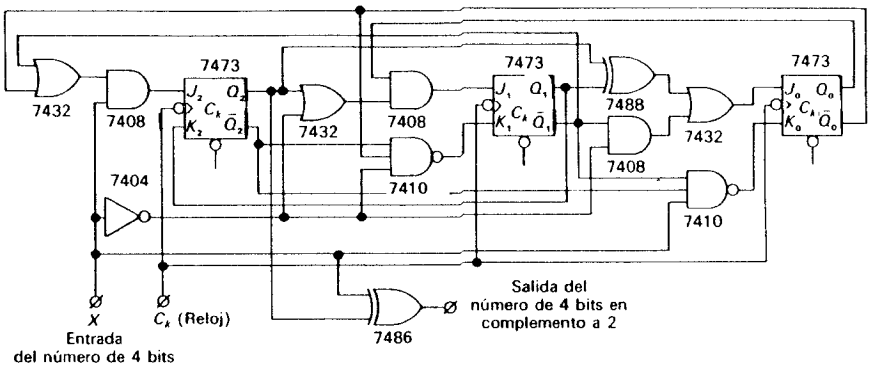



**Figura 7.66.** Resultado del Problema 7.18.

**7.19.** Diseñar un circuito secuencial síncrono que evolucione a partir de un estado inicial, $I_0$, de forma que cuando haya acabado de recibir dos unos consecutivos por una línea de entrada $X$, se obtenga por una línea de salida $S$ el complemento de los dos bits siguientes que reciba, y al mismo tiempo que los ha recibido. El sistema permanecerá en un estado final $I_f$ dando salida cero, hasta que se inicialice de nuevo el sistema mediante una señal de *reset* externa.

**Solución:** Como se pide que las salidas de los bits complementados que llegan después de los dos 1 consecutivos tienen que aparecer al mismo tiempo que se reciben, habrá que desarrollar el autómata por el método de Mealy.

El diagrama de flujos del sistema puede ser el que se muestra en la Figura 7.67.

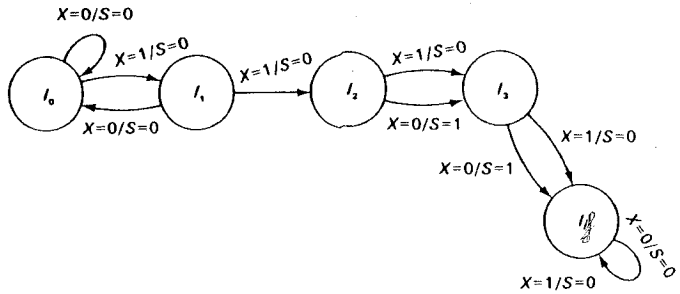



**Figura 7.67.** Diagrama de flujos del detector y generador de complemento de los dos bits siguientes que reciba (Problema 7.19).

La Tabla 7.43 es la de estados correspondiente al diagrama de flujos de la Figura 7.67.

**Tabla 7.43.** Tabla de estados del Problema 7.19

| Estado presente | $X$ | Estado futuro | $S$ |
|---|---|---|---|
| $I_0$ | 0 | $I_0$ | 0 |
| $I_0$ | 1 | $I_1$ | 0 |
| $I_1$ | 0 | $I_0$ | 0 |
| $I_1$ | 1 | $I_2$ | 0 |
| $I_2$ | 0 | $I_3$ | 1 |
| $I_2$ | 1 | $I_3$ | 0 |
| $I_3$ | 0 | $I_f$ | 1 |
| $I_3$ | 1 | $I_f$ | 0 |
| $I_f$ | 0 | $I_f$ | 0 |
| $I_f$ | 1 | $I_f$ | 0 |

Seguidamente se codifican los cuatro estados internos del autómata para lo que necesitaremos tres bits. Por tanto, se realizan las siguientes asignaciones:

$I_0 \longrightarrow 000$ $\quad$ $I_3 \longrightarrow 011$

$I_1 \longrightarrow 001$ $\quad$ $I_f \longrightarrow 100$

$I_2 \longrightarrow 010$

En este caso, se decide implementar el circuito con biestables del tipo $J$-$K$, por lo que se puede realizar la Tabla 7.44 donde ya se han sustituido los estados internos por los códigos asignados.

**Tabla 7.44.** Tabla de transiciones del Problema 7.19

| Estado presente $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | Entrada $X$ | Estado futuro $Q_{2(t+1)}$ | $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | $J_2$ | $K_2$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ | Salida $S$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | × | 0 | × | 0 | × | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | × | 0 | × | 1 | × | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | × | 0 | × | × | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | × | 1 | × | × | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | × | × | 0 | 1 | × | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | × | × | 0 | 1 | × | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | × | × | 1 | × | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | × | × | 1 | × | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | × | 0 | 0 | × | 0 | × | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | × | 0 | 0 | × | 0 | × | 0 |

Los mapas de Karnaugh para deducir las ecuaciones de interconexión de los biestables $J$-$K$ y las salidas son los que se muestran en la Figura 7.68.



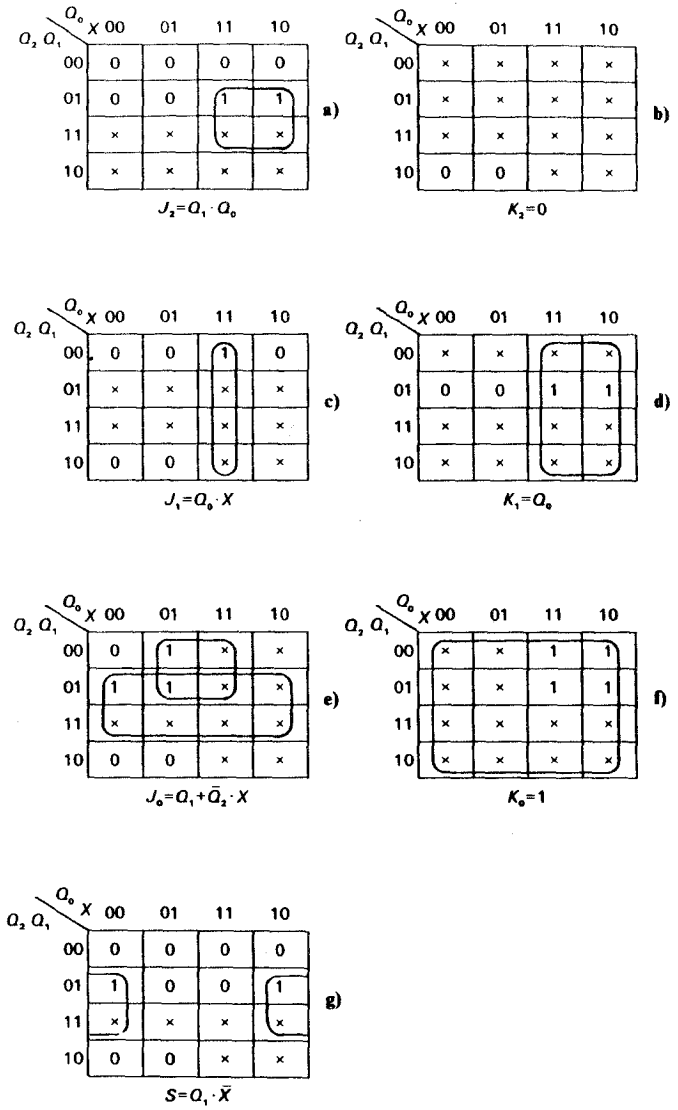



**Figura 7.68.** Mapas de Karnaugh para el cálculo de las funciones de entrada y salida de los biestables (Problema 7.19).

El circuito queda como se muestra en la Figura 7.69.

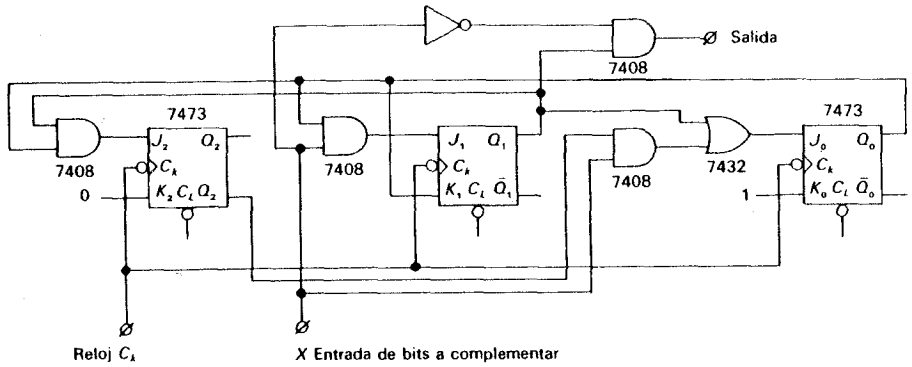



**Figura 7.69.** Resultado del Problema 7.19.

**7.20.** Se desea realizar el receptor de una cerradura codificada mediante una serie de datos codificados previamente (11011). Dicho receptor estará realizado mediante un autómata síncrono con una única entrada $X$ por la que llegan los bits serie y una salida $S$ que será 1 cuando se reciba la secuencia deseada.

La secuencia puede llegar en cualquier momento y una vez que la salida se hace 1 el circuito retorna a su estado inicial (Fig. 7.70).

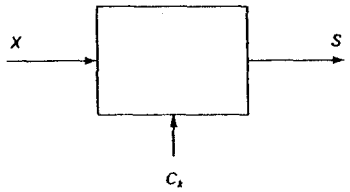



**Figura 7.70.** Diagrama de bloques del detector de secuencia (Problema 7.20).

**Solución:** Suponiendo que la señal que llega al receptor se encuentra sincronizada con el reloj interno del sistema, el diagrama de flujos del circuito detector de la secuencia 11011 es el que se muestra en la Figura 7.71.

La Tabla 7.45 de estados correspondiente al diagrama de flujos de la Figura 7.71.



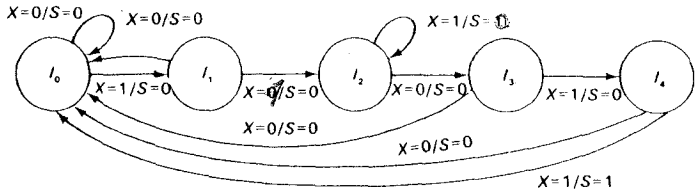



**Figura 7.71.** Diagrama de flujos del circuito detector de la secuencia 11011 en el Problema 7.20

**Tabla 7.45.** Tabla de estados del Problema 7.20

| Estado presente | $X$ | Estado futuro | Salida $S$ |
|---|---|---|---|
| $I_0$ | 0 | $I_0$ | 0 |
| $I_0$ | 1 | $I_1$ | 0 |
| $I_1$ | 0 | $I_0$ | 0 |
| $I_1$ | 1 | $I_2$ | 0 |
| $I_2$ | 0 | $I_3$ | 0 |
| $I_2$ | 1 | $I_2$ | 0 |
| $I_3$ | 0 | $I_0$ | 0 |
| $I_3$ | 1 | $I_4$ | 0 |
| $I_4$ | 0 | $I_0$ | 0 |
| $I_4$ | 1 | $I_0$ | 1 |

A continuación se codifican los cinco estados internos del autómata, para lo que necesitaremos dos bits. Se realizan las siguientes asignaciones:

$I_0 \longrightarrow 000$ $\quad I_3 \longrightarrow 011$
$I_1 \longrightarrow 001$ $\quad I_4 \longrightarrow 100$
$I_2 \longrightarrow 010$

En este caso se decide implementar el circuito con biestables del tipo $J$-$K$, por lo que se puede realizar la Tabla 7.46 donde ya se han sustituido los estados internos por los códigos asignados.

**Tabla 7.46.** Tabla de transiciones del Problema 7.20

| Estado presente $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | Entradas $X$ | Estado futuro $Q_{2(t+1)}$ | $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | $J_2$ | $K_2$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ | Salida $X$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | × | 0 | × | 0 | × | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | × | 0 | × | 1 | × | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | × | 0 | × | × | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | × | 1 | × | × | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | × | × | 0 | 1 | × | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | × | × | 0 | 0 | × | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | × | × | 1 | × | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | × | × | 1 | × | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | × | 1 | 0 | × | 0 | × | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | × | 1 | 0 | × | 0 | × | 1 |

Los mapas de Karnaugh para deducir las ecuaciones de interconexión de los biestables $J$-$K$ y las salidas son los que se muestran en la Figura 7.72.

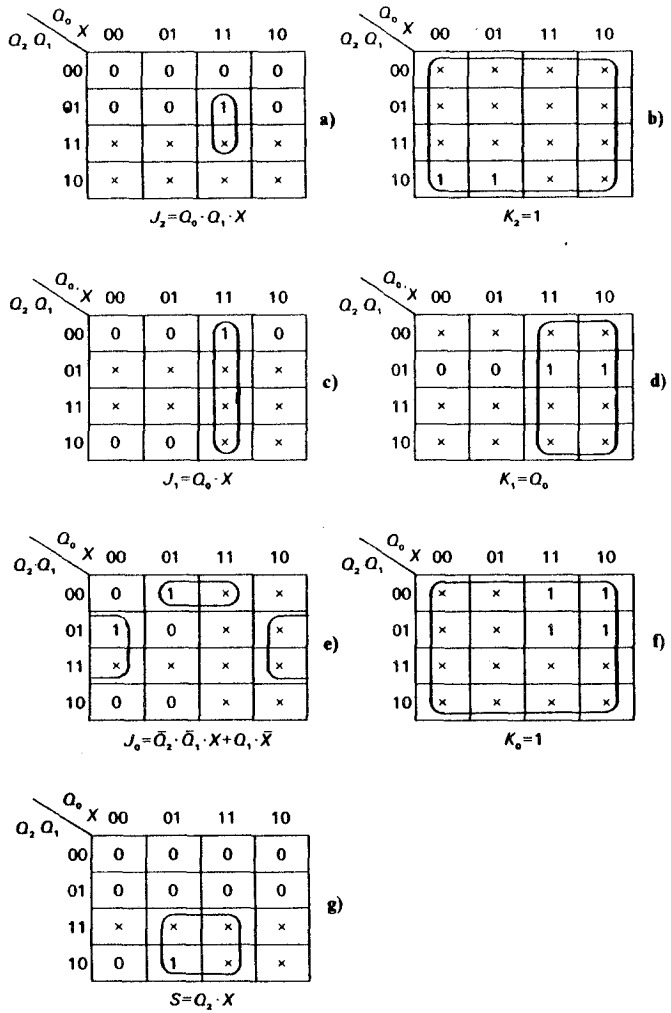



**Figura 7.72.** Mapas de Karnaugh para la obtención de las funciones de entrada y salida del autómata del Problema 7.20.



Por tanto, el circuito queda como se muestra en la Figura 7.73.

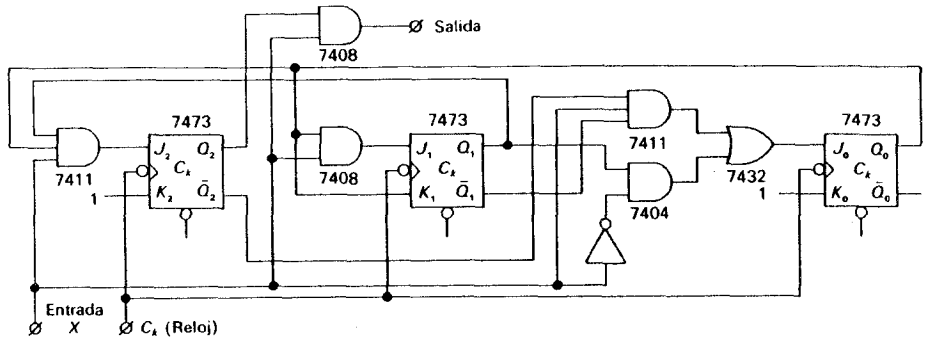



**Figura 7.73.** Resultado del Problema 7.20.

**7.21.** Se desea diseñar un circuito secuencial para implementar una máquina de venta automática de cajas de cerillas. Se supone que la caja de cerillas cuesta 7 ptas. y que se pueden introducir monedas de 1 pta. y de 5 ptas. indistintamente y en cualquier orden.

El circuito deberá tener dos salidas $S_1$ y $S_2$ las cuales tienen las siguientes funciones:

- $S_1$, si la máquina tiene que entregar la caja de cerillas; esta salida será 1.
- $S_2$ indicará en binario el número de pesetas a devolver cuando se hayan introducido más de 7 ptas.

Así, por ejemplo, si habiendo introducido en la máquina la cantidad de 3 ptas. se introduce posteriormente una moneda de 5 ptas.; la máquina debe devolver 1 pta., entregar la caja de cerillas y quedarse a la espera de que se le empiezen a introducir nuevas monedas para adquirir otra caja de cerillas.

**Solución:** En primer lugar se realiza el diagrama de flujos; en el diagrama de la Figura 7.74 el significado de las variables es el siguiente:

- $X$ = 1 se ha introducido 1 pta.
- $X$ = 0 se ha introducido una moneda de 5 ptas.
- $S_1$ = 0 no dispensa caja de cerillas.
- $S_1$ = 1 se dispensa una caja de cerillas.
- $S_2$ = indica el número de pesetas a devolver en binario.

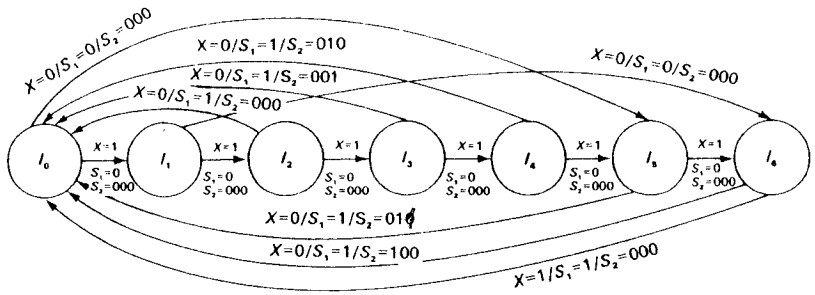



**Figura 7.74.** Diagrama de flujos de la máquina expendedora de cajas de cerillas del Problema 7.21.

De acuerdo con el diagrama de la Figura 7.74, se puede escribir la Tabla 7.47 correspondiente a los estados por los que pasa el autómata finito.

**Tabla 7.47.** Tabla de estados del Problema 7.21

| Estado presente | $X$ | Estado futuro | $S_1$ | $S_2$ |
|---|---|---|---|---|
| $I_0$ | 0 | $I_5$ | 0 | 0 0 0 |
| $I_0$ | 1 | $I_1$ | 0 | 0 0 0 |
| $I_1$ | 0 | $I_6$ | 0 | 0 0 0 |
| $I_1$ | 1 | $I_2$ | 0 | 0 0 0 |
| $I_2$ | 0 | $I_0$ | 1 | 0 0 0 |
| $I_2$ | 1 | $I_3$ | 0 | 0 0 0 |
| $I_3$ | 0 | $I_0$ | 1 | 0 0 1 |
| $I_3$ | 1 | $I_4$ | 0 | 0 0 0 |
| $I_4$ | 0 | $I_0$ | 1 | 0 1 0 |
| $I_4$ | 1 | $I_5$ | 0 | 0 0 0 |
| $I_5$ | 0 | $I_0$ | 1 | 0 1 1 |
| $I_5$ | 1 | $I_6$ | 0 | 0 0 0 |
| $I_6$ | 0 | $I_0$ | 1 | 1 0 0 |
| $I_6$ | 1 | $I_0$ | 1 | 0 0 0 |

A continuación se realiza la asignación de códigos binarios a los estados internos. Como hay siete estados distintos se necesitan, por los menos, tres bits para codificarlos.

$I_0 \longrightarrow 000$
$I_1 \longrightarrow 001$
$I_2 \longrightarrow 010$
$I_3 \longrightarrow 011$



$I_4 \longrightarrow 100$
$I_5 \longrightarrow 101$
$I_6 \longrightarrow 110$

En este momento se decide que la implementación se hará con biestables del tipo $J$-$K$, por tanto, sustituyendo los estados de codificación en la tabla de estados y ampliando ésta con la tabla de excitación de los biestables $J$-$K$ se obtiene la Tabla 7.48.

**Tabla 7.48.** Tabla de transiciones del Problema 7.21

| Estado presente $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | $X$ | Estado futuro $Q_{2(t+1)}$ | $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | $S_1$ | Salida $A$ | $B$ | $C$ | $J_2$ | $K_2$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | × | 0 | × | 1 | × |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | × | 0 | × | 1 | × |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | × | 1 | × | × | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | × | 1 | × | × | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | × | × | 1 | 0 | × |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | × | × | 0 | 1 | × |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | × | × | 1 | × | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | × | × | 1 | × | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | × | 1 | 0 | × | 0 | × |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | × | 0 | 0 | × | 1 | × |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | × | 1 | 0 | × | × | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | × | 0 | 1 | × | × | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | × | 1 | × | 1 | 0 | × |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | × | 1 | × | 1 | 0 | × |

Los mapas de Karnaugh para deducir las ecuaciones de interconexión de los biestables $J$-$K$ y las salidas son los que se muestran en la Figura 7.75.

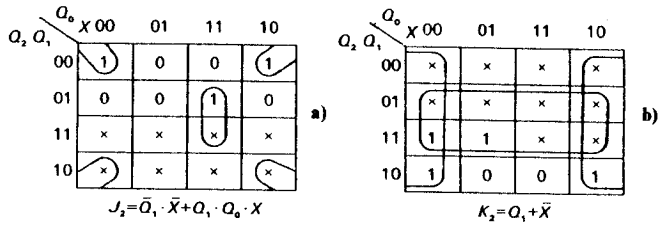



**Figura 7.75.** Mapas de Karnaugh para el cálculo de las funciones de entrada y salida de los biestables del Problema 7.21.

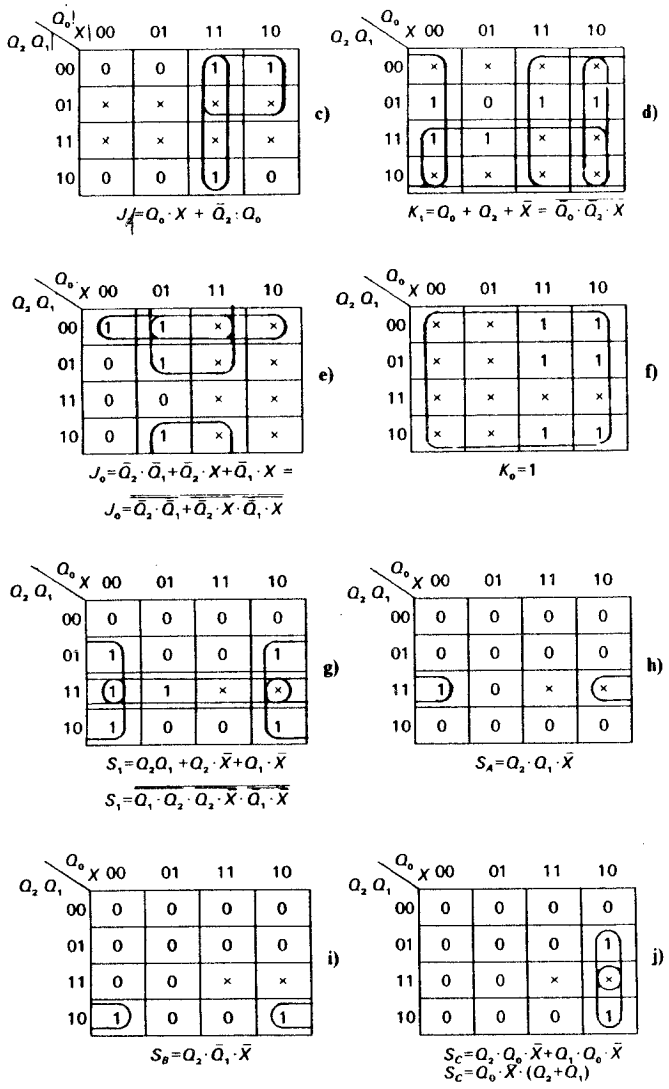



**Figura 7.75.** Mapas de Karnaugh para el cálculo de las funciones de entrada y salida de los biestables del Problema 7.21. *(Continuación).*



Por tanto, el circuito queda como se muestra en la Figura 7.76

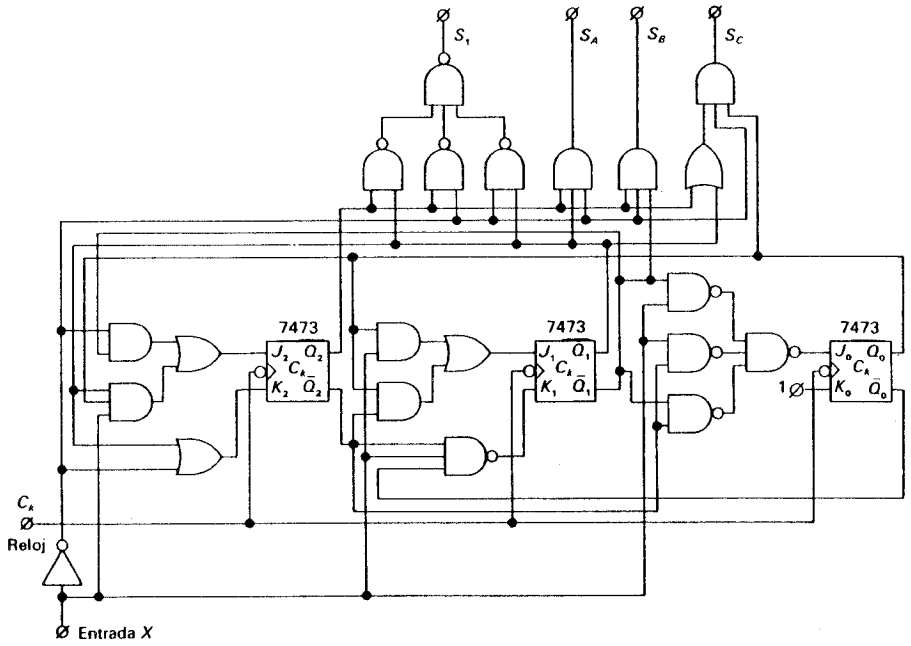



**Figura 7.76.** Resultado del Problema 7.21.

**7.22.** Un circuito de alarma que controla la entrada de una puerta lo realiza mediante un circuito electrónico que sigue el diagrama de bloques de la figura

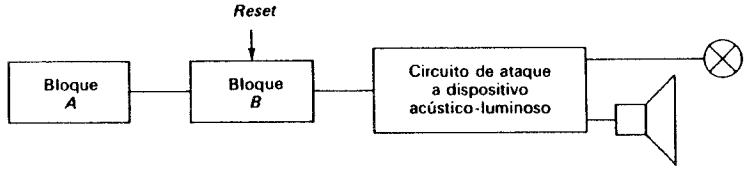



**Figura 7.77.** Diagrama de bloques del sistema de alarma del Problema 7.22.

El bloque *A* es un dispositivo que proporciona un impulso de corto tiempo cada vez que se abre o cierra una puerta (se supone que este bloque está ya realizado).

El bloque *B* es un circuito de control que detecta que se ha abierto por segunda vez la puerta, dando una salida de valor 1 y quedando bloqueada hasta que se vuelve a inicializar con una entrada de *Reset* el sistema.

Por su parte, el circuito de ataque al dispositivo acústico-luminoso incorpora un temporizador de tal forma que si en un tiempo prudencial no se ha activado el *Reset* del bloque *B* se pone en marcha el sistema acústico-luminoso.

Realizar el bloque *B* empleando para ello biestables del tipo *J-K*.

**Solución:** En esta ocasión se realizará mediante los modelos de Mealy y Moore pudiéndose comparar de esta manera los dos. El diagrama de flujos para el modelo de Moore es el que se muestra en la Figura 7.78.

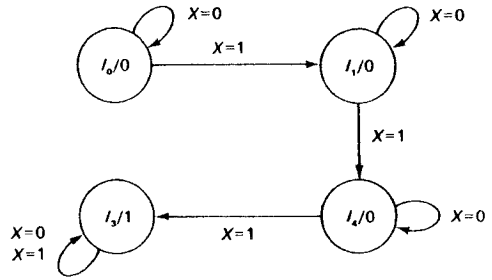



**Figura 7.78.** Diagrama de flujos del sistema de alarma de acuerdo con el modelo de Moore del Problema 7.22.

Como se puede apreciar en este modelo, las salidas del circuito se han dibujado en el interior del círculo correspondiente al estado interno indicando de esta manera que mientras que el autómata se encuentra en un estado determinado la salida que se obtiene es la que corresponde a dicho estado independientemente del valor de *X*, y se seguirá obteniendo dicho valor hasta que el autómata no se encuentre en el estado siguiente.

El diagrama de flujos para el modelo de Mealy es el que se muestra en la Figura 7.79.

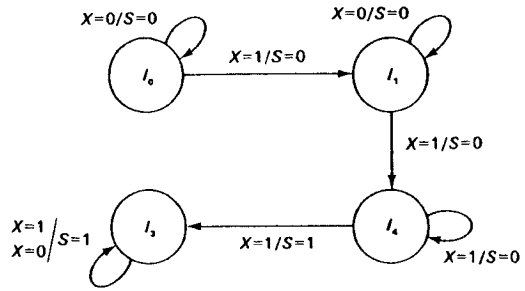



**Figura 7.79.** Diagrama de flujos del sistema de alarma de acuerdo con el modelo de Mealy del Problema 7.22.



En este caso las salidas se representan fuera del círculo que representa el estado interno del autómata indicándose de esta forma que en el momento en que aparece la señal *X* cambia la salida aun cuando se encuentre el autómata en el estado de transición.

La tabla de estados para estos dos modelos será la Tabla 7.49.

**Tabla 7.49.** Tabla de estados del Problema 7.22

| Estado presente | *X* | Estado futuro | Salida Moore | Salida Mealy |
|---|---|---|---|---|
| $I_0$ | 0 | $I_0$ | 0 | 0 |
| $I_0$ | 1 | $I_1$ | 0 | 0 |
| $I_1$ | 0 | $I_1$ | 0 | 0 |
| $I_1$ | 1 | $I_2$ | 0 | 0 |
| $I_2$ | 0 | $I_2$ | 0 | 0 |
| $I_2$ | 1 | $I_3$ | 0 | 1 |
| $I_3$ | 0 | $I_3$ | 1 | 1 |
| $I_3$ | 1 | $I_3$ | 1 | 1 |

Como hay cuatro estados, para poder codificarlos harán falta dos bits, realizando la siguiente asignación de estados:

$I_0 \longrightarrow 00$
$I_1 \longrightarrow 01$
$I_2 \longrightarrow 10$
$I_3 \longrightarrow 11$

Sustituyendo estas codificaciones en la tabla de estados y ampliando ésta con la tabla de excitación de los biestables *J-K* se obtiene la Tabla 7.50.

**Tabla 7.50.** Tabla de transiciones del Problema 7.22

| Estado presente $Q_{1(t)}$ | Estado presente $Q_{0(t)}$ | *X* | Estado futuro $Q_{1(t+1)}$ | Estado futuro $Q_{0(t+1)}$ | Salida Moore | Salida Mealy | $J_1$ | $K_1$ | $J_0$ | $K_0$ |
|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | × | 0 | × |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | × | 1 | × |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | × | × | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | × | × | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | × | 0 | 0 | × |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 | × | 0 | 1 | × |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | × | 0 | × | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | × | 0 | × | 0 |

Como se puede apreciar, tanto en la Tabla 7.50 como en los dos diagramas de estados (Moore y Mealy) para pasar de un estado a otro siempre se cumple que $X = 1$, mientras que cuando $X = 0$ no hay transición a otro estado, por tanto, en los mapas de Karnaugh para obtener las funciones de interconexión se puede eliminar la variable $X$ ya que ésta será siempre 1 y se deberá conectar la entrada $X$ a la entrada de reloj que en cada momento es un impulso generado por el bloque $A$.

De acuerdo con esto los mapas de Karnaugh de interconexión y de las salidas serán los que se muestran en la Figura 7.80.

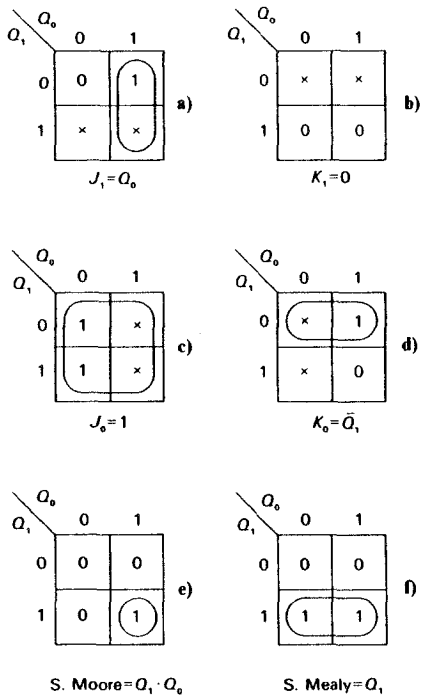



**Figura 7.20.** Mapas de Karnaugh para la obtención de las funciones de entrada y salida de los biestables del Problema 7.22.

Por tanto, el circuito correspondiente al bloque $B$ será el de la Figura 7.81, en el que se han representado tanto la salida del modelo de Mealy como la del modelo de Moore.



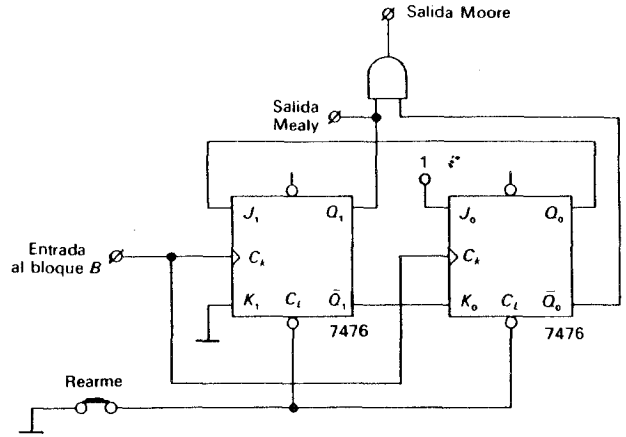



**Figura 7.81.** Circuito correspondiente al bloque $B$ del diagrama de bloques de la Figura 7.77.

## PROBLEMAS PROPUESTOS

**7.23.** Si al circuito correspondiente al diagrama de flujos de la Figura 7.82*a*) se le introduce una señal como la Figura 7.82*b*) por la entrada $X$ sincronizada con la señal de reloj, ¿qué señal se obtiene a la salida?

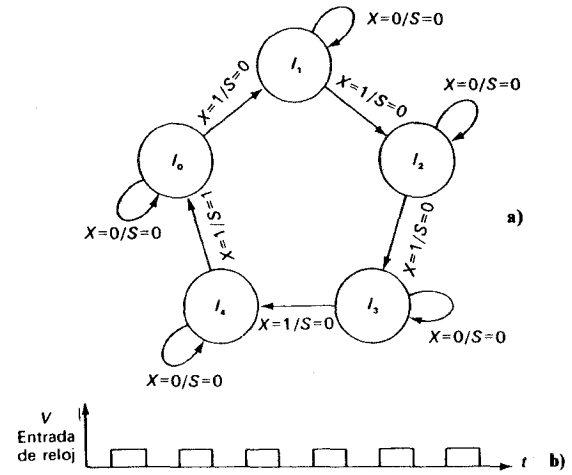



**Figura 7.82.** Enunciado del Problema 7.23.

**Solución:**

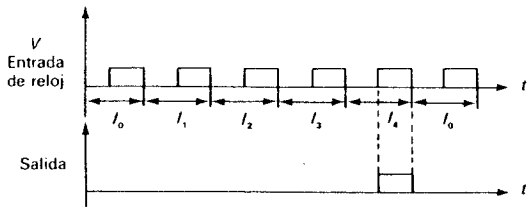



**Figura 7.83.** Resultado del Problema 7.23.

**7.24.** Obtener la tabla de transición del diagrama de flujos de la Figura 7.82*a*)

**Solución:**

**Tabla 7.51.** Resultado del Problema 7.24.

| Estado actual | Entrada $X$ | Estado futuro | Salida |
|---|---|---|---|
| $I_0$ | 0 | $I_0$ | 0 |
| $I_0$ | 1 | $I_1$ | 0 |
| $I_1$ | 0 | $I_1$ | 0 |
| $I_1$ | 1 | $I_2$ | 0 |
| $I_2$ | 0 | $I_2$ | 0 |
| $I_2$ | 1 | $I_3$ | 0 |
| $I_3$ | 0 | $I_3$ | 0 |
| $I_3$ | 1 | $I_4$ | 0 |
| $I_4$ | 0 | $I_4$ | 0 |
| $I_4$ | 1 | $I_0$ | 1 |

**7.25.** Si en el circuito correspondiente al diagrama de flujos de la Figura 7.84*a*) se introduce la señal 7.84*b*) por la entrada $X$ sincronizada con la señal de reloj, ¿qué señal se obtiene a la salida del circuito?

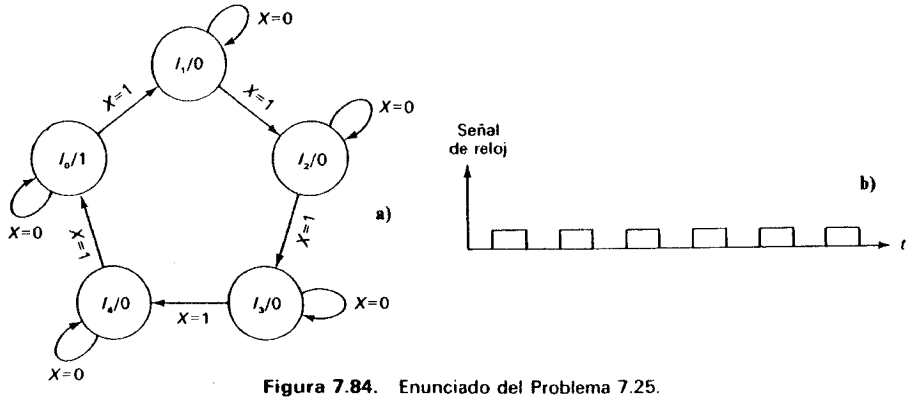



**Figura 7.84.** Enunciado del Problema 7.25.



**Solución:**

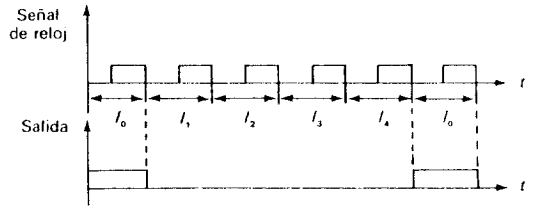



**Figura 7.85.** Resultado del problema 7.25.

**7.26.** Obtener la tabla de estados del diagrama de flujos de la Figura 7.84*a*).

**Solución:**

**Tabla 7.52.** Resultado del Problema 7.26.

| Estado actual | Entrada $X$ | Estado futuro | Salida |
|---|---|---|---|
| $I_0$ | 0 | $I_0$ | 1 |
| $I_0$ | 1 | $I_1$ | 1 |
| $I_1$ | 0 | $I_1$ | 0 |
| $I_1$ | 1 | $I_2$ | 0 |
| $I_2$ | 0 | $I_2$ | 0 |
| $I_2$ | 1 | $I_3$ | 0 |
| $I_3$ | 0 | $I_3$ | 0 |
| $I_3$ | 1 | $I_4$ | 0 |
| $I_4$ | 0 | $I_4$ | 0 |
| $I_4$ | 1 | $I_0$ | 0 |

**7.27.** Obtener la tabla de estados del diagrama de flujos de la Figura 7.86.

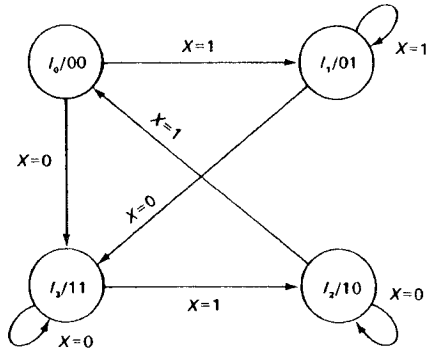



**Figura 7.86.** Enunciado del Problema 7.27.

**Solución:**

**Tabla 7.53.** Resultado del Problema 7.27.

| Estado actual | Entrada $X$ | Estado futuro | Salida |
|---|---|---|---|
| $I_0$ | 0 | $I_3$ | 0 0 |
| $I_0$ | 1 | $I_1$ | 0 0 |
| $I_1$ | 0 | $I_3$ | 0 1 |
| $I_1$ | 1 | $I_1$ | 0 1 |
| $I_2$ | 0 | $I_2$ | 1 0 |
| $I_2$ | 1 | $I_0$ | 1 0 |
| $I_3$ | 0 | $I_3$ | 1 1 |
| $I_3$ | 1 | $I_2$ | 1 1 |

**7.28.** Obtener la tabla de excitación del diagrama de flujos de la Figura 7.86 si se pretende implementar el circuito con biestables del tipo *J-K*.

**Solución:**

**Tabla 7.54.** Resultado del Problema 7.28

| Estado actual $Q_{1(t)}$ | $Q_{0(t)}$ | $X$ | Estado futuro $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | $J_1$ | $K_1$ | $J_0$ | $K_0$ | $S_1$ | $S_0$ |
|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 1 | 1 | 1 | × | 1 | × | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | × | 1 | × | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 1 | × | × | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 | × | × | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | × | 0 | 0 | × | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | × | 1 | 0 | × | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | × | 0 | × | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | × | 0 | × | 1 | 1 | 1 |

**7.29.** Obtener la tabla de excitación del problema anterior si se utilizan biestables del tipo *T*.

**Solución:**

**Tabla 7.55.** Resultado del Problema 7.29

| Estado actual $Q_{1(t)}$ | $Q_{0(t)}$ | $X$ | Estado futuro $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | $T_1$ | $T_0$ | $S_1$ | $S_0$ |
|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |



**7.30.** Obtener la tabla de excitación correspondiente al diagrama de flujos de la Figura 7.87 si se emplea para su implementación un biestable genérico cuya tabla de verdad es la que se muestra en la Tabla 7.56.

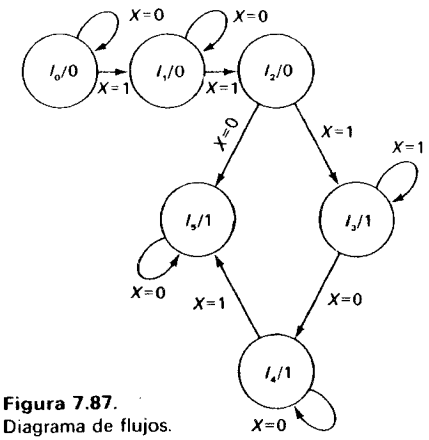



**Figura 7.87.**
Diagrama de flujos.

**Tabla 7.56.** Tabla de verdad de un biestable genérico (Problema 7.30)

| $X$ | $Y$ | $Q_{(t+1)}$ |
|---|---|---|
| 0 | 0 | $Q_t$ |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | $Q_t$ |

**Solución:**

**Tabla 7.57.** Resultado del Problema 7.30

| Estado actual $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | $X$ | Estado futuro $Q_{2(t+1)}$ | $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | $X_2$ | $Y_2$ | $X_1$ | $Y_1$ | $X_0$ | $Y_0$ | $S$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | × | 1 | × | 1 | × | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | × | 1 | × | 1 | × | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | × | 1 | × | 1 | 1 | × | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | × | 1 | × | 0 | 0 | × | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | × | 0 | 0 | × | × | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | × | 1 | 1 | × | × | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | × | 0 | 0 | × | 0 | × | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 | × | 1 | 1 | × | 1 | × | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | × | × | 1 | × | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | × | × | 1 | × | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | × | × | 1 | 1 | × | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | × | × | 0 | 1 | × | 1 |

**7.31.** Construir la tabla de excitación de un contador binario de tres bits utilizando para su realización biestables tipo $T$.

**Solución:**

$A$ es la señal de control de sentido de cuenta. Con $A = 0$ decrementa y con $A = 1$ incrementa.
$B$ es el acarreo de arrastre decreciente.
$C$ es el arrastre de sentido creciente.

**Tabla 7.58.** Resultado del Problema 7.31

| | Control | Estado actual | | | Estado futuro | | | | | | Acarreo | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | $A$ | $Q_{2(t)}$ | $Q_{1(t)}$ | $Q_{0(t)}$ | $Q_{2(t+1)}$ | $Q_{1(t+1)}$ | $Q_{0(t+1)}$ | $T_2$ | $T_1$ | $T_0$ | $C(+)$ | $B(-)$ |
| Cuenta descendente | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 |
| | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 |
| | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| Cuenta ascendente | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 |
| | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 |
| | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 |
| | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 |
| | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 |



**7.32.** Construir la tabla de transición y control para el diseño de un registro de desplazamiento bidireccional de dos bits mediante biestables tipo $T$ síncronos.

**Solución:**

$R$: Control de desplazamiento
$ED$: Entrada de datos
$SR$: Salida de datos

**Tabla 7.59.** Resultado del Problema 7.32

| | Control | | Estados actuales | | Estados futuros | | Entradas biestables | | |
|---|---|---|---|---|---|---|---|---|---|
| | $R$ | $ED$ | $Q_{1(t)}$ | $Q_{2(t)}$ | $Q_{1(t+1)}$ | $Q_{2(t+1)}$ | $T_1$ | $T_2$ | $SD$ |
| Desplazamiento izquierda | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 |
| | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| Desplazamiento derecha | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 |
| | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |

Variables entrada — Variables salida

UNIVERSIDAD CARLOS III DE LEGANES CAMPUS BIBLIOTECA GENERAL

7.33. Diseñar un contador de décadas síncrono con biestables *J-K*.

**Solución:**

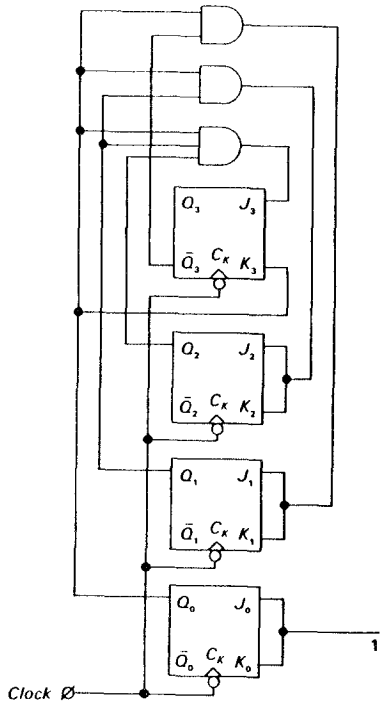



**Figura 7.88.** Resultado del Problema 7.33.

# CAPITULO 8

# Diseño de automatismos industriales

## 8.1. DEFINICION

*Un automatismo industrial es un sistema constituido por diferentes dispositivos y elementos que al recibir una serie de informaciones procedentes del exterior es capaz de generar las órdenes necesarias para que los receptores por él controlados realicen la función para la que fue diseñado.*

La naturaleza de los dispositivos y elementos que constituyen un automatismo es muy variada. Los primeros automatismos eran exclusivamente mecánicos; según fue evolucionando la técnica aparecieron los automatismos eléctricos y electrónicos, estando hoy día constituidos básicamente por elementos eléctricos y electrónicos, pero poseyendo también elementos mecánicos, neumáticos e hidráulicos.

## 8.2. CLASIFICACION DE LOS AUTOMATISMOS

Existen muchas formas de clasificar los automatismos, pero podemos resumirlas en las siguientes:

- **Según los elementos empleados** se clasifican en:
  - *Mecánicos.* Son los más antiguos y están formados por engranajes, palancas, levas, etc.
  - *Eléctricos.* Basan su funcionamiento en los contactores, relés, pulsadores, conmutadores, etc., pero siguen empleando elementos mecánicos.
  - *Neumáticos.* Su funcionamiento es por aire comprimido y emplean elementos como los cilindros, válvulas neumáticas, electroválvulas, etc., utilizando también elementos mecánicos y eléctricos en su estructura.
  - *Electrónicos.* Basan su funcionamiento en los circuitos digitales y emplean componentes electrónicos integrados y discretos. Utilizan también elementos mecánicos eléctricos y neumáticos incluyendo los más modernos sistemas informáticos.

- **Según su capacidad de trabajo** se clasifican en:
  - *Automatismos cableados o no programables.* Son aquellos que sólo sirven para la función para la que fueron diseñados, teniendo que variar los elementos que lo componen de forma parcial o total para que realicen otra función.
  - *Automatismos programables.* Son aquellos automatismos basados en los microprocesadores cuya función varía con el programa grabado en la memoria interna o externa de un sistema de desarrollo de microprocesadores.

## 8.3. ESTRUCTURA BASICA DE UN AUTOMATISMO INDUSTRIAL

Todos los automatismos industriales, sea cual sea su tipo, se adaptan a la estructura de bloques que aparece en la Figura 8.1.

**Figura 8.1.** Esquema de bloques de un automatismo industrial.

En el anterior esquema se distinguen los siguientes bloques:

- *Circuito de mando o gobierno.* Este bloque o circuito recibe las informaciones del exterior, procedentes de sensores, pulsadores, etc. Con ellas genera las órdenes oportunas para que los receptores o elementos conectados al automatismo realicen la función para la que fue diseñado el circuito. Dependiendo de la estructura interna de este bloque, el automatismo será programable o no programable.
- *Circuito interface o amplificador.* Este bloque no existe en todos los automatismos. Se emplea cuando las órdenes generadas por el circuito de mando no tienen la forma o potencia adecuadas para activar los componentes o dispositivos que controlan a los receptores.
- *Circuito de potencia.* Este dispositivo constituido habitualmente por contactores, relés o componentes de potencia, es quien en realidad controla a los receptores que constituyen la salida física del automatismo.

## 8.4. METODOS DE DISEÑO DEL CIRCUITO DE MANDO DE UN AUTOMATISMO

Cualquier automatismo puede ser diseñado como un automatismo cableado o programable, el empleo de uno u otro sistema dependerá de varios factores, entre los que destacan: complejidad, volumen que deberá tener, localización y fin del automatismo, economía, etc.

### ■ Diseño para automatismos no programados

Seguiremos el proceso señalado en el diagrama de la Figura 8.2.

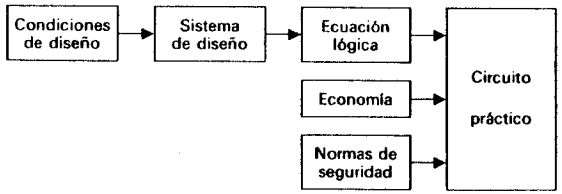



**Figura 8.2.** Diagrama de diseño de automatismos no programables.



Partiremos de las condiciones físicas del funcionamiento del sistema, en las cuales habrá que definir:

- Variables o informaciones de entrada.
- Forma de funcionamiento del automatismo (sin ciclo de trabajo o con él).
- Elementos o receptores de salida.

Con estas condiciones de funcionamiento pasaremos a seleccionar el método de diseño del automatismo entre alguno de los siguientes:

- *Diseño por tabla de verdad.* Cuando se trata de automatismos de pequeña complejidad y con pocas variables de entrada; es el método más adecuado. Consiste en plantear la tabla de verdad y por álgebra de Boole obtener la ecuación lógica que define su funcionamiento.
- *Diseño por autómatas finitos (Métodos de Mealy y Moore).* Método más evolucionado que permite el diseño de automatismos con muchas variables, pero que en la práctica sólo se emplea en el diseño de sistemas secuenciales síncronos.
- *Diseño razonado.* Método que, clasificando las variables de entrada como *creadoras* y *anuladoras* de cada receptor o salida, aplica el teorema siguiente:

  *La ecuación de cualquier función se obtiene por el producto de cada una de las variables anuladoras negadas, multiplicado por la suma de todas las variables creadoras sin negar.*

  Es un método bastante simple y fácil de aplicar.

Partiendo de alguno de los anteriores métodos se obtendrá la o las ecuaciones de funcionamiento del sistema. Una vez obtenidas las ecuaciones llega la hora de realizar su implementación práctica; en este momento, y teniendo siempre en cuenta las normas de seguridad y los principios económicos, deberemos elegir la implementación del circuito entre alguna de las siguientes formas:

- *Circuito implementado con puertas y circuitos lógicos.*
- *Circuito implementado con contactores o relés y pulsadores.*
- *Circuito implementado con elementos neumáticos o hidráulicos.*

### ■ Diseño para automatismos programables

Seguiremos el procedimiento indicado en el diagrama de la Figura 8.3.

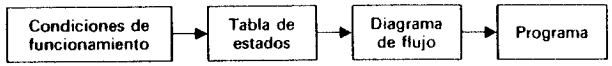



**Figura 8.3.** Diagrama de diseño de automatismos programables.

Partiendo de las condiciones de funcionamiento, realizaremos bien una tabla de verdad simplificada de funcionamiento o bien una tabla de estados o secuencia según el tipo de trabajo que realice el automatismo.

Seguidamente se obtendrá el diagrama de flujo o algoritmo que representa el funcionamiento del sistema, para pasar por último a la confección del programa correspondiente. Dicho programa se realizará dependiendo del sistema que vaya a controlar el automatismo, en lenguaje ensamblador o en lenguaje de alto nivel.

## 8.5. FORMAS DE FUNCIONAMIENTO DE UN AUTOMATISMO Y SEÑALES DE CONTROL

Los automatismos industriales trabajan habitualmente de dos formas completamente diferentes:

- *Automatismos sin ciclo de trabajo.* Son aquellos en los que las salidas se activan sin seguir un orden preestablecido, obedeciendo las informaciones presentes en la entrada del automatismo. No existe, por tanto, secuencia de trabajo.
- *Automatismos con ciclo de trabajo.* En estos automatismos sus salidas se activan secuencialmente siguiendo un orden preestablecido. El paso de un estado de salida al siguiente se produce al activarse una determinada entrada del automatismo.

## 8.6. AUTOMATISMOS SIN CICLO DE TRABAJO

Como ya enunciamos en el apartado anterior, este tipo de automatismos no trabaja realizando una secuencia fija de activación de sus salidas, dependiendo solamente dicha activación del valor que tomen el conjunto de sus entradas.

Los automatismos sin ciclo pueden trabajar, a su vez, de dos formas:

- *Automatismos sin memoria del último estado de salida.*
- *Automatismos con memoria del último estado de salida.*

En los primeros, la respuesta del automatismo no tiene para nada en cuenta la situación de la salida en el momento inmediatamente anterior a producirse una variación en la entrada. Por el contrario, en los automatismos con memoria sí la tiene en cuenta. *La mayor parte de los automatismos que trabajan sin ciclo funcionan con memoria del último estado de sus salidas.*

Los automatismos sin ciclo de trabajo se caracterizan por poseer los siguientes tipos de entradas:

- *Entrada/s de activación o «marcha».*
- *Entrada/s de detención o «parada».*

## 8.7. AUTOMATISMOS CON CICLO DE TRABAJO

Lo que más destaca en este tipo de automatismos es el funcionamiento secuencial de sus salidas. *Esta secuencialidad implica la necesidad de que estos automatismos trabajen siempre con memoria del último estado de las salidas.*

Los automatismos con ciclo de trabajo pueden efectuar su función de dos formas básicas:

■ **Automatismos con ciclo que trabajan en «ciclo único»**

En esta forma de trabajo, el automatismo comienza su funcionamiento al producirse una orden de marcha, realizando toda su secuencia de trabajo según se va produciendo la activación de la entrada oportuna. El automatismo se detiene por sí solo al final del ciclo de trabajo.

Estos automatismos poseen los siguientes tipos de entradas:

- *Entrada de «marcha».*
- *Entradas de secuencia o cambio de fase.*



- *Entrada de «emergencia».* Esta entrada detiene instantáneamente la secuencia de trabajo allí donde se produce.

■ **Automatismos con ciclo que trabajan en «ciclo automático»**

En este caso, el automatismo realiza el ciclo de trabajo al recibir la orden de marcha. Cuando llega al fin del ciclo comienza uno nuevo sin necesidad de orden de marcha, efectuando ciclos de manera indefinida hasta la recepción de una orden de parada.

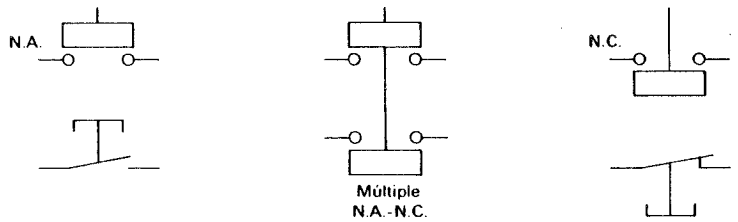
Son precisos, en consecuencia, los siguientes tipos de entradas:

- *Entrada de «marcha».*
- *Entradas de secuencia o cambio de fase.*
- *Entrada de «parada».* Hay que destacar que esta entrada no para instantáneamente el automatismo, sino que desmemoriza el trabajo en ciclo automático, causa por la cual el automatismo se para al final del ciclo de trabajo en curso.
- *Entrada de «emergencia».*
- *Entrada de «rearme».* La orden de emergencia no debe desactivarse con la simple activación de la orden de marcha por simples razones de seguridad. En la práctica es, por tanto, conveniente añadir una nueva entrada, cuya activación anule la memorización de emergencia con lo cual se desbloquée la entrada de marcha; a esta entrada se la denomina *rearme.*

## 8.8. ELEMENTOS EMPLEADOS EN AUTOMATISMOS INDUSTRIALES ELECTRICOS Y ELECTRONICOS

Seguidamente enumeraremos los más importantes:

- **Pulsadores.** Son elementos de interrupción de corriente con dos posiciones de salida de las cuales sólo una es de reposo, mientras que la otra se activa solamente durante el tiempo que esté oprimido su eje de accionamiento. Existen muchos tipos, siendo los más importantes:
  - *Normalmente abiertos.* Su representación simbólica aparece en la Figura 8.4.
  - *Normalmente cerrados.* En la Figura 8.4 aparece su representación más común.
  - *Múltiples.* Son combinaciones de los anteriores montados sobre un mismo eje.




| Pulsador | Salida |
|---|---|
| 0 | 0 |
| 1 | 1 |

Normalmente abiertos

| Pulsador | Salida |
|---|---|
| 0 | 1 |
| 1 | 0 |

Normalmente cerrados

**Figura 8.4.** Pulsadores.

- **Contactores y relés.** Son dispositivos electromecánicos que permiten controlar la apertura y cierre de circuitos mediante accionamiento eléctrico. La diferencia existente entre ambos tipos radica básicamente en la corriente y potencia que son capaces de soportar sus contactos. Sus elementos y simbología aparecen en la Figura 8.5.

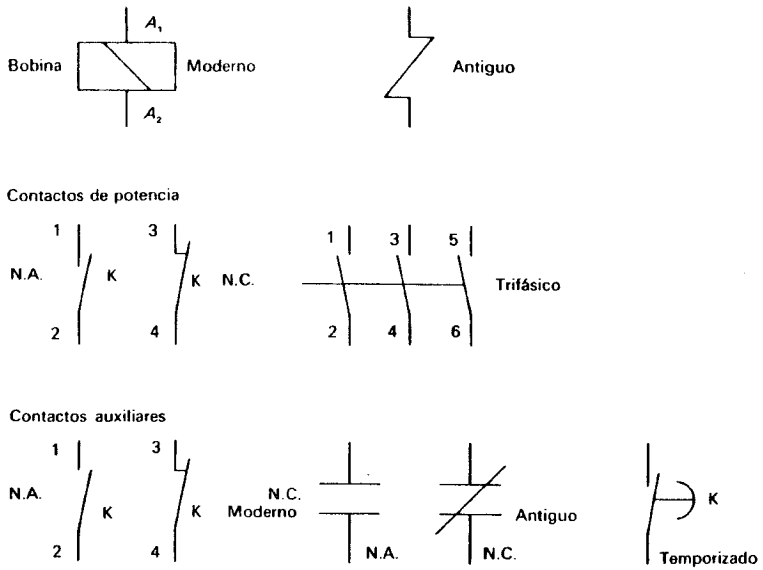



**Figura 8.5.** Contactores y relés.

- **Puertas lógicas.** Cualquiera de los tipos comerciales empleados en electrónica digital puede emplearse en la implementación de circuitos de mando de automatismos.

## 8.9. PRINCIPIO DE FUNCIONAMIENTO DE UN RELE Y CONTACTOR

Los contactores y relés son conmutadores electromagnéticos, es decir, dispositivos que permiten la apertura y/o el cierre simultáneo de dos o varios circuitos diferentes por medio de la acción de una corriente eléctrica aplicada a un electroimán. Existe una gran variedad de contactores y relés, pero en todos ellos se distinguen los siguientes elementos que aparecen en la Figura 8.6.



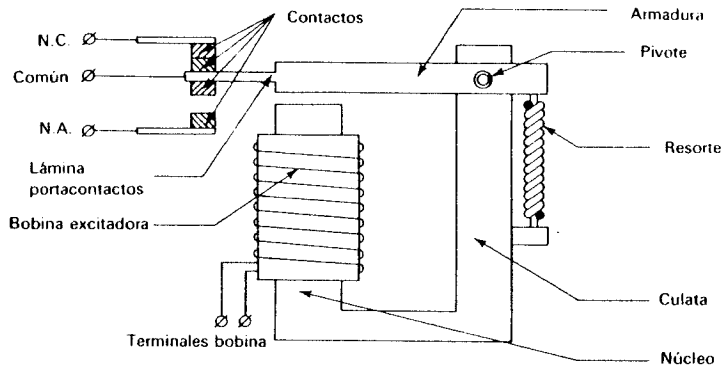



**Figura 8.6.** Estructura básica de un contactor o relé.

El funcionamiento del dispositivo es el siguiente:

- Si no se aplica corriente a la *bobina*, el dispositivo se encuentra en estado de reposo, no siendo atraída la *armadura* por el *núcleo* y, por tanto, permaneciendo cerrado el *contacto normalmente cerrado* (N.C.) y abierto el *contacto normalmente abierto* (N.A.)
- Cuando se aplica corriente a la bobina, ésta crea un campo magnético que transforma el núcleo en electroimán, atrayendo éste a la armadura que bascula y mueve la *lámina portacontactos* provocando el cierre del contacto normalmente abierto (N.A.) y la apertura del contacto, normalmente cerrado (N.C.). Mientras la corriente permanezca circulando por la bobina, no se producen variaciones en el dispositivo, pero si esta cesa, desaparece el campo magnético y el *resorte* devuelve la armadura a su posición de reposo. En la práctica, los relés y contactores suelen llevar varios grupos de contactos N.A. y N.C., que se denominan contactos auxiliares.

## 8.10. NORMAS PARA LA IMPLEMENTACION DE FUNCIONES LOGICAS CON CONTACTORES Y PULSADORES

Cuando se desea implementar la ecuación de funcionamiento del circuito de mando de un automatismo con contactores y pulsadores, se deben tener en cuenta las siguientes normas:

- Cada ecuación se implementará con un contactor o relé.
- Las entradas de la ecuación se realizan con pulsadores o contactos auxiliares de los contactores.
- Cuando en una ecuación aparece como entrada una salida, dicha entrada se realiza con un contacto auxiliar del contactor que implementa dicha ecuación.
- Las *multiplicaciones* de variables en una ecuación equivalen a poner en *serie* los elementos que representan dichas variables.
- Las *sumas* de variables en una ecuación equivalen a poner en *paralelo* los elementos que componen dicha suma.

- Las *negaciones* de variables en una ecuación equivalen al empleo de elementos (pulsadores o contactos) *normalmente cerrados*.
- Las negaciones de grupos de variables no pueden implementarse directamente, precisando de la aplicación previa del álgebra de Boole para su reducción a variables simples. Ejemplo:

$$\overline{a + b + c} = \bar{a} \cdot \bar{b} \cdot \bar{c}$$

## PROBLEMAS RESUELTOS

**8.1.** Implementar, con pulsadores solamente, la siguiente ecuación lógica de un automatismo:

$$S = \bar{a} \cdot b \cdot (\bar{c} + d)$$

**Solución:** Cuando se implementa un circuito sólo con pulsadores, cada una de las variables de entrada estará representada por un pulsador que, según se encuentre negada o no, corresponderá a un pulsador normalmente cerrado o normalmente abierto.

La implementación del circuito se realiza representando en primer lugar la alimentación —en serie con ella se representa el circuito equivalente en pulsadores— a la ecuación de funcionamiento del circuito y, por último —también en serie—, el receptor cuyo funcionamiento define la ecuación. La implementación se realiza según las normas enunciadas en el Apartado 8.10.

En nuestro caso, tenemos cuatro variables de entrada asociadas de la siguiente forma:

- Las variables $c$ y $d$ bajo la forma de suma que se representarán, por tanto, con dos pulsadores de paralelo. El correspondiente a $c$ será normalmente cerrado, por encontrarse esta variable negada, mientras que el correspondiente a $d$ será normalmente abierto.
- Las variables $a$ y $b$ bajo la forma de producto en conjunto con el bloque $(c + d)$ serán representadas por dos pulsadores en serie en conjunto con el bloque anterior. El pulsador de $a$ será normalmente cerrado. En la Figura 8.7 aparece la implementación de la ecuación.

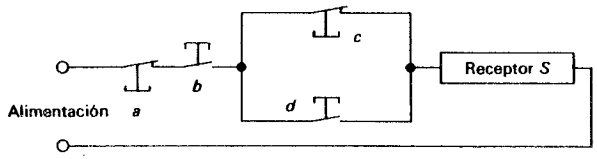



**Figura 8.7.** Resultado del Problema 8.1.

**8.2.** Realizar la implementación con pulsadores de un automatismo cuya ecuación lógica es la siguiente:

$$S = \overline{c \cdot d} + \overline{(a + b)}$$



**Solución:** En el presente problema aparecen dos términos que no pueden ser directamente implementables con pulsadores, al no existir pulsadores que realicen funciones complejas. En estos casos recurriremos al álgebra de Boole para simplificar previamente dichos términos:

$$\overline{c \cdot d} = \bar{c} + \bar{d} \quad ; \quad \overline{a + b} = \bar{a} \cdot \bar{b}$$

luego, ahora, la ecuación se transforma en

$$S = (\bar{c} + \bar{d}) \cdot \bar{a} \cdot \bar{b}$$

Realizando la representación como en el problema anterior obtenemos el esquema de la Figura 8.8.

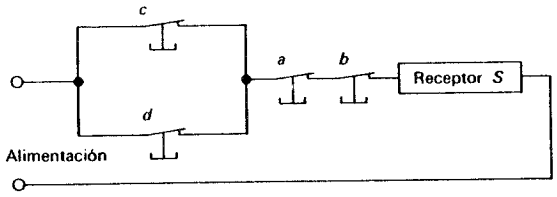



**Figura 8.8.** Resultado del Problema 8.2.

**8.3.** Empleando solamente pulsadores, realizar la implementación de la siguiente ecuación de funcionamiento de un automatismo:

$$S = a \cdot (\bar{b} \cdot \bar{c} + c \cdot d) \cdot (c + d)$$

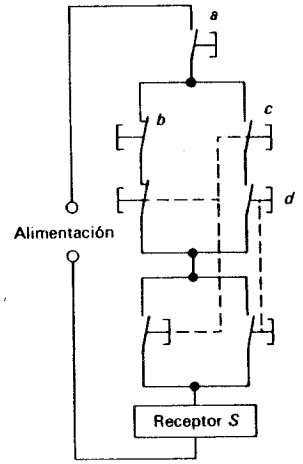



**Figura 8.9.** Resultado del Problema 8.3.

**Solución:** Sucede muy corrientemente en los automatismos industriales que una misma variable puede intervenir en diversas partes de una ecuación de funcionamiento. Este hecho no significa, a la hora de implementar la función, que debamos emplear varios pulsadores para una misma variable, sino que el pulsador a emplear debe ser múltiple. En nuestro caso, deberemos emplear dos pulsadores múltiples, uno para $c$ y otro para $d$; estos pulsadores se representarán en el esquema como pulsadores simples y se unirá sus ejes de accionamiento por una línea de trazos. En la Figura 8.9 aparece el resultado de la implementación.

**8.4.** Un automatismo está constituido por dos receptores $R$ y $S$ que son gobernados por cinco variables de entrada $m$, $p$, $a$, $b$ y $c$, de forma que cumplen las siguientes ecuaciones:

$$R = \bar{p} \cdot c \cdot (m \cdot \bar{b} + a) \quad ; \quad S = \bar{p} \cdot c \cdot (m \cdot a + b)$$

Implementar el automatismo con pulsadores.

**Solución:** Cuando un automatismo consta de varios receptores, cada uno de ellos posee una ecuación independiente que se representa por separado. Si analizamos ambas ecuaciones observamos que el término $\bar{p} \cdot c$ se encuentra en ambas multiplicando al paréntesis, causa por la cual, a la hora de representar el esquema, lo incluiremos una sola vez en serie con la alimentación, representando seguidamente en dos ramas en paralelo el resto de ambas ecuaciones.

Teniendo en cuenta lo anterior y las normas utilizadas en problemas precedentes, la implementación del circuito aparece en la Figura 8.10.

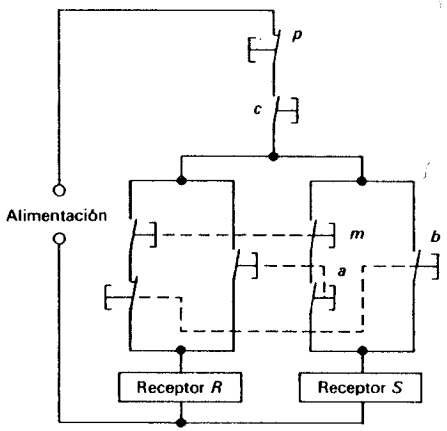



**Figura 8.10.** Resultado del Problema 8.4.

**8.5.** Sabiendo que las ecuaciones de funcionamiento de un automatismo son las siguientes:

$$R_1 = \bar{p}_1 \cdot R_2 \cdot (m_1 + R_1) \quad ; \quad R_2 = \bar{p}_2 \cdot (m_2 + R_2)$$

implementar el circuito con contactores y pulsadores.



**Solución:** La mayor parte de los automatismos industriales son capaces de recordar el último estado de su salida y permanecer en él indefinidamente hasta que una alteración de sus variables de entrada le obligue a modificarlo. A este proceso de memorización se le denomina *función memoria*.

En la ecuación de funcionamiento de un circuito, esta función memoria se distingue por aparecer la variable de salida formando parte de las variables de entrada en el otro miembro de la ecuación. Cuando esto sucede, la implementación del circuito no puede realizarse solamente con pulsadores, ya que estos elementos no son capaces de memorizar los impulsos eléctricos. Se hace entonces preciso el empleo de los relés o contactores.

El procedimiento práctico de implementación es el siguiente:

- Se empleará un contactor o relé por cada ecuación que posea el automatismo. Sus contactos de potencia son los que controlan el receptor cuyo funcionamiento define la ecuación.
- El circuito de mando o gobierno de cada contactor o relé estará formado por la implementación de cada ecuación con las mismas normas empleadas en problemas anteriores.
- Cuando nos encontremos en una ecuación en la que la salida aparece como una variable de entrada, colocaremos en su lugar un contacto auxiliar del relé o contactor que controla dicha ecuación.
- Por último, realizaremos el circuito de potencia representando el receptor en serie con la alimentación y el contacto de potencia correspondiente del relé o contactor. Siguiendo estas normas se obtiene el esquema de la Figura 8.11.

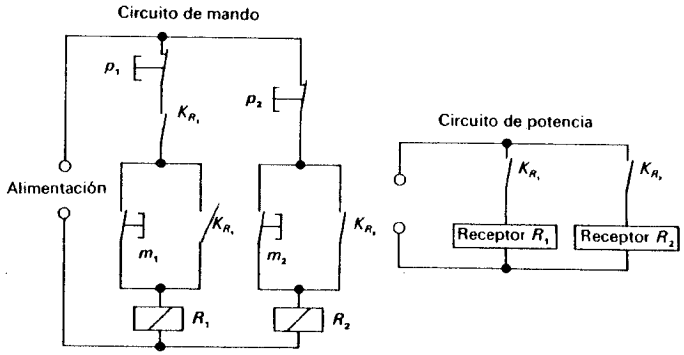



**Figura 8.11.** Resultado del Problema 8.5.

**8.6.** Implementar con contactores y pulsadores el automatismo cuyas ecuaciones se indican seguidamente:

$$C = \bar{d} \cdot (g \cdot m + C) \quad ; \quad B = \bar{f} \cdot \bar{S} \cdot (d + B) \quad ; \quad S = \bar{g} \cdot \bar{B} \cdot (f + S)$$

**Solución:** El presente automatismo posee tres receptores que son controlados por las variables de salida $B$, $C$ y $S$, así como cuatro variables de entrada $d$, $f$, $g$, y $m$.

Al analizar las ecuaciones vemos que todas poseen *función memoria* (las variables de salida aparecen como entrada). También observamos que en la estructura de las dos últimas aparecen como entradas otras variables de salida. Este último hecho es corriente en los automatismos industriales, ya que el funcionamiento de un receptor está controlado por el estado en que se encuentran otros.

En estos casos, a la hora de implementar la ecuación se emplean también contactos auxiliares del

relé o contactor que define el funcionamiento de la variable de salida que interviene en nuestra ecuación.

Siguiendo las anteriores normas, y las ya empleadas en los problemas precedentes, podemos obtener los esquemas que representan la implementación del automatismo, tal y como aparece en la Figura 8.12.

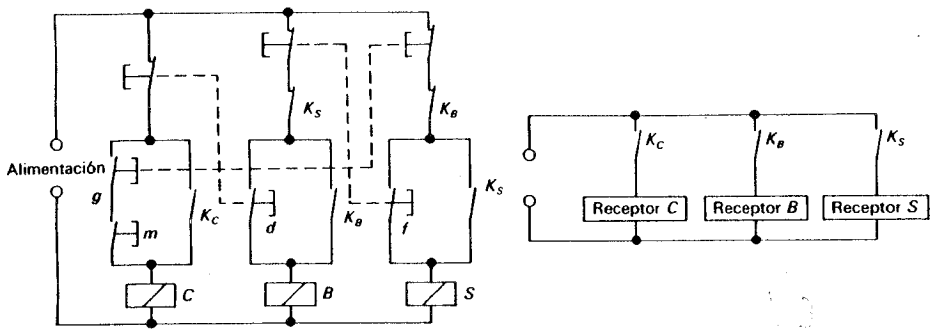



**Figura 8.12.** Resultado del Problema 8.6.

**8.7.** Empleando contactores y pulsadores, realizar la implementación del automatismo definido por las siguientes ecuaciones:

$$X = \bar{p} \cdot (m + X) \quad ; \quad Iz = \bar{i} \cdot \overline{De} \cdot (X \cdot d + Iz) \quad ; \quad De = \bar{d} \cdot \overline{Iz} \cdot (i + De)$$

**Solución:** En este caso las variables de salida que controlan los receptores son $X$, $Iz$ y $De$, mientras que las variables de entrada son $d$, $i$, $m$ y $p$.

Siguiendo las normas ya enunciadas, se obtiene el esquema de la Figura 8.13.

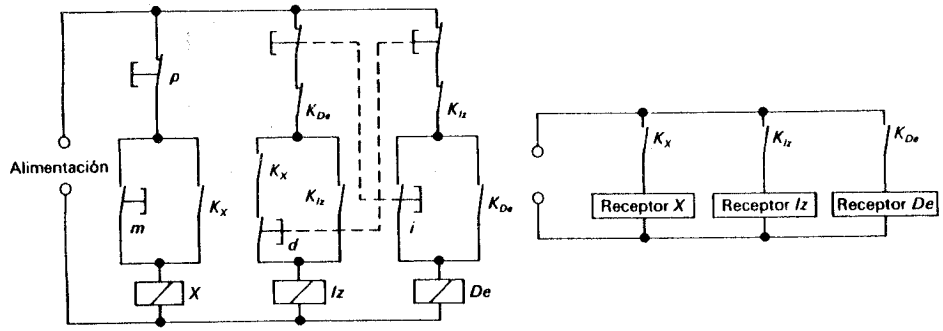



**Figura 8.13.** Resultado del Problema 8.7.



**8.8.** Realizar el diseño de los circuitos de mando y potencia necesarios para el control de parada-marcha de un motor trifásico por el método de tabla de verdad.

**Solución:** Seguiremos el proceso que se indica a continuación:

- *Planteamiento.* Comenzaremos por definir las variables de entrada que aportan información al automatismo. El motor precisa de dos entradas para su control:

  *m* (marcha)
  *p* (parada)

  El funcionamiento de ambas entradas permitirá *la activación y desactivación por simple pulsación*, teniendo presente que en el caso de producirse por error o avería la activación simultánea de ambas entradas, tendrá siempre *prioridad la orden de parada* y el motor se parará.
- *Diseño de la ecuación del circuito de mando.* Vamos a realizar la obtención de su ecuación de funcionamiento por el método de su tabla de verdad.

  La tabla de verdad del automatismo se obtiene de las condiciones de funcionamiento ya enunciadas en el apartado anterior denominado *planteamiento*, y es la que aparece en la Tabla 8.1.

**Tabla 8.1. Tabla de verdad del Problema 8.8**

| $p$ | $m$ | $R_{n-1}$ | $R_n$ |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |

Como vemos, en la tabla aparece como variable de entrada la variable de salida $R$ debido a que el circuito deberá memorizar si la última orden dada fue marcha o parada, ya que la duración de la orden es sólo momentánea al provenir de un pulsador.

Al aplicar el álgebra de Boole y simplificar la ecuación por los mapas de Karnaugh se obtiene la Figura 8.14:

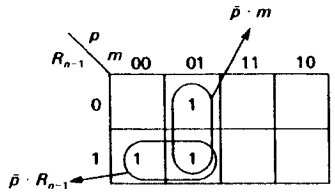



**Figura 8.1.** Mapa de Karnaugh del Problema 8.8.

Del anterior mapa se obtiene la ecuación del circuito de mando, que será

$$R_n = \bar{p} \cdot (m + R_{n-1})$$

o simplemente

$$R = \bar{p} \cdot (m + R)$$

- *Implementación del automatismo.* Siguiendo las normas ya enunciadas, procederemos a la implementación que aparece en la Figura 8.15.

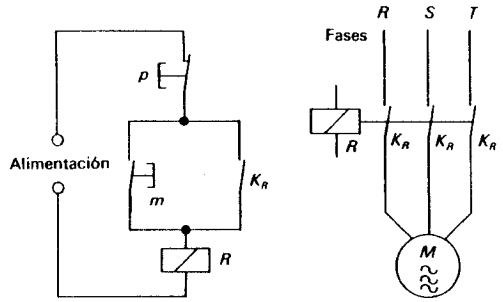



**Figura 8.15.** Resultado del Problema 8.8.

**8.9.** Diseñar los circuitos de mando y potencia necesarios para el control de parada-marcha de un motor trifásico por el método de diseño razonado.

**Solución:** Seguiremos el proceso indicado en el problema anterior.

- *Planteamiento.* Las variables de entrada al automatismo son:

*m* (marcha)
*p* (parada)

El funcionamiento tendrá presente que en el caso de producirse por error o avería la activación simultánea de ambas entradas, tendrá siempre *prioridad la orden de parada.*

- *Diseño de la ecuación del circuito de mando.* Las variables que controlan el automatismo se clasifican en:
  - — *Variables creadoras.* Son aquellas variables o conjunto de variables que producen la activación del receptor.
  - — *Variables anuladoras.* Son aquellas variables o conjunto de variables que producen la desactivación del receptor.

En nuestro problema estas variables son:

Variables creadoras { $m \cdot \bar{p}$ Que esté pulsado marcha y no parada
$R$ Memoria del estado anterior de la salida

Variables anuladoras { $p$ Que esté pulsado parada



Aplicando el teorema enunciado en el Apartado 8.4 de la introducción teórica, tendremos:

$$R = \bar{p} \cdot (m \cdot \bar{p} + R) = \bar{p} \cdot m \cdot \bar{p} + \bar{p} \cdot R = \bar{p} \cdot (m + R)$$

Ecuación que resulta ser la misma, como es lógico, que la obtenida en el Problema 8.7 para este mismo automatismo, pero diseñado por tabla de verdad.

- *Implementación del automatismo.* Por tanto, el circuito de mando y potencia implementado con pulsadores y contactores es el mismo que el que aparece en la Figura 8.15.

**8.10.** Realizar el diseño de los circuitos de mando y potencia necesarios para el control de parada-marcha de un motor de corriente continua con doble sentido de giro, empleando el método de tabla de verdad.

**Solución:** Seguiremos el proceso habitual.

- *Planteamiento.* El circuito de mando de los motores con doble sentido de giro precisa de tres pulsadores para su control: *pulsador de marcha hacia la izquierda,* mi, *pulsador de marcha hacia la* derecha, md, *y pulsador de parada,* p, los cuales definen las variables de entrada del automatismo.

En los motores de corriente continua *la inversión del sentido de giro se logra invirtiendo la polaridad en sus terminales, lo cual se consigue mediante el empleo de dos contactores o relés (según la potencia del motor).* Uno de los contactores, al activarse, aplicará la corriente con tal polaridad que el motor girará hacia la derecha, a este contactor le denominaremos *CD.* El otro contactor se conectará de tal forma que aplique la polaridad en sentido contrario al anterior, con lo que su activación producirá el giro hacia la izquierda, y le denominaremos *CI.* Estos dos contactores constituyen las variables de salidas del automatismo.

Por último, definiremos las condiciones de funcionamiento del automatismo:

— El pulsador de parada tendrá prioridad sobre cualquier otra orden.
— Si por error o accidente se activan simultáneamente los pulsadores de marcha *md* y *mi,* el automatismo continuará en su estado anterior y no tendrá en cuenta la orden.

**Tabla 8.2.** Tabla de verdad del Problema 8.10

| *p* | *mi* | *md* | $CI_{n-1}$ | $CD_{n-1}$ | $CI_n$ | $CD_n$ |
|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | | | 0 | 1 | 0 | 1 |
| | | | 1 | 0 | 1 | 0 |
| | | | 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| | | | 0 | 1 | 0 | 1 |
| | | | 1 | 0 | 1 | 0 |
| | | | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| | | | 0 | 1 | 0 | 1 |
| | | | 1 | 0 | 1 | 0 |
| | | | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| | | | 0 | 1 | 0 | 1 |
| | | | 1 | 0 | 1 | 0 |
| | | | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | × | × | 0 | 0 |

— Para invertir el sentido de giro del motor es preciso activar en primer lugar parada y seguidamente dar la orden de marcha en sentido contrario.
— Si por alguna avería se produjese la activación momentánea de ambas variables de salida, el motor se parará inmediatamente.

Hay que destacar que las normas de funcionamiento definidas podrían modificarse por otras, teniendo en cuenta razones de seguridad en la aplicación a la que fuera destinado el motor.

- *Diseño de la ecuación del circuito de mando.* La tabla de verdad del automatismo se obtiene de las condiciones de funcionamiento, ya enunciadas en el apartado anterior, denominado *planteamiento*, y es la que aparece en la Tabla 8.2.

En la tabla anterior hay que destacar que si obtenemos las ecuaciones minterms, todas las combinaciones de entradas que producen 1 en las salidas poseen la característica común de tener la variable de entrada $p$ negada, causa por la que las ecuaciones de $CD$ y $CI$ poseerán la siguiente estructura:

$$CD = \bar{p} \cdot (\quad) \; ; \; CI = \bar{p} \cdot (\quad)$$

donde los paréntesis contendrán la simplificación de las otras cuatro variables de entrada de la Tabla 8.2.

Aplicando las simplificaciones de los mapas de Karnaugh de la Figura 8.16 se obtendrán las siguientes ecuaciones:

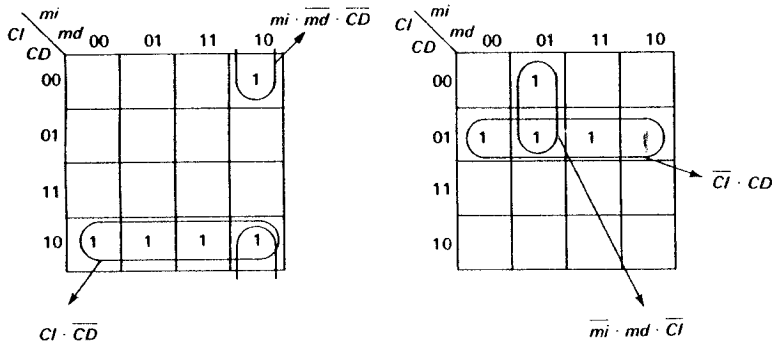



**Figura 8.16.** Mapas de Karnaugh del Problema 8.10.

$$CI = \bar{p} \cdot \overline{CD} \cdot (mi \cdot \overline{md} + CI) \; ; \; CD = \bar{p} \cdot \overline{CI} \cdot (md \cdot \overline{mi} + CD)$$

- *Implementación del automatismo.* En la Figura 8.17 aparece la implementación con contactores del circuito de mando y potencia correspondiente al automatismo solicitado.



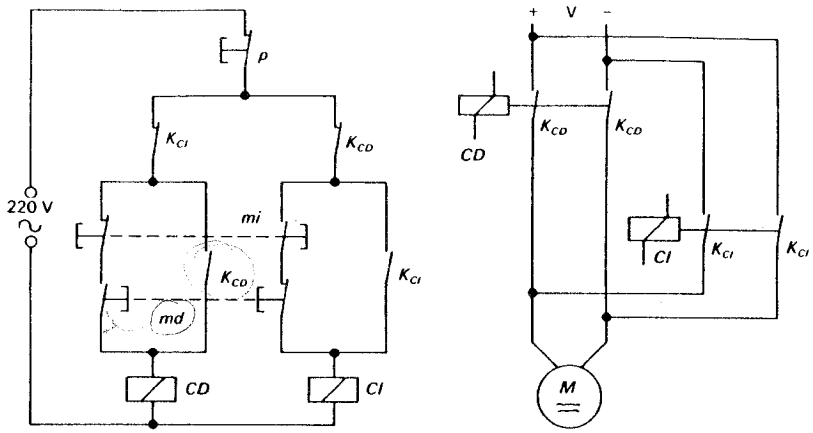



**Figura 8.17.** Resultado del Problema 8.10.

**8.11.** Efectuar el Problema 8.10 aplicando el método razonado para el diseño del circuito de mando.

**Solución:**

- *Planteamiento.* Aplicando el mismo planteamiento del Problema 8.10 se obtienen las siguientes variables de entrada y salida en el automatismo:

— Variables de entrada: *mi*, *md* y *p*.
— Variables de salida: *CD* y *CI*.

- *Diseño de la ecuación del circuito de mando.* Clasifiquemos las variables que controlan cada una de las ecuaciones del automatismo en:

— Contactor de marcha hacia la izquierda, *CI*:

Variables creadoras:
- $mi \cdot \overline{md} \cdot \bar{p}$ — Que esté pulsado marcha hacia la izquierda y no lo esté la parada ni la marcha hacia la derecha
- $CI$ — Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras:
- $p$ — Que se pulse parada
- $CD$ — Que se active por error la marcha hacia la derecha

Contactor de marcha hacia la derecha, $CD$:

Variables creadoras
- $md \cdot \overline{mi} \cdot \bar{p}$ Que esté pulsado marcha hacia la derecha y no lo esté la parada ni la marcha hacia la izquierda
- $CD$ Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras
- $p$ Que se pulse parada
- $CI$ Que se active por error la marcha hacia la izquierda

Aplicando el teorema enunciado en el Apartado 8.4 de la introducción teórica, tendremos

$$CI = \bar{p} \cdot \overline{CD} \cdot (mi \cdot \overline{md} \cdot \bar{p} + CI) = \bar{p} \cdot \overline{CD} \cdot (mi \cdot \overline{md} + CI)$$

$$CD = \bar{p} \cdot \overline{CI} \cdot (md \cdot \overline{mi} \cdot \bar{p} + CD) = \bar{p} \cdot \overline{CI} \cdot (md \cdot \overline{mi} + CD)$$

ecuaciones que coinciden con las obtenidas en el Problema 8.10.

- *Implementación del automatismo.* Al ser las ecuaciones idénticas a las del Problema 8.10, la implementación del circuito es la misma que la que aparece en la Figura 8.17.

**8.12.** Diseñar un automatismo para el control de una máquina bobinadora que disponga de los siguientes elementos:

- Pulsador de marcha $m$.
- Pulsador de parada $p$.
- Microinterruptor $h$ que pare el motor si el hilo se rompe.
- Interruptor térmico $e$ que desconecte la alimentación si el hilo se agarrota.

**Solución:** Dado que el número de variables de entrada es muy elevado, el diseño por tabla de verdad se hace casi impracticable, causa por la que emplearemos el método razonado de diseño.

- *Planteamiento.* Al emplearse un motor con único sentido de giro, es suficiente una ecuación para el control del automatismo. Por tanto, las variables del sistema son:

  — Variables de entrada: $m$, $p$, $e$ y $h$.
  — Variables de salida: $C$.

- *Diseño de la ecuación del circuito de mando.* Las variables que controlan el automatismo se clasifican en:

Variables creadoras
- $m \cdot \bar{p} \cdot \bar{e} \cdot h$ Que esté pulsado marcha y exista hilo y no estén activados ni la parada ni el térmico
- $C$ Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras
- $p$ Que se active parada
- $\bar{h}$ Que se rompa el hilo
- $e$ Que se active el térmico

Aplicando el teorema enunciado en el Apartado 8.4 de la introducción teórica, tendremos:

$$C = \bar{p} \cdot \bar{\bar{h}} \cdot \bar{e} \cdot (m \cdot \bar{p} \cdot h \cdot \bar{e} + C) = \bar{p} \cdot h \cdot \bar{e} \cdot (m + C)$$



- *Implementación del automatismo.* En la Figura 8.18 aparece la implementación del automatismo solicitado.

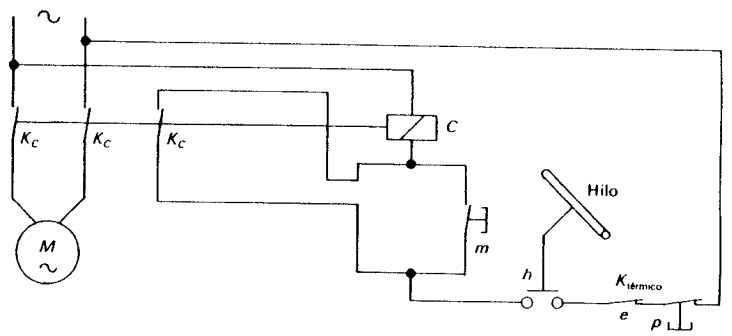



**Figura 8.18.** Resultado del Problema 8.12.

**8.13.** Diseñar el automatismo de control de las dos cintas transportadoras $C_1$ y $C_2$ de la Figura 8.19, de forma que se cumplan las siguientes condiciones de funcionamiento:

- La cinta $C_2$ puede activarse y desactivarse a través de sus pulsadores de marcha $m_2$ y parada $p_2$, independientemente de la cinta $C_1$.
- La cinta $C_1$ sólo podrá activarse a través de su pulsador de marcha $m_1$ si está activada la cinta $C_2$. Su desactivación se producirá por accionamiento de su pulsador de parada $p_1$ o siempre que se pare la cinta $C_2$.

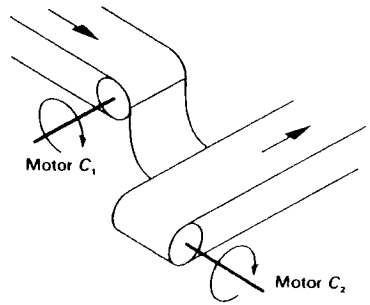



**Figura 8.19.** Enunciado del Problema 8.13.

**Solución:**

- *Planteamiento.* Dado que el automatismo posee dos receptores, serán precisos dos contactores para

su control, así como que existan dos ecuaciones de funcionamiento. Las variables de entrada y salida serán:

— Variables de entrada: $m_1$, $p_1$, $m_2$ y $p_2$.
— Variables de salida: $C_1$ y $C_2$.

- *Diseño de la ecuación del circuito de mando.* Clasifiquemos las variables que controlan cada una de las ecuaciones del automatismo en:

— Contactor de control de la cinta 1 $C_1$:

Variables creadoras
- $m_1 \cdot \bar{p}_1 \cdot C_2$ Que esté pulsada la marcha de $C_1$, activa la $C_2$ y no pulsada la parada $C_1$
- $C_1$ Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras
- $p_1$ Que se pulse parada de $C_1$
- $\bar{C}_2$ Que no esté activada la $C_2$

— Contactor de control de la cinta 2 $C_2$:

Variables creadoras
- $m_2 \cdot \bar{p}_2$ Que esté pulsado marcha de $C_2$ y no lo esté la parada de $C_2$
- $C_2$ Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras
- $p_2$ Que se pulse parada de $C_2$

Aplicando, como de costumbre, el teorema enunciado en el Apartado 8.4 de la introducción teórica, tendremos:

$$C_1 = \bar{p}_1 \cdot \bar{C}_2 \cdot (m_1 \cdot C_2 \cdot \bar{p}_1 + C_1) = \bar{p}_1 \cdot C_2 \cdot (m_1 \cdot C_2 \cdot \bar{p}_1 + C_1) = C_1 = \bar{p}_1 \cdot C_2 \cdot (m_1 + C_1)$$

$$C_2 = \bar{p}_2 \cdot (m_2 \cdot \bar{p}_2 + C_2) = \bar{p}_2 \cdot (m_2 + C_2)$$

- *Implementación del automatismo.* La implementación del circuito con contactores es la que aparece en la Figura 8.20.

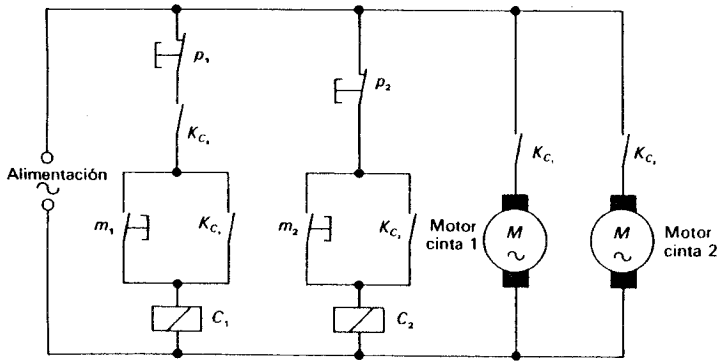



**Figura 8.20.** Resultado del Problema 8.13.



**8.14.** Diseñar el automatismo de control de las dos cintas transportadoras $C_1$ y $C_2$ del Problema 8.13, de forma que se cumplan las siguientes condiciones de funcionamiento:

- La cinta $C_2$ se activa a través de su pulsador de marcha $m_2$ y sólo se puede parar por medio de su pulsador de parada $p_2$ si previamente la cinta $C_1$ está parada.
- La cinta $C_1$ sólo podrá activarse a través de su pulsador de marcha $m_1$ si está previamente activada la cinta $C_2$. Su parada se producirá al pulsar su pulsador de $p_1$.

**Solución:**

- *Planteamiento.* El automatismo posee dos receptores, luego son precisos dos contactores para su control y que existan dos ecuaciones de funcionamiento. Las variables de entrada y salida serán:

— Variables de entrada: $m_1$, $p_1$, $m_2$ y $p_2$.
— Variables de salida: $C_1$ y $C_2$.

- *Diseño de la ecuación del circuito de mando.* Clasifiquemos las variables que controlan cada una de las ecuaciones del automatismo en:

— Contactor de control de la cinta 1 $C_1$:

Variables creadoras
- $m_1 \cdot \bar{p}_1 \cdot C_2$ Que esté pulsada la marcha de $C_1$, activa la $C_2$ y no pulsada la parada $C_1$
- $C_1$ Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras
- $p_1$ Que se pulse parada de $C_1$

— Contactor de control de la cinta 2 $C_2$:

Variables creadoras
- $m_2 \cdot \bar{p}_2$ Que esté pulsado marcha de $C_2$ y no lo esté la parada de $C_2$
- $C_2$ Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras
- $p_2 \cdot \bar{C}_1$ Que se pulse parada de $C_2$ y esté desactivada $C_1$

Aplicando, como de costumbre, el teorema enunciado en el Apartado 8.4 de la introducción teórica, tendremos:

$$C_1 = \bar{p}_1 \cdot (m_1 \cdot C_2 \cdot \bar{p}_1 + C_1) = \bar{p}_1 \cdot (m_1 \cdot C_2 + C_1)$$

$$C_2 = \overline{\bar{p}_2 \cdot \bar{C}_1} \cdot (m_2 \cdot \bar{p}_2 + C_2) = (\bar{p}_2 + C_1) \cdot (m_2 \cdot \bar{p}_2 + C_2) = C_2 = \bar{p}_2 \cdot (m_2 + C_2) + C_1 \cdot C_2$$

- *Implementación del automatismo.* La implementación del circuito con contactores es la que aparece en la Figura 8.21.

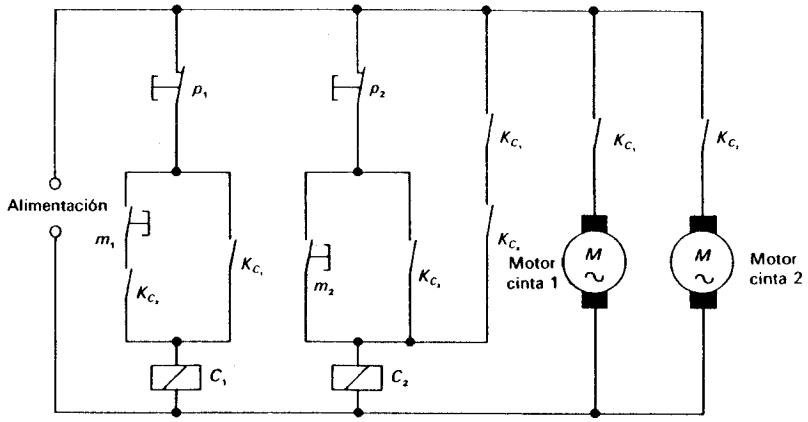



**Figura 8.21.** Resultado del Problema 8.14.

**8.15.** Diseñar el automatismo de control de las dos cintas transportadoras $C_1$ y $C_2$ de la Figura 8.22, para que funcionen cumpliendo el ciclo de trabajo que sigue a continuación: al activar el pulsador de marcha $m$ comenzará a funcionar la cinta $C_1$, que transporta piezas sobre ella hasta el comienzo de la resbaladera 1. Al llegar a este punto, las piezas caen por gravedad por dicha resbaladera y al pasar por el sensor luminoso $f_1$ lo activan, produciendo la parada de la cinta $C_1$ y la puesta en marcha de la cinta $C_2$. Las piezas caídas en la cinta $C_2$ se desplazan por ella hasta llegar a la resbaladera 2, por donde caerán. Al pasar las piezas por delante del sensor luminoso $f_2$ se para la cinta $C_2$ y se termina el ciclo de trabajo.

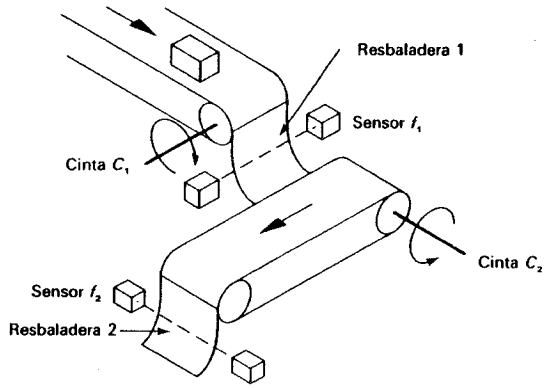



**Figura 8.22.** Enunciado del Problema 8.15.



**Solución:** El diseño de automatismos con ciclo de trabajo *único* se realiza de forma similar a la empleada hasta ahora en problemas anteriores.

- *Planteamiento.* El automatismo posee dos receptores, luego existen dos ecuaciones de funcionamiento. Las variables de entrada y salida serán:
  - Variables de entrada: $m, f_1$ y $f_2$.
  - Variables de salida: $C_1$ y $C_2$.

- *Diseño de la ecuación del circuito de mando.* Clasifiquemos las variables que controlan cada una de las ecuaciones del automatismo en:
  - Contactor de control de la cinta 1 $C_1$:

    Variables creadoras { $m \cdot \bar{C}_2$ Que esté pulsada la marcha y no esté activada la cinta $C_2$; $C_1$ Memoria de estar activado en el estado anterior (función memoria) }

    Variables anuladoras { $f_1$ Que se active el sensor $f_1$ }

  - Contactor de control de la cinta 2 $C_2$:

    Variables creadoras { $f_1$ Que esté activado el sensor $f_1$; $C_2$ Memoria de estar activado en el estado anterior (función memoria) }

    Variables anuladoras { $f_2$ Que se active el sensor $f_2$ }

  Empleando el teorema enunciado en el Apartado 8.4 de la introducción teórica, tendremos:

$$C_1 = \bar{f}_1 \cdot (m \cdot \bar{C}_2 + C_1) \quad ; \quad C_2 = \bar{f}_2 \cdot (f_1 + C_2)$$

- *Implementación del automatismo.* La implementación del circuito con contactores es la que aparece en la Figura 8.23.

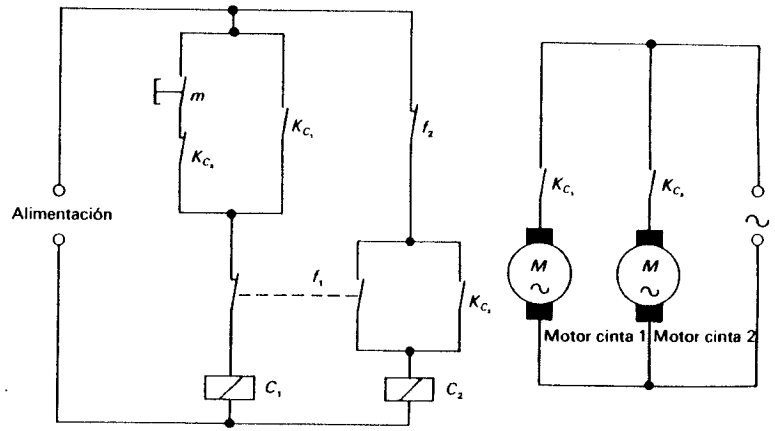



**Figura 8.23.** Resultado del Problema 8.15.

**8.16.** Diseñar el automatismo del Problema 8.15 para que trabaje en *ciclo automático* (realice ciclos de forma indefinida sin necesidad de activar cada vez el pulsador de marcha *m*). Asimismo, se dispondrá de un pulsador de parada *p* que al ser activado detendrá el automatismo al final del ciclo en ejecución y desmemorizará el funcionamiento en ciclo automático.

**Solución:**

- *Planteamiento.* Cuando un automatismo trabaja en ciclo automático es preciso que alguien se encargue de memorizar la orden de marcha para que, de esta forma, al llegar al final del ciclo, vuelva a comenzar otro sin necesidad de volver a generar dicha orden de marcha. La citada memorización se efectúa con un *circuito auxiliar de enclavamiento*, implementado con un contactor o relé cuyos contactos controlan la alimentación de las bobinas de los contactores que gobiernan cada uno de los receptores del ciclo básico. Este contactor auxiliar estará a su vez controlado por las órdenes de marcha *m* y parada *p* del automatismo.

  De esta forma nuestro problema se resuelve con el empleo de las ecuaciones del Problema 8.15, que representan el ciclo básico, añadiendo una ecuación más para el control del ciclo automático y realizando unas pequeñas modificaciones en las citadas ecuaciones que permitan la sincronización del conjunto.

  De todo lo dicho se deduce que las variables del circuito son:

  — Variables de entrada: $m, p, f_1$ y $f_2$.
  — Variables de salida: $C_1$ y $C_2$.
  — Variables auxiliares: $X$.

- *Diseño de la ecuación del circuito de mando.* Clasifiquemos las variables que controlan cada una de las ecuaciones del automatismo en:

  — Contactor auxiliar $X$ (memoria del ciclo automático):

  Variables creadoras { $m \cdot \bar{p}$ Que esté pulsado marcha y no parada; $X$ Memoria de estar activado en el estado anterior (función memoria)

  Variables anuladoras { $p$ Que se pulse parada.

  — Contactor de control de la cinta 1 $C_1$:

  Variables creadoras { $X \cdot \bar{C}_2$ Que esté memorizado el ciclo automático $X$ y no esté activada la cinta $C_2$; $C_1$ Memoria de estar activado en el estado anterior (función memoria)

  Variables anuladoras { $f_1$ Que se active el sensor $f_1$

  — Contactor de control de la cinta 2 $C_2$:

  Variables creadoras { $f_1$ Que esté activado el sensor $f_1$; $C_2$ Memoria de estar activado en el estado anterior (función memoria)

  Variables anuladoras { $f_2$ Que se active el sensor $f_2$



Empleando el teorema enunciado en el Apartado 8.4 de la introducción teórica, tendremos:

$$X = \bar{p} \cdot (m \cdot \bar{p} + X) = \bar{p} \cdot (m + X) \quad ; \quad C_1 = \bar{f}_1 \cdot (X \cdot \bar{C}_2 + C_1) \quad ; \quad C_2 = \bar{f}_2 \cdot (f_1 + C_2)$$

- *Implementación del automatismo.* La implementación del circuito con contactores es la que aparece en la Figura 8.24.

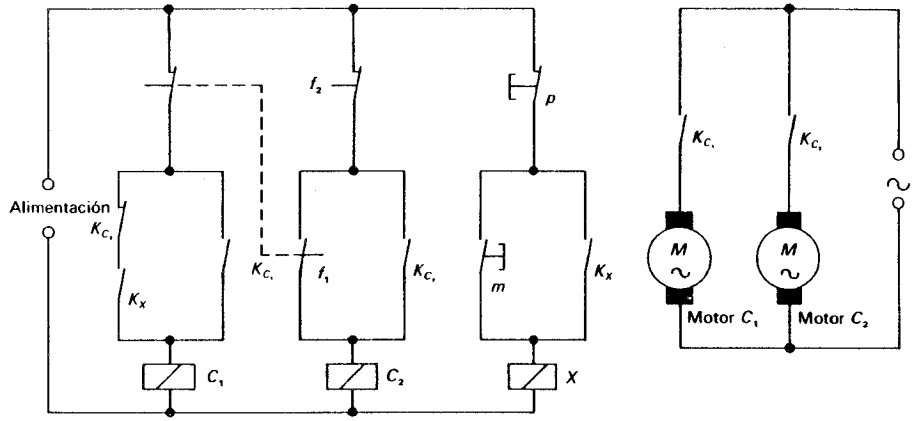



**Figura 8.24.** Resultado del Problema 8.16.

**8.17.** Se desea volver a diseñar el Problema 8.16 añadiéndole, por razones de seguridad, un pulsador de emergencia *e* que al ser activado detenga inmediatamente las dos cintas $C_1$ y $C_2$. La anulación de la situación de emergencia se realizará por simple activación del pulsador de marcha, reanudándose el funcionamiento en el lugar del ciclo donde se produjo la emergencia.

**Solución:**

- *Planteamiento.* La adición al automatismo del Problema 8.16 de la emergencia se consigue añadiendo la variable *e* en todas las ecuaciones como variable anuladora.

  Sin embargo, para conseguir que al reiniciarse otra vez la marcha continúe en el lugar del ciclo de trabajo donde se quedó, es preciso que el automatismo memorice en un circuito auxiliar dicha localización. Por ello emplearemos un nuevo circuito auxiliar con su correspondiente contactor o relé que denominaremos *Y*. Este contactor auxiliar deberá ser gobernado por aquellas variables del automatismo que definan la activación y desactivación de las dos cintas transportadoras $C_1$ y $C_2$.

  De todo lo dicho se deduce que las variables del circuito son:

  — Variables de entrada: $m, p, e, f_1$ y $f_2$.
  — Variables de salida: $C_1$ y $C_2$.
  — Variables auxiliares: $x$ e $Y$.

• *Diseño de la ecuación del circuito de mando.* Clasifiquemos las variables que controlan cada una de las ecuaciones del automatismo en:

— Contactor auxiliar $X$ (memoria del ciclo automático):

Variables creadoras { $m \cdot \bar{p}$ Que esté pulsado marcha y no lo esté la parada; $X$ Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras { $p$ Que se pulse parada; $e$ Que se pulse emergencia

— Contactor auxiliar $Y$ (memoria de la fase del ciclo activa):

Variables creadoras { $f_1$ Que se active el sensor $f_1$, es decir, que el automatismo esté en la fase segunda de $C_2$ activada; $Y$ Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras { $f_2$ Que se active el sensor $f_2$, es decir, que el automatismo esté en la fase primera de $C_1$ activada

— Contactor de control de la cinta 1 $C_1$:

Variables creadoras { $X \cdot \bar{Y}$ Que esté memorizado el ciclo automático $X$ y no esté activada la memoria de fase $Y$; $C_1$ Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras { $f_1$ Que se active el sensor $f_1$; $e$ Que se pulse emergencia

— Contactor de control de la cinta 2 $C_2$:

Variables creadoras { $X \cdot Y$ Que esté activado el ciclo automático y la memoria $Y$; $C_2$ Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras { $f_2$ Que se active el sensor $f_2$; $e$ Que se pulse emergencia

Empleando el teorema enunciado en el Apartado 8.4 de la introducción teórica, tendremos:

$$X = \bar{p} \cdot \bar{e} \cdot (m \cdot \bar{p} + X) = \bar{p} \cdot \bar{e} \cdot (m + X) \quad ; \quad Y = \bar{f}_2 \cdot (f_1 + Y)$$

$$C_1 = \bar{f}_1 \cdot \bar{e} \cdot (X \cdot \bar{Y} + C_1) \quad ; \quad C_2 = \bar{f}_2 \cdot \bar{e} \cdot (X \cdot Y + C_2)$$



• *Implementación del automatismo.* La implementación del circuito con contactores es la que aparece en la Figura 8.25.

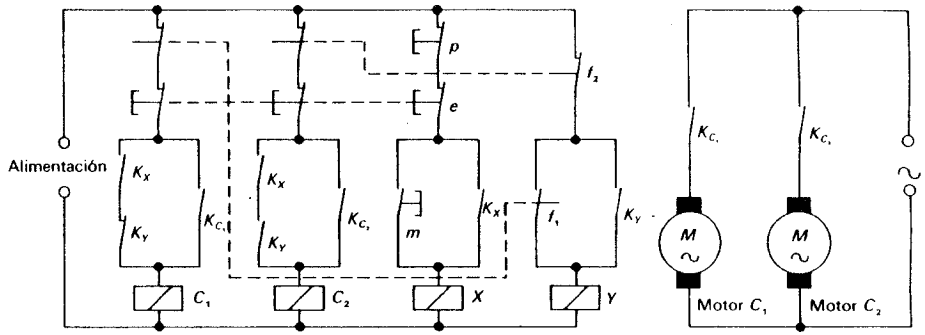



**Figura 8.25.** Resultado del Problema 8.17.

**8.18.** La cepilladora automática de vaivén de la Figura 8.26 realiza el siguiente ciclo básico de trabajo: al activar su pulsador de marcha $m$ el carro portaherramientas, que se encuentra parado en el extremo derecho, comienza su desplazamiento hacia la izquierda al hacer girar adecuadamente el eje sin fin al que va acoplado el carro por medio de un motor $R$. Cuando se llega al extremo izquierdo, se activa el fin de carrera *fi*, lo que provoca la parada del carro y la inversión del sentido de desplazamiento. Al llegar el carro al extremo derecho, la activación del fin de carrera *fd* determina la parada definitiva del carro.

Diseñar el automatismo de control necesario para el control del motor que mueve el eje del sin fin.

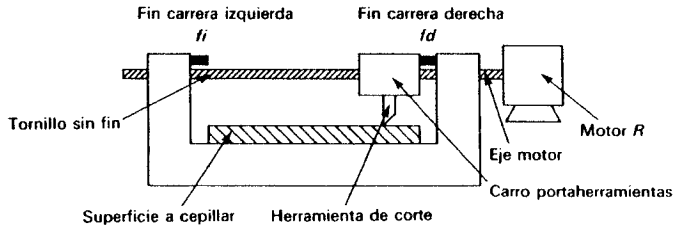



**Figura 8.26.** Cepilladora de vaivén Problema 8.18.

**Solución:** El automatismo a diseñar trabaja en ciclo *único*, por tanto, procederemos como en el problema anterior.

• *Planteamiento.* Nuestro automatismo posee un solo receptor, el motor $R$, pero dicho motor ha de

girar en dos sentidos diferentes, causa por la que existen dos ecuaciones de funcionamiento a las que denominaremos *RI* y *RD*. Las variables de entrada y salida serán:

— Variables de entrada: *m*, *fi* y *fd*.
— Variables de salida: *RI* y *RD*.

- *Diseño de la ecuación del circuito de mando.* Clasifiquemos las variables que controlan cada una de las ecuaciones del automatismo en:

— Contactor de control de la marcha hacia la izquierda *RI*:

Variables creadoras:
- $m \cdot fd$ Que esté pulsada la marcha y el fin de carrera de la derecha *fd*, para asegurarnos que estamos en la posición de comienzo del ciclo
- *RI* Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras:
- *fi* Que se active el fin de carrera *fi*
- *RD* Que por avería se active la marcha a la derecha

— Contactor de control de la marcha hacia la derecha *RD*:

Variables creadoras:
- *fi* Que se active el fin de carrera *fi*
- *RD* Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras:
- *fd* Que se active el fin de carrera *fd*
- *RI* Que por avería se active la marcha a la izquierda

Empleando el teorema enunciado en el Apartado 8.4 de la introducción teórica, tendremos

$$RI = \overline{fi} \cdot \overline{RD} \cdot (m \cdot fd + RI) \quad ; \quad RD = \overline{fd} \cdot \overline{RI} \cdot (fi + RD)$$

- *Implementación del automatismo.* La implementación del circuito con contactores es la que aparece en la Figura 8.27.

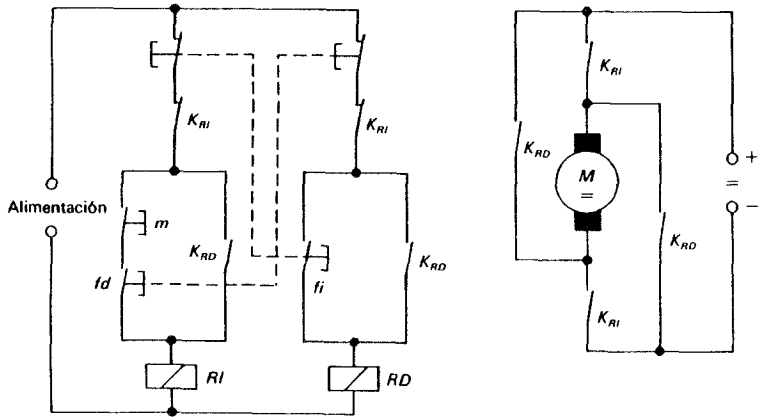



**Figura 8.27.** Resultado del Problema 8.18.



**8.19.** Diseñar el automatismo del Problema 8.18 para que trabaje en *ciclo automático*.

De un pulsador de parada *p* que al ser activado detendrá el automatismo al final del ciclo en ejecución y desmemorizará el funcionamiento en ciclo automático.

**Solución:**

- *Planteamiento.* Emplearemos un contactor auxiliar para memorizar la orden de marcha y quedar el funcionamiento automatismo enclavado en ciclo automático. Este contactor auxiliar estará controlado por las órdenes de marcha *m* y parada *p*.

Las variables del circuito son:

— Variables de entrada: *m*, *p*, *fi* y *fd*.
— Variables de salida: *RI* y *RD*.
— Variables auxiliares: *X*.

- *Diseño de la ecuación del circuito de mando.* Clasifiquemos las variables que controlan cada una de las ecuaciones del automatismo en:

— Contactor auxiliar *X* (memoria del ciclo automático):

Variables creadoras:
- $m \cdot \bar{p}$ Que esté pulsado marcha y no parada
- *X* Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras:
- *p* Que se pulse parada

— Contactor de control de la marcha hacia la izquierda *RI*:

Variables creadoras:
- $X \cdot fd$ Que esté activada la memoria de ciclo automático y el fin de carrera de la derecha *fd*, para asegurarnos que estamos en la posición de comienzo de ciclo
- *RI* Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras:
- *fi* Que se active el fin de carrera *fi*
- *RD* Que por avería se active la marcha a la derecha

— Contactor de control de la marcha hacia la derecha *RD*:

Variables creadoras:
- *fi* Que se active el fin de carrera *fi*
- *RD* Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras:
- *fd* Que se active el fin de carrera *fd*
- *RI* Que por avería se active la marcha a la izquierda

Empleando el teorema enunciado en el Apartado 8.4 de la introducción teórica, tendremos:

$$X = \bar{p} \cdot (m \cdot \bar{p} + X) = \bar{p} \cdot (m + X) \quad ; \quad RI = \overline{fi} \cdot \overline{RD} \cdot (X \cdot fd + RI) \quad ; \quad RD = \overline{fd} \cdot \overline{RI} \cdot (fi + RD)$$

• *Implementación del automatismo.* La implementación del circuito con contactores es la que aparece en la Figura 8.28.

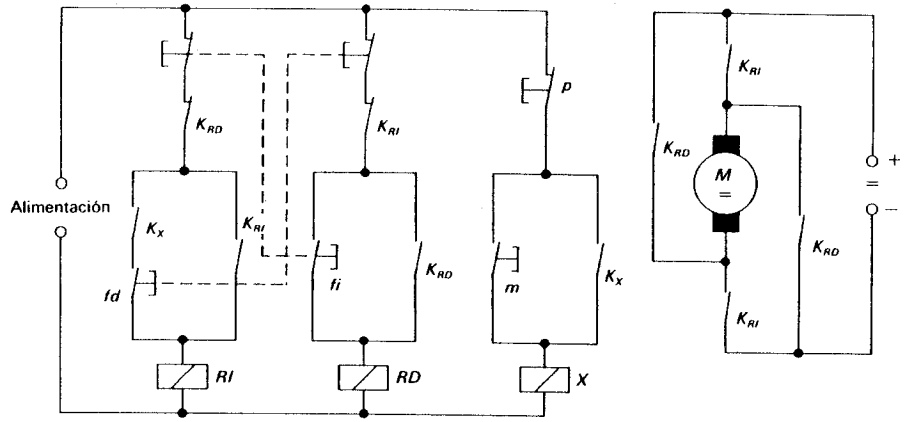



**Figura 8.28.** Resultado del Problema 8.19.

**8.20.** Se desea volver a diseñar el Problema 8.19 añadiéndole, por razones de seguridad, un pulsador de emergencia *e*, que al ser activado detenga inmediatamente la cepilladora.

La anulación de la situación de emergencia se realizará por la activación sucesiva de un pulsador de rearme *r* y la del pulsador de marcha *m*, con lo cual se reanudará el funcionamiento en el lugar del ciclo donde se produjo la emergencia.

**Solución:**

• *Planteamiento.* La adición al automatismo del Problema 8.19 de la emergencia se conseguirá incluyendo la variable *e* en todas las ecuaciones como variable anuladora; asimismo, se añadirá una variable auxiliar *Z* que nos servirá para memorizar la situación de emergencia. Dicha variable auxiliar será creada por la activación de *e* y anulada por el rearme *r*.

Para conseguir que al reiniciarse otra vez la marcha se continúe en el lugar del ciclo de trabajo donde se quedó es preciso que el automatismo memorice en un contactor auxiliar, que llamaremos *Y*, dicha localización. Este contactor deberá ser gobernado por las variables *fi* y *fd*.

De todo lo dicho se deduce que las variables del circuito son:

— Variables de entrada: *m*, *p*, *e*, *r*, *fi* y *fd*.
— Variables de salida: *RI* y *RD*.
— Variables auxiliares: *X*, *Y* y *Z*.

• *Diseño de la ecuación del circuito de mando.* Clasifiquemos las variables que controlan cada una de las ecuaciones del automatismo en:

— Contactor auxiliar *X* (memoria del ciclo automático):



Variables creadoras
- $m \cdot \bar{p} \cdot \bar{Z}$ Que esté pulsado marcha y no lo esté la parada ni la memoria de emergencia
- $X$ Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras
- $p$ Que se pulse parada
- $e$ Que se pulse emergencia
- $Z$ Que esté activada la memoria de emergencia

— Contactor auxiliar *Y* (memoria de la fase del ciclo activa):

Variables creadoras
- $fd$ Que se active el fin de carrera *fd*, es decir, que el automatismo esté en la primera fase del ciclo (*RI* activada)
- $Y$ Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras
- $fi$ Que se active el fin de carrera *fi*, es decir, que el automatismo esté en la segunda fase del ciclo (*RD* activada)

— Contactor auxiliar *Z* (memoria de emergencia):

Variables creadoras
- $e$ Que esté pulsado emergencia
- $Z$ Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras
- $r$ Que se pulse rearme

— Contactor de control de la marcha hacia la izquierda *RI*:

Variables creadoras
- $X \cdot Y$ Que esté memorizado el ciclo automático *X* y esté activada la memoria de fase primera
- $RI$ Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras
- $fi$ Que se active el fin de carrera *fi*
- $RD$ Que por avería se active la marcha a la derecha
- $e$ Que se pulse emergencia

— Contactor de control de la marcha hacia la derecha *RD*:

Variables creadoras
- $X \cdot \bar{Y}$ Que se active el fin de carrera *fi* y se encuentre en la segunda fase del ciclo
- $RD$ Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras
- $fd$ Que se active el fin de carrera $fd$
- $RI$ Que por avería se active la marcha a la izquierda
- $e$ Que se pulse emergencia

Empleando el teorema enunciado en el Apartado 8.4 de la introducción teórica, tendremos:

$$X = \bar{p}\cdot\bar{e}\cdot\bar{Z}\cdot(m\cdot\bar{p}\cdot\bar{Z} + X) = \bar{p}\cdot\bar{e}\cdot\bar{Z}\cdot(m + X) \quad ; \quad Y = \overline{fi}\cdot(fd + Y) \quad ; \quad Z = \bar{r}\cdot(e + Z)$$

$$RI = \overline{fi}\cdot\bar{e}\cdot\overline{RD}\cdot(X\cdot Y + RI) \quad ; \quad RD = \overline{fd}\cdot\bar{e}\cdot\overline{RI}\cdot(X\cdot\bar{Y} + RD)$$

- *Implementación del automatismo.* La implementación del circuito con contactores es la que aparece en la Figura 8.29.

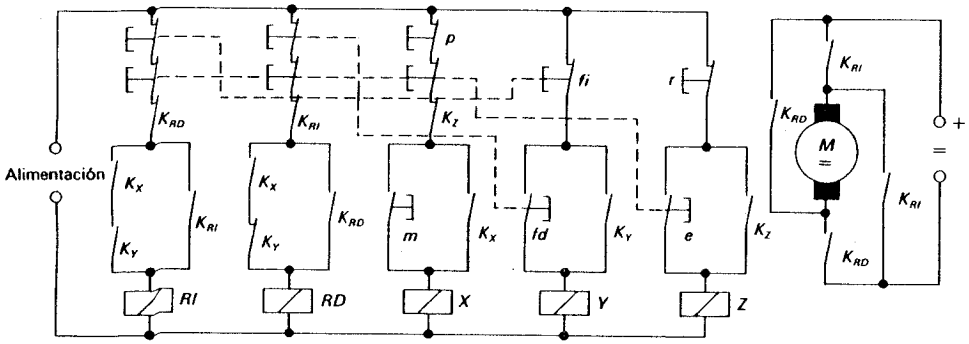



**Figura 8.29.** Resultado del Problema 8.20.

**8.21.** Implementar con puertas lógicas y contactores las ecuaciones de funcionamiento del Problema 8.19.

**Solución:** Para implementar un circuito con puertas lógicas, se procede con sus ecuaciones de funcionamiento tal y como se explicó en el Capítulo 3. Deberemos tener presente que cuando en una ecuación aparece una variable de salida como entrada (función memoria y otras), ésta se representará con una realimentación desde la puerta lógica que corresponde a la salida de la ecuación, hacia la correspondiente puerta de entrada según nos define la ecuación. Las salidas del automatismo que controlan receptores deberán conectarse a etapas amplificadoras que activen la bobina del contactor o relé que controla el receptor.

Cuando en un automatismo aparecen ecuaciones auxiliares, éstas se implementan simplemente con puertas lógias y no se conectan a ningún contactor o relé, sino a aquellos lugares de las ecuaciones de control de los receptores que ellas definen.

Siguiendo estas normas, la implementación con puertas lógicas del automatismo del Problema 8.19 es la de la Figura 8.30.



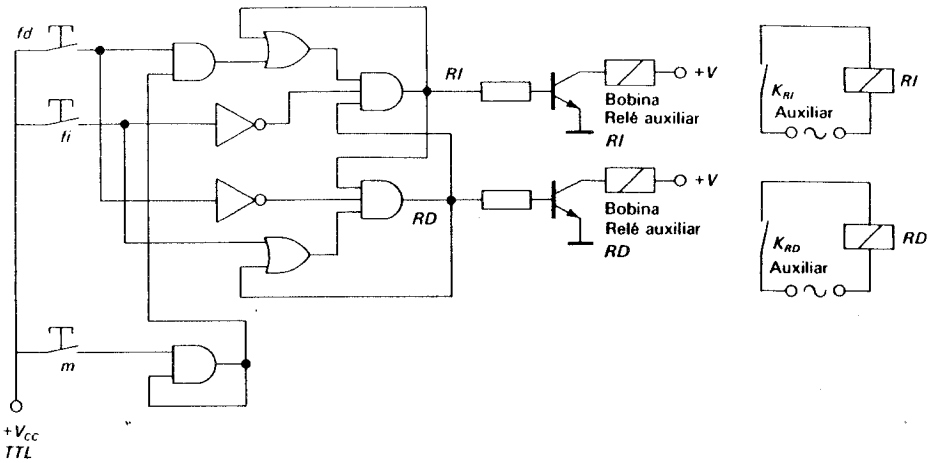



**Figura 8.30.** Resultado del Problema 8.21.

**8.22.** Diseñar el automatismo del Problema 8.19 para que trabajando en *ciclo automático* al activar el pulsador de parada $p$ el automatismo vaya inmediatamente al final del ciclo sin ejecutarlo completo y se pare, desmemorizando el funcionamiento en ciclo automático. Realizar la implementación con puertas lógicas y contactores.

**Solución:**

- *Planteamiento.* Emplearemos un contactor auxiliar para memorizar la orden de marcha y quedar el funcionamiento automatismo enclavado en ciclo automático. Este contactor auxiliar estará controlado por las órdenes de marcha $m$ y parada $p$.

  Las variables del circuito son:

  — Variables de entrada: $m$, $p$, $fi$ y $fd$.
  — Variables de salida: $RI$ y $RD$.
  — Variables auxiliares: $X$.

- *Diseño de la ecuación del circuito de mando.* Clasifiquemos las variables que controlan cada una de las ecuaciones del automatismo en:

  — Contactor auxiliar $X$ (memoria del ciclo automático):

  Variables creadoras
  - $m\cdot\bar{p}$ Que esté pulsado marcha y no parada
  - $X$ Memoria de estar activado en el estado anterior (función memoria)

  Variables anuladoras
  - $p$ Que se pulse parada

— Contactor de control de la marcha hacia la izquierda *RI*:

Variables creadoras
- $X \cdot fd$ Que esté activada la memoria de ciclo automático y el fin de carrera de la derecha *fd*, para asegurarnos que estamos en la posición de comienzo del ciclo
- *RI* Memoria de estar activado en el estado anterior (función memoria)

Variables anuladoras
- *fi* Que se active el fin de carrera *fi*
- *RD* Que por avería se active la marcha a la derecha
- *p* Pulsar parada

— Contactor de control de la marcha hacia la derecha *RD*:

Variables creadoras
- *fi* Que se active el fin de carrera *fi*
- *RD* Memoria de estar activado en el estado anterior (función memoria)
- *p* Pulsar parada

Variables anuladoras
- *fd* Que se active el fin de carrera *fd*
- *RI* Que por avería se active la marcha a la izquierda

Empleando el teorema enunciado en el Apartado 8.4 de la introducción teórica, tendremos:

$$X = \bar{p} \cdot (m \cdot \bar{p} + X) = \bar{p} \cdot (m + X)$$

$$RI = \overline{fi} \cdot \overline{RD} \cdot \bar{p} \cdot (X \cdot fd + RI) \quad ; \quad RD = \overline{fd} \cdot \overline{RI} \cdot (fi + p + RD)$$

- *Implementación del automatismo.* La implementación con puertas del automatismo de nuestro problema aparece en la Figura 8.31.

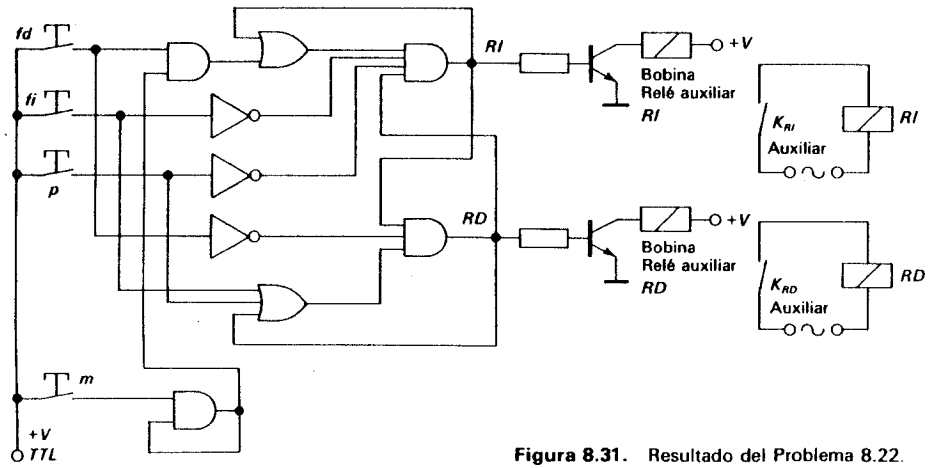



**Figura 8.31.** Resultado del Problema 8.22.



**8.23.** Se desea diseñar el automatismo de control para el encendido y apagado de una lámpara a través de un solo pulsador *p*. El programa de funcionamiento será el siguiente: si la lámpara está apagada, al pulsar *p* se encenderá; si la lámpara está encendida, al pulsar *p* se apagará. La implementación del automatismo se realizará con puertas lógicas, el circuito de mando y un relé para el control de la lámpara.

**Solución:**

- *Planteamiento.* Nuestro automatismo posee una sola variable de entrada *p*, la cual ha de producir efectos opuestos según el estado anterior de la salida del automatismo. Por ello, es preciso el empleo de una ecuación y variable auxiliar, que memorice dicho estado de la salida y permanezca en él hasta que una nueva pulsación de *p* le obligue a modificarlo.

  Las variables del circuito son:

  — Variables de entrada: *p*.
  — Variables de salida: *L*.
  — Variables auxiliares: *X*.

- *Diseño de la ecuación del circuito de mando.* Clasifiquemos las variables que controlan cada una de las ecuaciones del automatismo en:

  — Ecuación auxiliar *X* (memoria estado anterior de la lámpara):

  Variables creadoras
  - $L \cdot \bar{p}$ Que esté activada la lámpara y no pulse *p*
  - *X* Memoria de estar activada en el estado anterior (función memoria)

  Variables anuladoras
  - $\bar{L} \cdot \bar{p}$ Que no esté activada la lámpara y que no pulse *p*

  — Control de la lámpara *L*:

  Variables creadoras
  - $\bar{X} \cdot p$ Que no esté activada la memoria de control del estado de salida y pulse *p*
  - *L* Memoria de estar activado en el estado anterior (función memoria)

  Variables anuladoras
  - $X \cdot p$ Que esté activada la memoria de control del estado de salida y pulse *p*

  Empleando el teorema enunciado en el Apartado 8.4 de la introducción teórica, tendremos:

$$X = \overline{(\bar{p} \cdot \bar{L})} \cdot (L \cdot \bar{p} + X) = (p + L) \cdot (L \cdot \bar{p} + X)$$

$$L = \overline{(\bar{X} \cdot p)} \cdot (\bar{X} \cdot p + L) = (X + \bar{p}) \cdot (\bar{X} \cdot p + L)$$

- *Implementación del automatismo.* La implementación del circuito con puertas lógicas y relés aparece en la Figura 8.32.

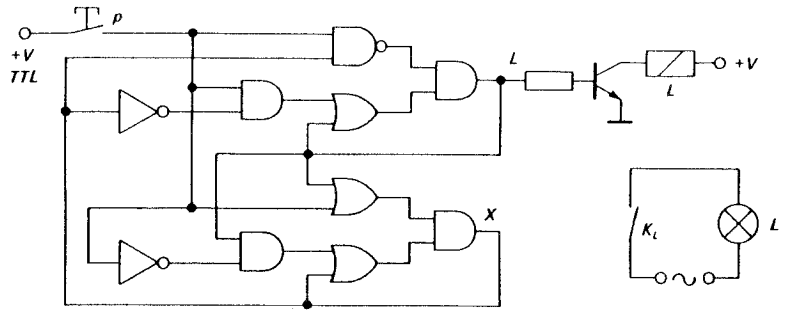



**Figura 8.32.** Resultado del Problema 8.23.

Hay que destacar que el automatismo no funciona por el nivel del impulso generado por *p*, sino que la lámpara se activa y desactiva en el flanco de subida de *p*, mientras que la memoria del estado de salida se activa y desactiva en el flanco de bajada de *p*. La razón de esta separación de activaciones y desactivaciones es debida a que una misma variable ha de activar y desactivar ambas ecuaciones de funcionamiento.

## PROBLEMAS PROPUESTOS

**8.24.** Implementar la siguiente ecuación de un automatismo con pulsadores y contactores:

$$R = (\overline{p \cdot x}) + \bar{f} \cdot (m \cdot \bar{I} + R)$$

**Solución:** Figura 8.33.

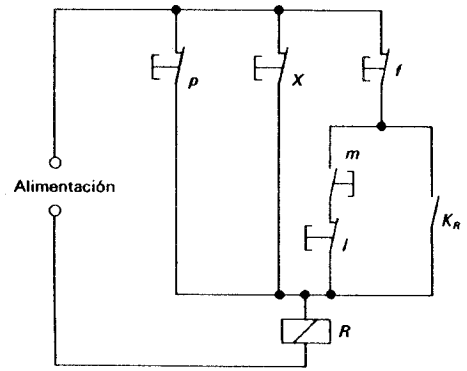



**Figura 8.33.** Resultado del Problema 8.24.



**8.25.** Realizar la implementación con pulsadores y contactores del automatismo definido por las siguientes ecuaciones:

$$RA = \overline{pa} \cdot (ma + RA)$$

$$RB = (\overline{pb \cdot Ra}) \cdot (mb \cdot RA + RB)$$

**Solución:** Figura 8.34

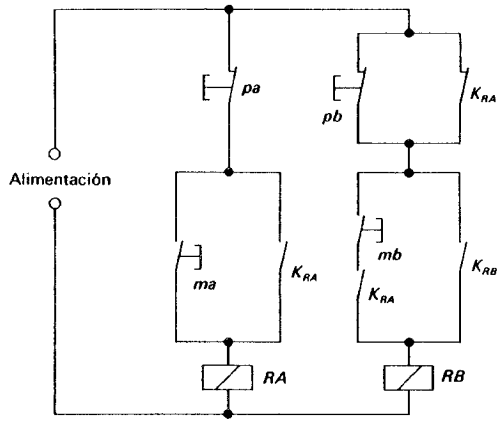



**Figura 8.34.** Resultado del Problema 8.25.

**8.26.** Implementar las siguientes ecuaciones de un automatismo con pulsadores y contactores:

$$RA = \overline{RB} \cdot (X + RA)$$

$$RB = b \cdot (\bar{a} + RB)$$

$$X = \bar{p} \cdot (m + X)$$

**Solución:** Figura 8.35.

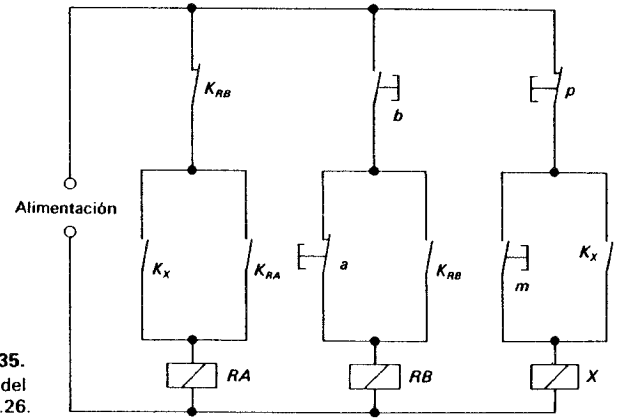



**Figura 8.35.** Resultado del Problema 8.26.

**8.27.** Realizar la implementación con puertas lógicas y contactores del automatismo del Problema 8.10.

**Solución:** Figura 8.36.

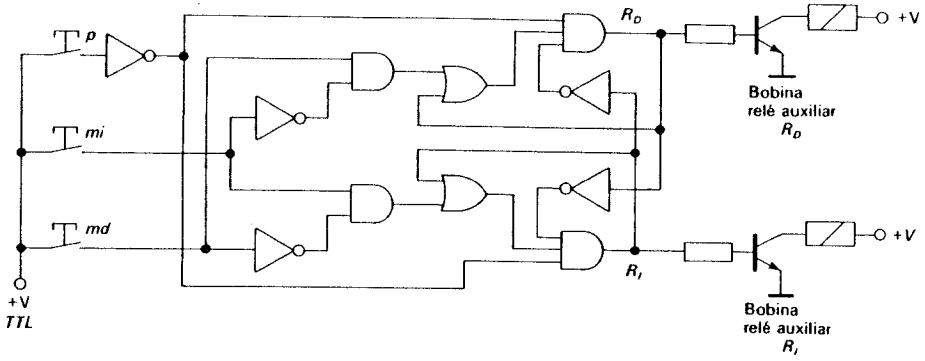



**Figura 8.36.** Resultado del Problema 8.27.

**8.28.** Implementar con puertas lógicas y contactores el automatismo del Problema 8.16.

**Solución:** Figura 8.37.

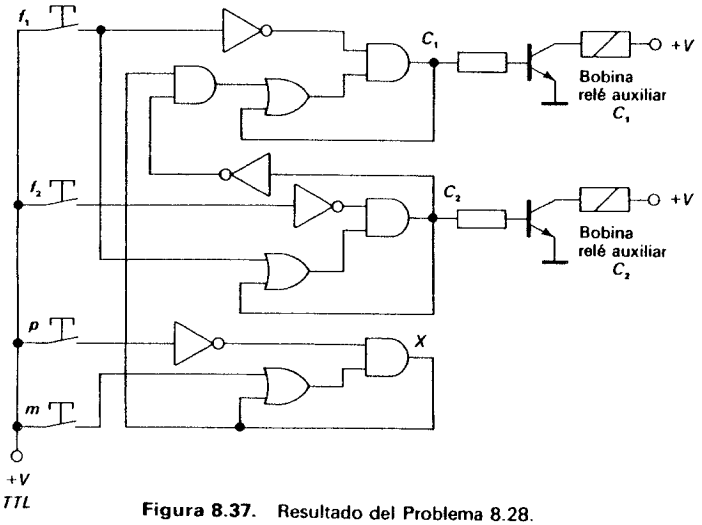



**Figura 8.37.** Resultado del Problema 8.28.



**8.29.** Obtener la ecuación de funcionamiento del automatismo necesario para el control de parada-marcha de un motor de corriente continua, que responda ante la activación simultánea del pulsador de marcha $m$ y de parada $p$, permaneciendo en el estado anterior.

**Solución:** $R = \bar{p} \cdot (m + R) + m \cdot R$.

**8.30.** Diseñar las ecuaciones de funcionamiento de un automatismo que controla el encendido y apagado de tres lámparas $L_1$, $L_2$ y $L_3$ por medio de sus respectivos pulsadores de parada y marcha $m_1$, $p_1$, $m_2$, $p_2$, $m_3$ y $p_3$. Las condiciones de funcionamiento son las siguientes:

- La lámpara $L_1$ se puede encender y apagar cuando se desee.
- La lámpara $L_2$ sólo puede encenderse cuando lo esté $L_1$ y se apagará si $L_1$ se apaga.
- La lámpara $L_3$ sólo puede encenderse si lo está $L_2$, apagándose si $L_2$ se apaga.

**Solución:** $L_1 = \bar{p}_1 \cdot (m_1 + L_1)$; $L_2 = L_1 \cdot \bar{p}_2 \cdot (m_2 + L_2)$; $L_3 = L_2 \cdot \bar{p}_3 \cdot (m_3 + L_3)$.

**8.31.** Diseñar un automatismo para el control de tres motores $RA$, $RB$ y $RC$ a través de sus respectivos pulsadores de parada y marcha *ma*, *pa*, *mb*, *pb*, *mc* y *pc*. El diseño se realizará de tal forma que no puedan activarse los otros dos motores cuando uno esté activado.

**Solución:** $RA = \overline{pa} \cdot \overline{RB} \cdot \overline{RC} \cdot (ma + RA)$; $RB = \overline{pb} \cdot \overline{RA} \cdot \overline{RC} \cdot (mb + RB)$;
$RC = \overline{pc} \cdot \overline{RA} \cdot \overline{RB} \cdot (mc + RC)$.

**8.32.** Se desea diseñar el control de dos motores $MA$ y $MB$ por medio de sus pulsadores de parada y marcha, *pa*, *ma*, *pb* y *mb*, de forma que el motor $A$ se active y desactive independientemente del motor $B$, mientras que el motor $B$ sólo pueda activarse o desactivarse cuando $A$ esté activado. Es decir, que si estando activados los dos motores se desactiva $A$, el motor $B$ no podrá desactivarse con su pulsador de parada hasta que vuelva a activarse $A$. Obtener las ecuaciones de funcionamiento.

**Solución:** $A = \overline{pa} \cdot (ma + A)$; $B = \overline{pb} \cdot (mb \cdot A + RB) + \bar{A} \cdot B$.

**8.33.** Diseñar un sistema para descender cajas desde una cinta transportadora $C$ hasta un depósito empleando una plataforma de subida y bajada basculante. El automatismo funcionará de la siguiente forma: al activar el pulsador de marcha $m$ la cinta $C$ se activará y desplazará cajas hasta la plataforma que lleva un sensor de posición $d$; cuando este sensor se active por el peso de la caja se detiene la cinta $C$ y se activa el descenso de la plataforma $PD$. La plataforma en su descenso choca contra un pivote vertical y báscula, provocando la caída por gravedad de la caja, la cual, al pasar por el sensor luminoso $f$, para el descenso de la plataforma $PD$ y activa su subida $PS$. Al llegar a la parte de arriba la plataforma choca con el fin de carrera $g$, se detiene y el ciclo de trabajo finaliza. Diseñar las ecuaciones de funcionamiento del ciclo básico de trabajo.

**Solución:** $C = \bar{d} \cdot (m \cdot g + C)$; $PD = \bar{f} \cdot \overline{PA} \cdot (d \cdot \bar{C} + PD)$; $PA = \bar{g} \cdot \overline{PD} \cdot (f + PA)$.

**8.34.** Realizar el Problema 8.33 trabajando el ciclo automático y con un pulsador de parada que pare el sistema al final del ciclo en curso.

**Solución:** $C = \bar{d} \cdot (X \cdot g + C)$; $PD = \bar{f} \cdot \overline{PA} \cdot (d \cdot \bar{C} + PD)$;
$PA = \bar{g} \cdot \overline{PD} \cdot (f + PA)$; $X = \bar{p} \cdot (m + X)$.

**8.35.** Diseñar las ecuaciones del automatismo de control de una taladradora de columna que funcione según el siguiente ciclo: al activar el pulsador de marcha $m$ se activará el descenso del portabrocas

$PD$ y el giro de la broca $GB$. La taladradora continuará su descenso taladrando el material hasta que la plataforma del portabrocas accione un fin de carrera $f_1$. Este fin de carrera se podrá posicionar a voluntad sobre la columna para definir la profundidad del taladro realizado. Al activarse $f_1$ se detendrán el descenso de la plataforma y el giro de la broca, activándose el ascenso de la plataforma $PA$. Cuando la plataforma llegue a un fin de carrera $f_2$, situado en la parte superior de la columna, la plataforma se detendrá y el ciclo de trabajo habrá concluido. Por razones de seguridad, la mordaza que sujeta las piezas para taladrar dispondrá de un contacto de seguridad $cp$, que en caso de desactivarse parará automáticamente todo el sistema, así como un pulsador de parada $p$ que al ser pulsado hará retornar todo el automatismo a la posición de inicio del ciclo por el sistema más rápido.

**Solución:** $PD = \bar{p} \cdot cp \cdot \bar{f}_1 \cdot \overline{PA} \cdot (m + PD)$; $PA = cp \cdot \bar{f}_2 \cdot \overline{PD} \cdot (f_1 + p + PA)$; $GB = \bar{p} \cdot cp \cdot \bar{f}_1 \cdot (m + GB)$.

**8.36.** La Figura 8.38 representa un automatismo para el giro de piezas que se desplazan sobre dos cintas transportadoras $CA$ y $CB$ colocadas a 90 grados.

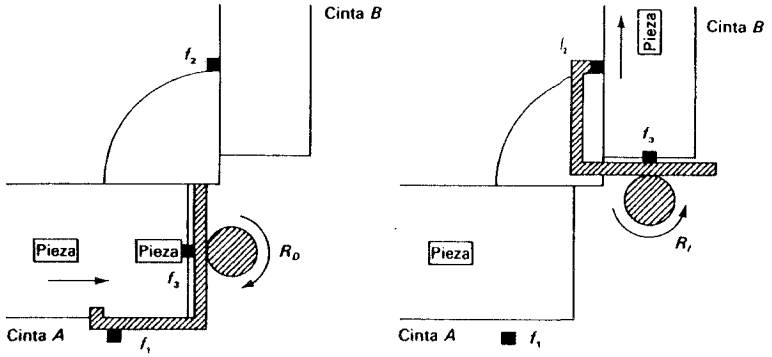



**Figura 8.38.** Enunciado del Problema 8.36.

El ciclo de trabajo básico será el siguiente: al activar el pulsador de marcha $m$ se pondrá en funcionamiento la cinta $CA$ que transporta piezas; cuando una de éstas choque con el fin de carrera $f_1$ se parará la cinta $CA$ y se activará el giro hacia la derecha del dispositivo girador $RD$. Cuando el tope del dispositivo girador active el fin de carrera $f_2$, el sistema girador invertirá su sentido de giro desactivando $RD$ y activando $RI$. Simultáneamente, se pondrá en marcha la cinta $CB$. El sistema girador en su retorno activará el fin de carrera $f_3$, con lo que se detendrán la cinta $CB$ y el giro hacia la izquierda $RI$. Obtener las ecuaciones de funcionamiento del ciclo básico.

**Solución:** $CA = \bar{f}_1 \cdot (m \cdot f_3 + CA)$; $RD = \bar{f}_2 \cdot \overline{RI} \cdot (f_1 \cdot f_3 + RD)$; $RI = \bar{f}_3 \cdot \overline{RD} \cdot (f_2 + PA)$; $CB = \bar{f}_3 \cdot (f_2 + CB)$.

**8.37.** Realizar el Problema 8.36 para que disponiendo de un pulsador de parada a fin de ciclo $p$ éste trabaje en ciclo automático.

**Solución:** $X = \bar{p} \cdot (m + X)$; $CA = \bar{f}_1 \cdot (X \cdot f_3 + CA)$; $RD = \bar{f}_2 \cdot \overline{RI} \cdot (f_1 \cdot f_3 + RD)$; $RI = \bar{f}_3 \cdot \overline{RD} \cdot (f_2 + RI)$; $CB = \bar{f}_3 \cdot (f_2 + CB)$.



**8.38.** Añadir al automatismo del Problema 8.37 un pulsador de emergencia $e$ que sea anulado por otro de rearme $r$, reanudándose la marcha en la fase del ciclo donde se paró.

**Solución:** $X = \bar{p} \cdot \bar{e} \cdot (m + X)$; $Y = \bar{r} \cdot (e + Y)$; $Z = \bar{f}_3 \cdot (f_2 + Z)$; $CA = \bar{f}_1 \cdot \bar{e} \cdot (X \cdot f_3 + CA)$; $RD = \bar{f}_2 \cdot \overline{RI} \cdot \bar{e} \cdot (f_1 \cdot X \cdot \bar{Z} + RD)$; $RI = \bar{f}_3 \cdot \overline{RD} \cdot \bar{e} \cdot (X \cdot Z + RI)$; $CB = \bar{f}_3 \cdot \bar{e} \cdot (X \cdot Z + CB)$.

**Nota:** La ecuación auxiliar $Y$ memoriza la emergencia mientras que la ecuación auxiliar $Z$ memoriza la fase del ciclo de trabajo por donde va el automatismo, distinguiendo entre las fases segunda y tercera; ya que entre la primera y segunda se puede distinguir mediante los fines de carrera.

**8.39.** Una máquina estampadora de chapas de características para electrodomésticos está formada por una plataforma giratoria con dos cavidades donde se colocan las chapas a estampar. En el lateral de la plataforma y delante de las cavidades existen levas o salientes que accionan un fin de carrera $f$ (Figura 8.38).

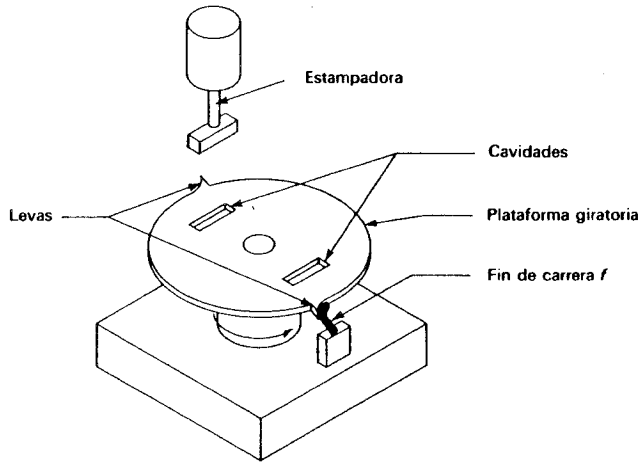



**Figura 8.39.** Enunciado del Problema 8.39.

La máquina funciona de la siguiente forma: un operario coloca en la cavidad más cercana al fin de carrera $f$ (que se encuentra pulsado) una chapa a estampar; seguidamente acciona un pulsador de marcha $m$, con lo cual la plataforma gira 180 grados hasta que la leva de la otra cavidad vuelve a accionar el fin de carrera $f$. En dicho momento se para y desciende el estampador. El operario vuelve a accionar el pulsador de marcha $m$, después de retirar la anterior chapa y poner una nueva en la cavidad que se encuentra delante del fin de carrera. En este momento el ciclo se vuelve a repetir. Obtener las ecuaciones de funcionamiento.

**Solución:** $PL = (\overline{f \cdot X}) \cdot (m \cdot X + PA)$; $X = (\overline{\overline{PL} \cdot \bar{m}}) \cdot (\bar{f} \cdot PL + X)$.

# CAPITULO 9

# Memorias integradas VLSI

## 9.1. CARACTERISTICAS

Los dispositivos digitales más elementales capaces de almacenar información en forma binaria han sido analizados en el Capítulo 6; como se recordará, éstos son los biestables y los registros de desplazamiento.

Las memorias son dispositivos capaces de almacenar grandes cantidades de información debido a que internamente están constituidas por un determinado número de registros que utilizan unas entradas y unas salidas comunes para acceder a todos ellos. La información se almacena en las memorias en forma de **palabras** formadas, normalmente, por uno, cuatro u ocho bits. Cada palabra se almacena en una **posición** que se identifica con una determinada **dirección** de memoria expresada numéricamente en el sistema hexadecimal.

Las características más significativas de las memorias son las siguientes:

- Tiempo de lectura/escritura.
- Cadencia de transferencia.
- Densidad de información.
- Volatilidad.
- Capacidad.

La unidad de memoria, formada por uno o más *CI*, es básica en un sistema programable. Además, estos dispositivos pueden ser utilizados, por sí solos, para implementar circuitos combinacionales y secuenciales (añadiendo, en este último caso, algo de lógica *SSI*).

## 9.2. CAPACIDAD DE UNA MEMORIA

Entendemos por **capacidad** de una memoria el número de posiciones y, por tanto, de palabras que puede almacenar. La **capacidad total** de una memoria expresada en bits será el producto de las posiciones $m$ por el número de bits $n$ que componen cada posición:

$$N = m \times n$$

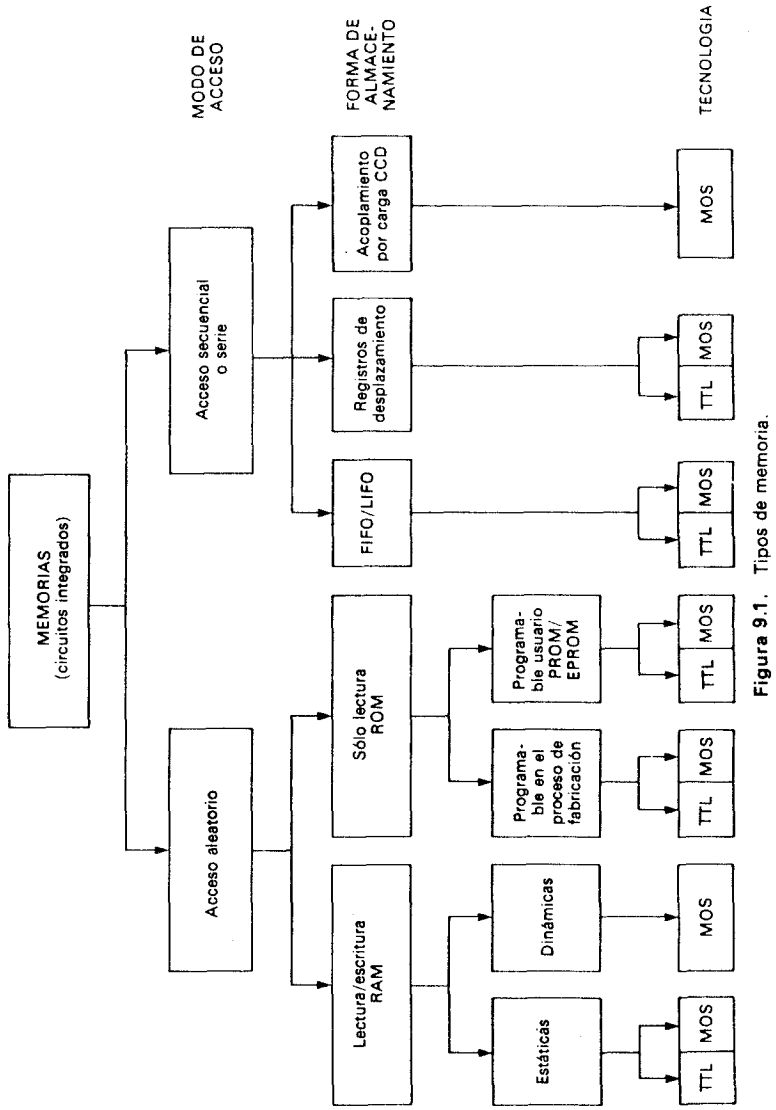



**Figura 9.1.** Tipos de memoria.

La operación de selección de una determinada posición de memoria se denomina **direccionamiento.** La cantidad de líneas necesarias para direccionar las $m$ posiciones será $n_1$, de tal forma que siempre se cumpla la igualdad:

$$2^{n_1} = m$$

Las memorias se identifican por el número de posiciones y por el número de bits de cada una de ellas. Los dispositivos de gran capacidad se miden en K's. Un K equivale a 1 024 posiciones. La capacidad de una memoria que utiliza $n_1$ variables binarias para direccionar todas sus posiciones, expresada en K's, será:

$$2^{n_1 - 10}$$

## 9.3. TIPOS DE MEMORIA

En la Figura 9.1 se muestran los diferentes tipos de memorias clasificadas por el modo de acceso, la forma de direccionamiento y la tecnología de fabricación. Nuestra atención en este capítulo la centraremos en las de acceso aleatorio, tanto de lectura y escritura, conocidas como **RAM** *(Random Access Memory)*, como en las de sólo lectura, conocidas como **ROM** *(Read Only Memory)*.

## 9.4. CONFIGURACION EXTERNA DE UNA MEMORIA

Las entradas y salidas más significativas de un circuito de memoria son las de direccionamiento, las de lectura/escritura de datos y las de control.

En la Figura 9.2 se muestra de forma simbólica una RAM con todos los terminales necesarios. Las ROM no necesitan la entrada de control *R/W*, que permite leer o escribir en función del nivel lógico aplicado. La entrada *CS (Chip Select)* se utiliza, como veremos más adelante, para seleccionar un determinado chip cuando la unidad de memoria está formada por más de un circuito integrado.

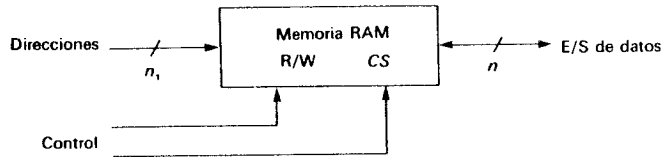



**Figura 9.2.** Representación simbólica de una memoria RAM con sus entradas y salidas.



## 9.5. EXPANSION DE LA CAPACIDAD Y DE LA LONGITUD DE PALABRA DE UNA MEMORIA

Es posible agrupar CI's para expandir la longitud de la palabra del sistema. En la Figura 9.3 se muestra la unidad de memoria de un sistema que requiere una palabra de cuatro bits construida con CI's cuyas posiciones están constituidas por un solo bit.

Los diferentes circuitos pueden estar conectados simultáneamente a las mismas líneas de dirección y de datos, gracias a las puertas de tres estados que mantienen los CI's que no han sido seleccionados en el tercer estado o estado de alta impedancia.

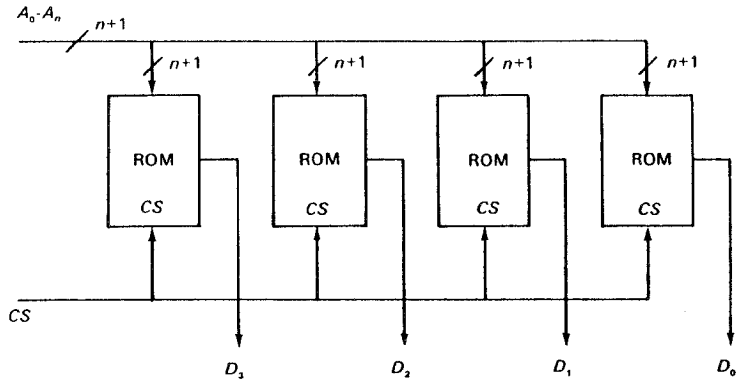



**Figura 9.3.** Expansión de la longitud de palabra de una unidad de memoria.

Por regla general, la capacidad de un solo CI suele ser insuficiente para satisfacer las necesidades de un sistema programable mínimamente complejo. En estos casos es necesario ampliar la capacidad total, agrupando varios CI's de manera análoga al caso anterior.

En la Figura 9.4 se muestra una unidad de memoria formada por cuatro CI's. Como se puede apreciar, es necesario utilizar un decodificador externo para realizar la **selección** del CI al que se desea acceder para leer o escribir. El número de líneas de direccionamiento necesarias para seleccionar cada uno de los chips depende del número total de CI's. En este caso, como el número de circuitos es de cuatro, es suficiente con dos líneas.

Como veremos en los problemas resueltos, las necesidades tanto de RAM como de ROM pueden ser tales que haya que expandir a la vez la longitud de palabra y la capacidad de la memoria.

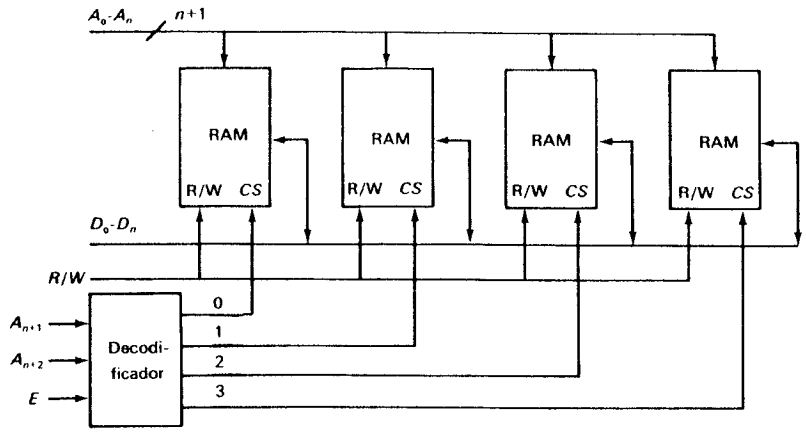



**Figura 9.4.** Expansión de la capacidad de una unidad de memoria.

## 9.6. ORGANIZACION INTERNA DE UNA MEMORIA

Los circuitos de memoria de tecnologías LSI y VLSI están constituidos básicamente por los siguientes elementos:

- Una matriz formada por un determinado número de células capaces de almacenar, cada una de ellas, un bit de información.
- Uno o dos decodificadores para seleccionar cada una de las posiciones de la matriz.
- Un conjunto de *buffers* formados por puertas de tres estados que gobierna la entrada/salida de datos bajo un circuito de control, al cual se le aplican las señales de lectura/escritura y selección de chips.

Utilizando los distintos elementos descritos, las memorias se pueden organizar internamente de dos formas diferentes. La más sencilla se conoce con el nombre de **selección lineal**. En este caso, la matriz está organizada en filas y columnas. El número de células de cada fila (número de columnas) coincide con el número de bits de la palabra, y el número total de filas es igual al número de posiciones de la memoria. Si el dispositivo dispone de $m$ posiciones, el decodificador deberá ser de $m$ salidas. En la Figura 9.5 se muestra el diagrama de bloques de un dispositivo con la organización descrita, mientras que en la Figura 9.6 se observa la estructura de la matriz de dicho dispositivo, formada por 128 posiciones de ocho células cada una.



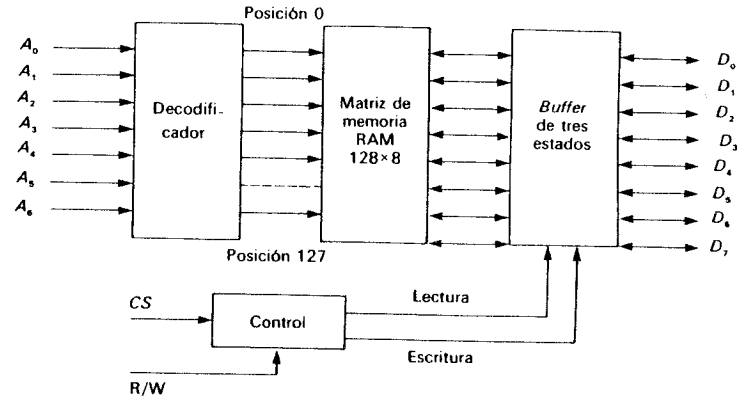



**Figura 9.5.** Diagrama de bloques de una memoria RAM de 128 posiciones de ocho bits cada una, con selección lineal.

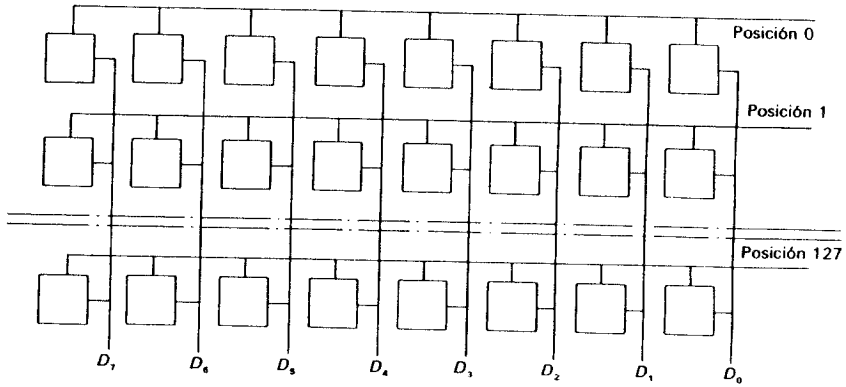



**Figura 9.6.** Estructura de la matriz de una memoria RAM que utiliza el método de selección lineal.

Cuando la capacidad de la memoria es muy elevada, es preferible efectuar el direccionamiento por el método conocido como **selección por coincidencia o doble decodificación**. En este caso, los decodificadores son mucho más sencillos que si la operación se realizase por el método descrito anteriormente.

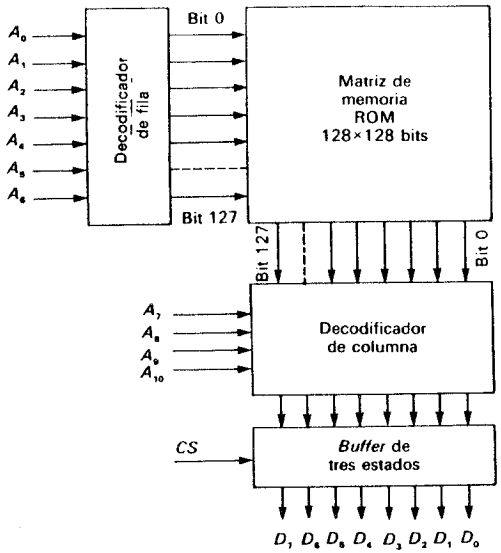



**Figura 9.7.** Diagrama de bloques de una ROM de 128×128 bits con selección por doble decodificación.

En la Figura 9.7 se muestra el diagrama de bloques de una memoria ROM cuya matriz está formada por 128 x 128 bits. Esto quiere decir que tiene 128 filas de 128 bits cada una. Cada fila está dividida en ocho grupos de 16 bits cada uno. En el primer grupo están situados los bits más significativos de cada palabra (de ocho bits) y en el octavo los 16 bits de menor peso.

El decodificador de filas es un dispositivo semejante a los que se emplean en la selección lineal. En cambio, el de columnas está formado por ocho multiplexadores de 16 líneas de entrada cada uno. En la Figura 9.8 se muestra la selección de la palabra de ocho bits, a partir de la fila de 128 bits.

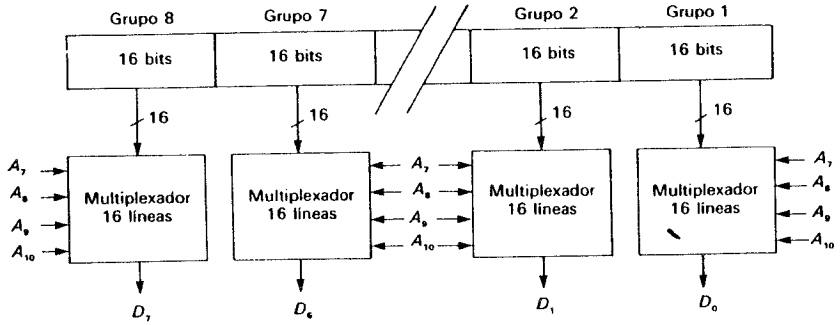



**Figura 9.8.** Selección de la palabra de ocho bits.



En la Figura 9.9 se muestra el diagrama de bloques del CI 2114A de INTEL, que es una RAM de lectura/escritura organizada en 1 024 palabras de cuatro bits cada una. Las entradas de control son $\overline{WE}$ *(Write Enable)* y $\overline{CS}$. Cuando se aplica un nivel lógico cero a $\overline{WE}$ el circuito queda habilitado para escribir.

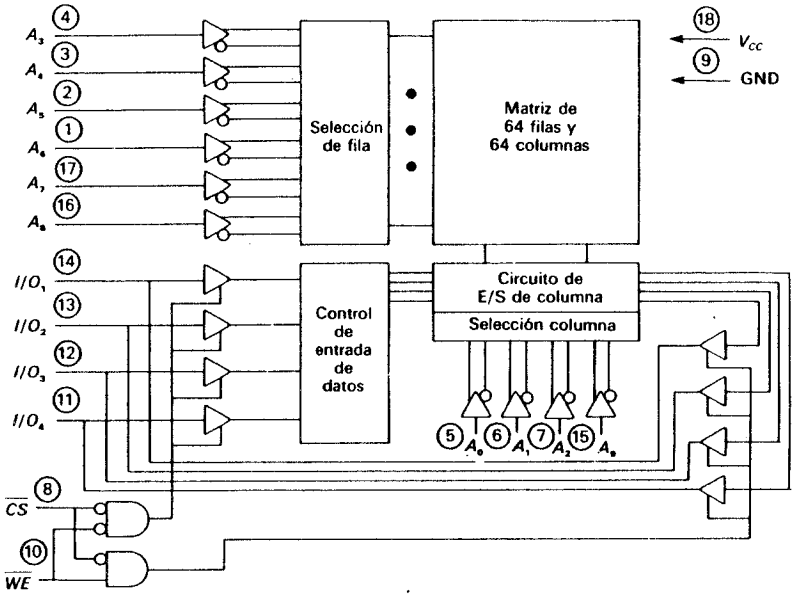



**Figura 9.9.** Diagrama de bloques de la memoria 2114A de INTEL.

## PROBLEMAS RESUELTOS

**9.1.** Calcular el número de posiciones y el número total de bits de la unidad de memoria de un sistema cuya capacidad total es de 8K × 4 (8K posiciones de cuatro bits cada una).

**Solución:** Como 1K equivale a 1 024 posiciones:

$$m = 8 \times 1\,024 = 8\,192 \text{ posiciones}$$

La longitud de palabra es de cuatro bits, por tanto:

$$N = m \times n = 8\,192 \times 4 = 32\,768 \text{ bits}$$

**9.2.** ¿Cuántas posiciones de memoria se pueden direccionar mediante 12 líneas?

**Solución:** Utilizando la expresin $2^{n_1} = m$, donde $n_1$ es el número de líneas, tendremos:

$$m = 2^{12} = 4\,096 \text{ posiciones}$$

**9.3.** ¿Cuántas líneas de dirección son necesarias para seleccionar todas las posiciones de una memoria de 16K × 8? ¿Cuál será el número total de células de la matriz?

**Solución:**

**a)** La primera parte del problema se puede abordar de dos maneras distintas.
En primer lugar, mediante la expresión $2^{n_1} = m$, sabiendo que $m = 16 \times 1\,024 = 16\,384$ posiciones, podemos deducir, después de un sencillo tanteo, que $n_1 = 14$, ya que

$$2^{14} = 16\,384 \text{ posiciones}$$

Por otra parte, sabemos que el valor de la capacidad, expresada en K's vale $2^{n_1 - 10}$; de esta expresión deducimos que $n_1 = 14$, ya que

$$2^{14-10} = 2^4 = 16\text{K}$$

**b)** Respondiendo a la segunda cuestión, el número total de células de la matriz o número total de bits que es posible almacenar será

$$N = m \cdot n = 16\,384 \times 8 = 131\,072 \text{ bits}$$

**9.4.** ¿Cuántos bytes u octetos pueden almacenarse en una memoria cuya matriz es de 128 × 128 bits?

**Solución:** Un byte u octeto es una palabra de ocho bits. El número total de bits de la memoria será

$$N = 128 \times 128 = 16\,384$$

Como $n = 8$:

$$m = \frac{N}{n} = \frac{16\,384}{8} = 2\,048 \text{ posiciones}$$

**9.5.** ¿Cuál será la estructura de la matriz de una memoria de 1K de capacidad y cuatro bits de longitud de palabra que efectúe la selección por doble decodificación? ¿Cuántas líneas de dirección son necesarias para seleccionar cada una de las palabras?

**Solución:**

**a)** El número total de bits o células de la matriz será

$$N = 1\,024 \times 4 = 4\,096 \text{ bits}$$



**b)** La estructura de la matriz será 64 × 64, ya que

$$\sqrt{4\,096} = 64$$

**c)** El número de líneas necesarias para seleccionar todas las posiciones será $n_1 = 10$; ya que

$$2^{10-10} = 2^0 = 1$$

**9.6.** Si una memoria tiene una capacidad de 2 048 × 8 bits, calcular:

**a)** Número de células de la matriz.
**b)** Estructura de la matriz suponiendo que la memoria tenga dos decodificadores.
**c)** Número de líneas de dirección.
**d)** Número de líneas de datos.

**Solución:**

**a)** El número total de células será

$$N = 2\,048 \times 8 = 16\,384 \text{ células}$$

**b)** La estructura de la matriz será

$$128 \times 128, \quad \text{ya que} \quad \sqrt{16\,384} = 128$$

**c)** El número de líneas de dirección será

$$n_1 = 11, \quad \text{ya que} \quad 2^{11} = 2\,048$$

**d)** Las líneas de datos serán ocho, puesto que la palabra es de ocho bits.

**9.7.** Para direccionar las posiciones de una memoria se utiliza la notación hexadecimal. Las 65 536 posiciones de una unidad de memoria de un determinado sistema se encuentran entre las direcciones 0000 (la primera) y FFFF (la última). Calcular las direcciones de las posiciones que ocupan los lugares: **a)** 5; **b)** 255; **c)** 1 024, y **d)** 32 769.

**Solución:**

**a)** 0004, ya que la primera será la 0000.
**b)** 00FE, que corresponde al número decimal 254.
**c)** 03FF, correspondiente al número decimal 1023.
**d)** 8000, que corresponde al número decimal 32 768.

**9.8.** ¿Cuántas posiciones de memoria hay desde la dirección 0400 hasta la 11FF, ambas inclusive?

**Solución:** El número decimal equivalente al 0400 utilizando la expresión polinómica, será

$$4 \times 16^2 + 0 \times 16^1 + 0 \times 16^0 = 1\,024$$

El decimal equivalente al 11FF vale

$$1 \times 16^3 + 1 \times 16^2 + 15 \times 16^1 + 15 \times 16^0 = 4\,607$$

El número total de posiciones existentes entre las direcciones señaladas será

$$m_1 = 4\,607 - 1\,024 + 1 = 3\,584$$

**9.9.** Las necesidades de memoria de un sistema programable son las siguientes: **a)** una zona de 12K para el sistema operativo; **b)** una zona para un intérprete de 4K; **c)** una zona libre para el usuario de 6K, y **d)** una ROM de 2K.

Dibujar el mapa de memoria indicando la dirección de principio y la de final de cada tramo, suponiendo que el orden de almacenamiento sea el señalado.

**Solución:** En el primer tramo hay 12 288 posiciones; la primera se encuentra en la dirección 0 (decimal) y la última en la dirección 12 287 (decimal), cuyo equivalente hexadecimal es 2FFF.

El siguiente tramo comenzará en la dirección siguiente; es decir, en la 3000. Como la suma de este tramo más el primero vale 16K; es decir, 16 384 posiciones, la última dirección será la 16 383 (decimal), cuyo equivalente hexadecimal es 3FFF.

Con el mismo proceso deducimos que los principios y finales de los restantes tramos son, por este orden: 4000, 57FF, 5800 y 5FFF (Fig. 9.10).

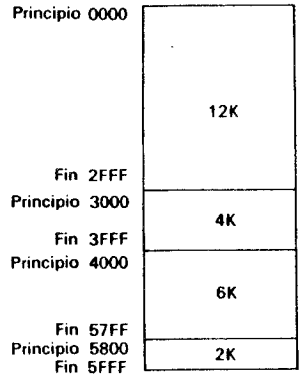



**Figura 9.10.** Mapa de una unidad de memoria de 24K.

**9.10.** Dibujar el diagrama de bloques de una ROM de 256 × 4 que utiliza selección lineal.

**Solución:** Para seleccionar todas las posiciones son necesarias ocho líneas, ya que $2^8 = 256$; por tanto, el diagrama de bloques es el que se muestra en la Figura 9.11.



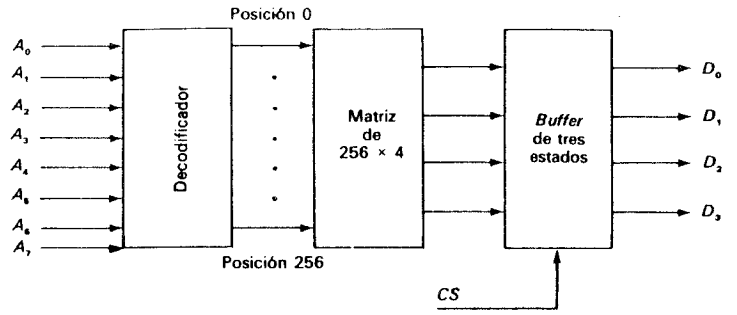



**Figura 9.11.** Diagrama de bloques de una ROM de 256 × 4.

**9.11.** Repetir el problema anterior suponiendo, en este caso, que la memoria utiliza selección por doble decodificación.

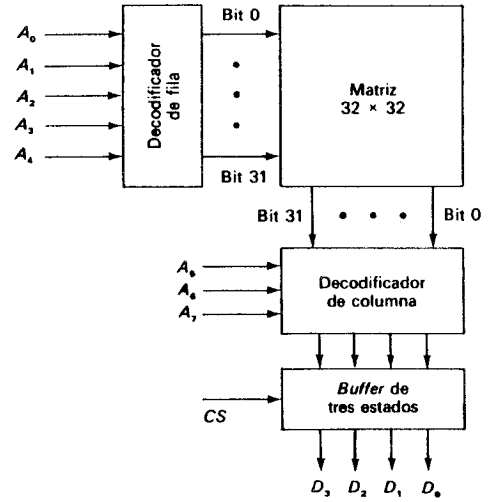



**Figura 9.12.** Diagrama de bloques de una ROM de 256 × 4.

**Solución:** Las líneas de datos y direcciones son las mismas que en el problema anterior. El diagrama de bloques se muestra en la Figura 9.12.

La matriz tiene 32 × 32 bits; por tanto, cinco líneas de las ocho de dirección se utilizarán para seleccionar cada una de las 32 filas. Las otras tres se aplicarán al decodificador de columna.

**9.12.** Una ROM de 1 024 × 8 tiene una matriz de 64 × 128. Determinar el número de entradas y salidas de cada uno de los dos decodificadores y dibujar el diagrama de bloques de este dispositivo.

**Solución:** El decodificador de fila debe tener 64 salidas y, por tanto, seis entradas, ya que $2^6 = 64$. Al circuito de decodificación de columna llegan 128 líneas, éste será el número de entradas. Las salidas serán ocho debido a que la longitud de palabra es de ocho bits. Las líneas de dirección necesarias para la selección de columna son cuatro, puesto que, en total, las líneas de dirección son 10, ya que $2^{10} = 1\,024$.

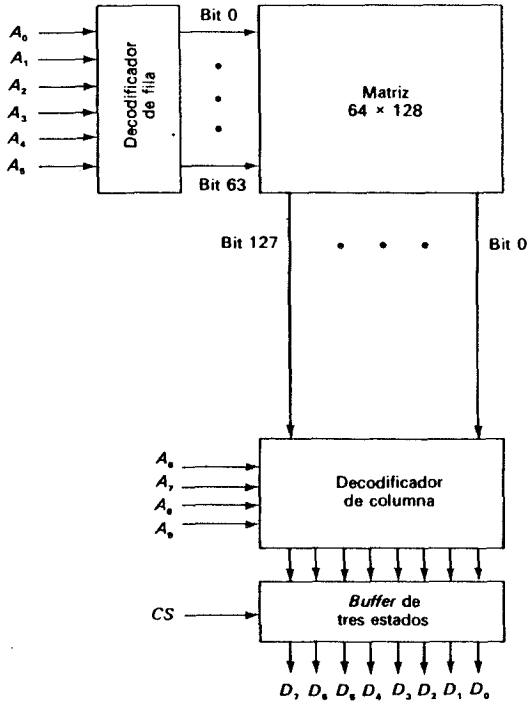



**Figura 9.13.** Diagrama de bloques de una ROM de 1 024 × 8.



**9.13.** Dibujar el diagrama de bloques del decodificador de columna de una memoria ROM de 256 × 4 cuya matriz esté formada por 32 × 32 bits.

**Solución:** Como la longitud de palabra es de cuatro bits, la estructura del circuito estará constituida por cuatro grupos de ocho bits cada uno.

Si a cada multiplexador se aplican ocho bits, para seleccionar uno de ellos serán necesarias tres líneas de dirección.

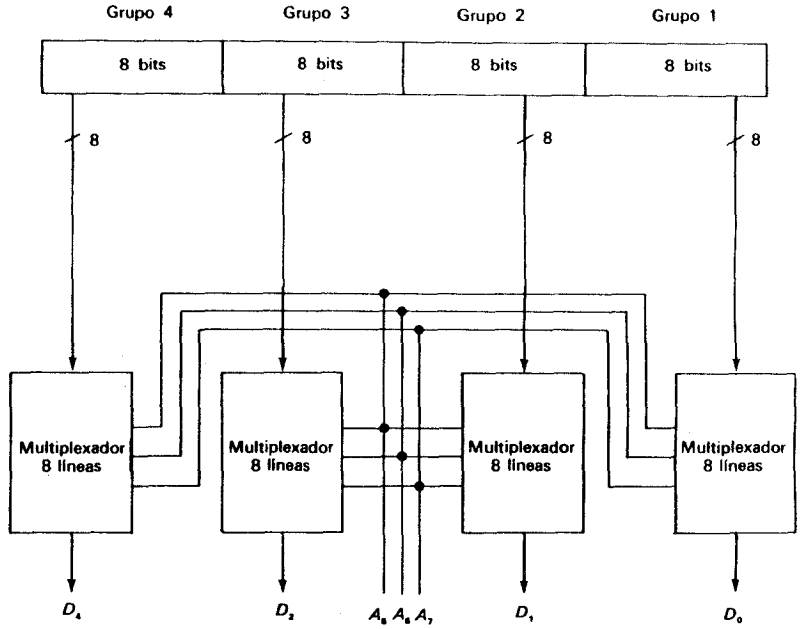



**Figura 9.14.** Diagrama de bloques de un decodificador de columna.

**9.14.** Tomando como referencia el diagrama de bloques de la memoria 2114A (Fig. 9.9), diseñar una memoria de lectura/escritura de 1 024 × 1 bits. Definir, en primer lugar, el número de líneas de dirección asociadas a los decodificadores.

**Solución:** La estructura de la matriz es de 32 × 32; por tanto, las entradas del decodificador de fila han de ser 5 ($2^5 = 32$). Como para direccionar 1 024 posiciones son necesarias 10 líneas, el resto, es decir, 5, se aplicará al decodificador de columna.

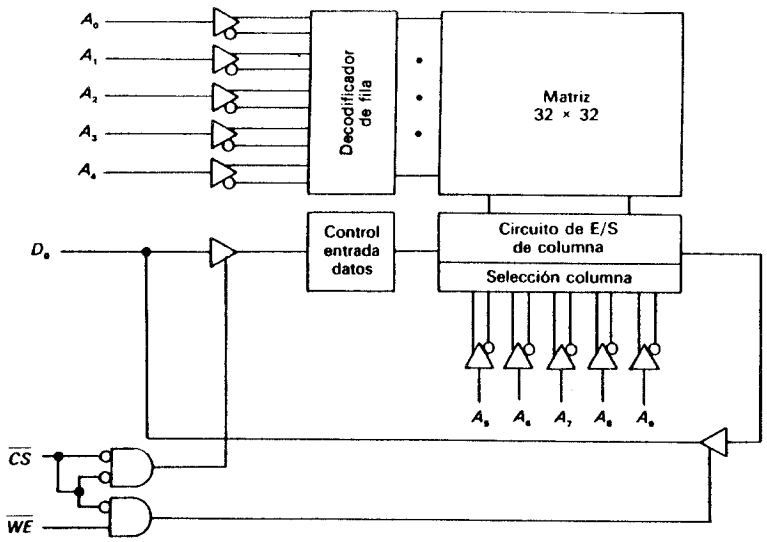



**Figura 9.15.** Memoria de lectura/escritura de 1 024 × 1.

**9.15.** Describir las características de una ROM utilizada para implementar un decodificador BCD de siete segmentos. Dibujar el diagrama de bloques con las entradas y las salidas.

**Solución:** La tabla de verdad del decodificador es la siguiente:

**Tabla 9.1.** Tabla de verdad del Problema 9.15

| Núm. | Entradas | | | | Salidas | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | *A* | *B* | *C* | *D* | *a* | *b* | *c* | *d* | *e* | *f* | *g* |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 2 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 3 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 4 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 5 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 6 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 7 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 8 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 9 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |



- Las variables de entrada se asignan a las entradas de dirección de la ROM.
- Los valores de salida del decodificador se obtienen por las líneas de datos de la ROM.
- La longitud de palabra de la ROM ha de ser, al menos, de siete bits.
- El número de palabras de la ROM ha de ser, al menos, de diez. En general, para el diseño de decodificadores el número de palabras $m$ ha de ser $2^{n_1}$, siendo $n_1$ el número de variables de entrada.
- Las diez primeras palabras de la ROM se grabarán con los valores indicados en las salidas de la tabla.

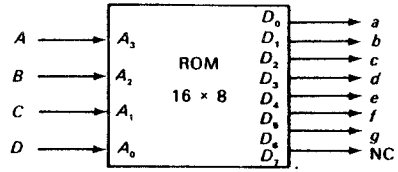



**Figura 9.16.** Decodificador BCD/7 segmentos implementado con una ROM de 16 × 8.

**9.16.** Diseñar un contador bidireccional de dos bits utilizando biestables tipo *D* y una ROM.

**Solución:** En primer lugar es necesario construir la tabla de transiciones.

**Tabla 9.2.** Tabla de transiciones del Problema 9.16

| Control | Estado actual | | Estado futuro | | Entradas biestables | |
|---|---|---|---|---|---|---|
| *R* | $Q_1$ | $Q_0$ | $Q_1$ | $Q_0$ | $D_1$ | $D_0$ |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 |

Las entradas de dirección de la ROM se utilizan como variables de entrada ($R$ y estado actual de $Q_1$ y $Q_0$) y las salidas de datos como entradas de los biestables. En las ocho primeras posiciones de la ROM se graban los valores de las columnas $D_1$ y $D_0$.

En realidad, la ROM sustituye al circuito combinacional que requieren los biestables para comportarse como un contador síncrono.

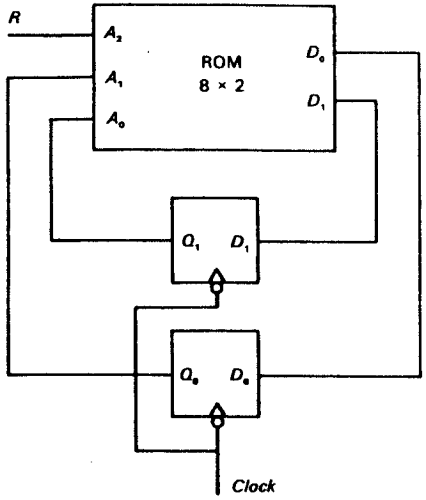



**Figura 9.17.** Contador de dos bits implementado con ROM de 8 × 2.

**9.17.** Construir una unidad de memoria ROM de 512 palabras de cuatro bits cada una utilizando dispositivos de 512 × 1. Determinar las líneas de dirección necesarias.

**Solución:** Son necesarias nueve líneas (o bits) de dirección, ya que $2^9 = 512$. El diagrama de bloques de la unidad se muestra en la Figura 9.18.

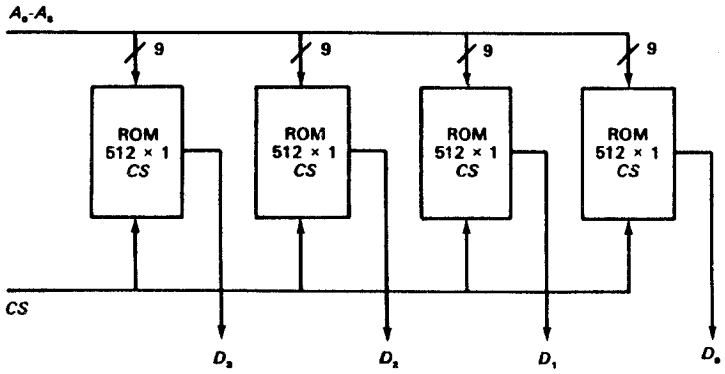



**Figura 9.18.** Unidad ROM de 512 × 4.



**9.18.** Diseñar una unidad de RAM de 1K × 8 con CI de 1K × 4.

**Solución:** Los bits de selección necesarios son 10 ($2^{10} = 1\,024$). El circuito se muestra en la Figura 9.19.

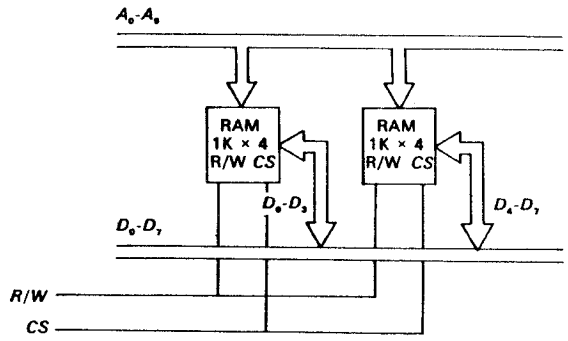



**Figura 9.19.** Unidad de RAM de 1K × 8.

Por primera vez utilizaremos en la Figura 9.19 la conexión de elementos; se hace mediante un canal, denominado técnicamente *bus*, que no es ni más ni menos que un conjunto de conductores que transportan señales eléctricas de un mismo tipo. Los *buses* de un sistema programable son los de direcciones, de datos y de control.

**9.19.** Construir una ROM de 8K × 4 mediante dispositivos de 2K × 4.

**Solución:** En este caso es necesario utilizar un decodificador para la selección del CI al que nos queremos dirigir.

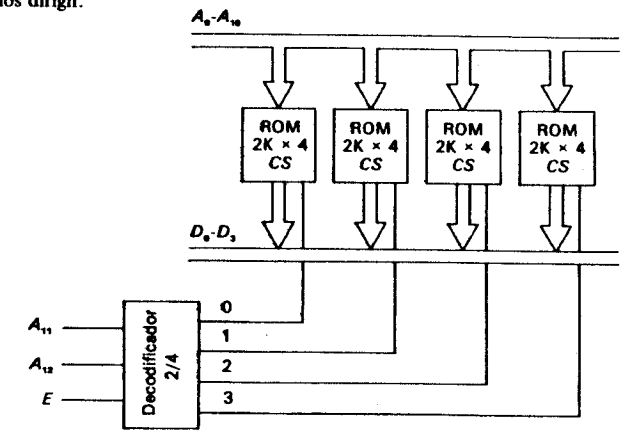



**Figura 9.20.** Unidad de ROM de 8K × 4.

**9.20.** Dibujar el diagrama de bloques de una unidad de memoria de lectura/escritura (RAM) de 1K × 8 y construida con elementos de 512 × 4.

**Solución:** Figura 9.21.

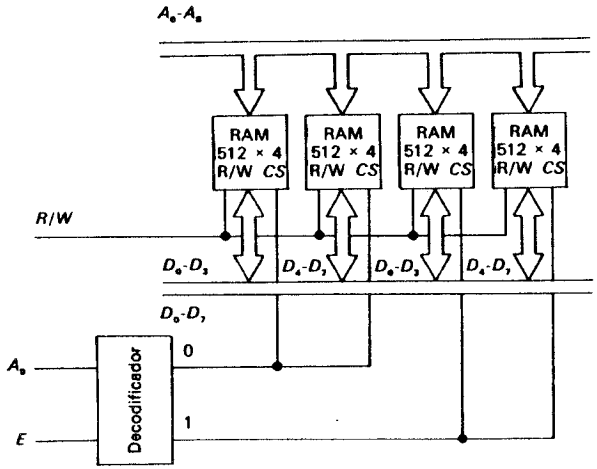



**Figura 9.21.** Unidad RAM de 1K × 8.

**9.21.** Diseñar una unidad de memoria para un sistema con microprocesador de ocho bits. Las necesidades son 4K de RAM y 4K de ROM. Los circuitos disponibles son de 2K × 4 para memoria de lectura/escritura y de 2K × 8 para la memoria de sólo lectura.

**Solución:** Para la RAM se necesitan cuatro circuitos de 2K × 4 y para la ROM es suficiente con dos; por consiguiente, el número total de dispositivos es de seis.

Como los circuitos RAM son de cuatro bits por posición, es necesario seleccionar dos circuitos simultáneamente. El primero contendrá los cuatro primeros bits del *bus* de datos ($D_0$-$D_3$) y el segundo los cuatro restantes ($D_4$-$D_7$). Por tanto, las líneas de selección que se precisan son cuatro exclusivamente. Sin embargo, hemos optado por utilizar un decodificador de tres entradas y ocho salidas con el fin de disponer de cuatro líneas de selección libres, por si se desea ampliar la memoria total del sistema.

En la Figura 9.22 se muestra la unidad de memoria completa. Las líneas *R/W* y la entrada de inhibición/habilitación *E* del decodificador se conectan al microprocesador a través de un sencillo circuito de lógica cableada.



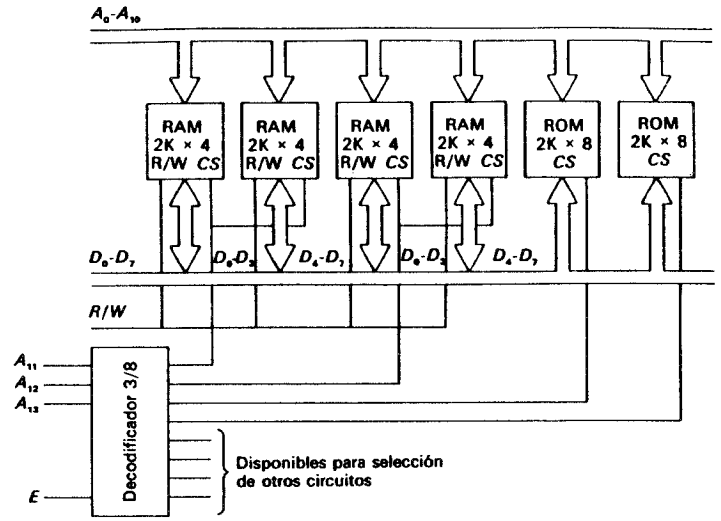



**Figura 9.22.** Unidad de memoria formada por 4K × 8 de RAM y 4K × 8 de ROM.

## PROBLEMAS PROPUESTOS

**9.22.** ¿Cuántas palabras pueden almacenarse en una memoria de 64K?

**Solución:** 65 536 palabras.

**9.23.** ¿Cuál es el número de células de una memoria de 2K × 8 (2K de capacidad y 8 bits de longitud de palabra)?

**Solución:** 16 384 células.

**9.24.** El *bus* de direcciones de un sistema es de 20 líneas. ¿Cuántas posiciones de memoria se pueden direccionar?

**Solución:** 1 048 576 posiciones.

**9.25.** Calcular el número de líneas que son necesarias para direccionar 64K.

**Solución:** 16 líneas.

**9.26.** ¿Cuántas palabras de cuatro bits es posible almacenar en una matriz de 64 × 128?

**Solución:** 2 048 palabras.

**9.27.** Una memoria de 128 × 8 realiza la selección por coincidencia. Determinar la estructura de la matriz y el número de líneas de dirección necesarias.

**Solución:** 32 × 32; 7 líneas.

**9.28.** Disponemos de una ROM de 4K × 4 que contiene dos decodificadores internos (uno de fila y otro de columna). Calcular: **a)** número total de bits que puede almacenar; **b)** la estructura de la matriz; **c)** número de líneas de dirección necesarias, y **d)** número de líneas de datos.

**Solución:** **a)** 16 384; **b)** 128 × 128; **c)** 12 líneas; **d)** 4.

**9.29.** ¿Cuáles son los números decimales (base 10) correspondientes a las direcciones de memoria, expresadas en hexadecimal, siguientes: 0F, FF, 4000, 1ABC?

**Solución:** 15; 255; 16 384; 6 844.

**9.30.** Calcular el número total de posiciones existentes entre las direcciones 00FF y FF00, excluidas ambas.

**Solución:** 65 024 posiciones.

**9.31.** Dibujar el diagrama de bloques de una RAM de 128 × 8 que tiene un solo decodificador.

**9.32.** Dibujar el diagrama de bloques de una ROM de 2K × 4 con selección por coincidencia.

**9.33.** Representar la estructura interna de una ROM cuya matriz es de 32 × 32 y la longitud de palabra de cuatro bits.

**9.34.** Representar la estructura interna del decodificador de columna de una ROM de 1K × 8.

**9.35.** Diseñar una memoria de lectura/escritura de 128 × 2.

**9.36.** Implementar con una ROM un decodificador 4/16. Indicar el número de posiciones que son necesarias, así como el contenido de cada una de ellas. Dibujar el diagrama de conexión con sus correspondientes entradas y salidas.

**9.37.** Construir un contador de décadas con biestables *T* y una ROM para implementar la lógica combinacional.

**9.38.** Conectar cuatro elementos RAM de 1K × 1 para construir una unidad de memoria de 1K × 4.



**9.39.** Diseñar una unidad de memoria (ROM) de 64K × 8 a partir de dispositivos de 8K × 8.

**9.40.** En un determinado sistema programable se requiere una ROM de 2 048 × 8 y una RAM de 4K × 8. Los dispositivos disponibles son de 1K × 8 para la ROM y de 1K × 4 para la RAM. Representar la unidad de memoria completa.

**9.41.** Representar el diagrama de bloques y el circuito de selección de una unidad de memoria compuesta por una RAM de 16K × 8 y una ROM de 16K × 8 construida con elementos de 4K × 8 (la RAM) y de 8K × 4 (la ROM).

# APENDICE

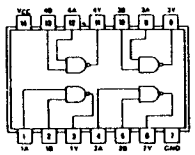
## Encapsulados y características de la serie TTL de integrados digitales

*(Cortesía de Texas Instruments)*

QUADRUPLE 2-INPUT
POSITIVE-NAND GATES

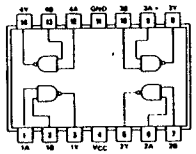
**00**

positive logic:
$Y = \overline{AB}$



SN5400 (J)
SN54H00 (J)
SN54L00 (J)
SN54LS00 (J, W)
SN54S00 (J, W)

SN7400 (J, N)
SN74H00 (J, N)
SN74L00 (J, N)
SN74LS00 (J, N)
SN74S00 (J, N)

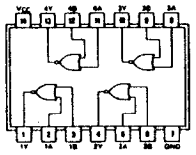


SN5400 (W)
SN54H00 (W)
SN54L00 (T)

QUADRUPLE 2-INPUT
POSITIVE-NOR GATES

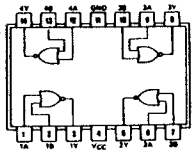
**02**

positive logic:
$Y = \overline{A+B}$



SN5402 (J)
SN54L02 (J)
SN54LS02 (J, W)
SN54S02 (J, W)

SN7402 (J, N)
SN74L02 (J, N)
SN74LS02 (J, N)
SN74S02 (J, N)

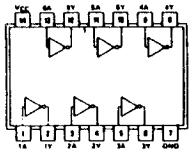


SN5402 (W)
SN54L02 (T)

HEX INVERTERS

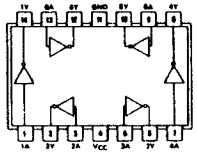
**04**

positive logic:
$Y = \overline{A}$



SN5404 (J)
SN54H04 (J)
SN54L04 (J)
SN54LS04 (J, W)
SN54S04 (J, W)

SN7404 (J, N)
SN74H04 (J, N)
SN74L04 (J, N)
SN74LS04 (J, N)
SN74S04 (J, N)

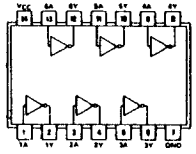


SN5404 (W)
SN54H04 (W)
SN54L04 (T)

HEX INVERTER BUFFERS/DRIVERS
WITH OPEN-COLLECTOR
HIGH-VOLTAGE OUTPUTS

**06**

positive logic:
$Y = \overline{A}$

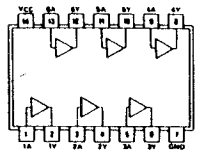


SN5406 (J, W)  SN7406 (J, N)

HEX BUFFERS/DRIVERS
WITH OPEN-COLLECTOR
HIGH-VOLTAGE OUTPUTS

**07**

positive logic:
$Y = A$

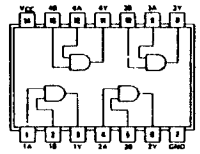


SN5407 (J, W)  SN7407 (J, N)

QUADRUPLE 2-INPUT
POSITIVE-AND GATES

**08**

positive logic:
$Y = AB$



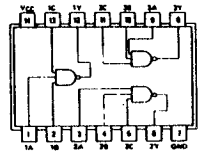
SN5408 (J, W)
SN54LS08 (J, W)
SN54S08 (J, W)

SN7408 (J, N)
SN74LS08 (J, N)
SN74S08 (J, N)

TRIPLE 3-INPUT
POSITIVE-NAND GATES

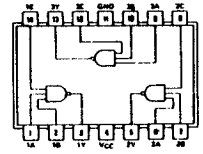
**10**

positive logic:
$Y = \overline{ABC}$



SN5410 (J)
SN54H10 (J)
SN54L10 (J)
SN54LS10 (J, W)
SN54S10 (J, W)

SN7410 (J, N)
SN74H10 (J, N)
SN74L10 (J, N)
SN74LS10 (J, N)
SN74S10 (J, N)

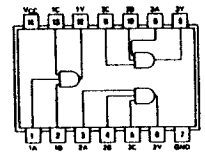


SN5410 (W)
SN54H10 (W)
SN54L10 (T)

TRIPLE 3-INPUT
POSITIVE-AND GATES

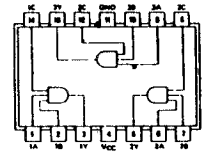
**11**

positive logic:
$Y = ABC$



SN54H11 (J)
SN54LS11 (J, W)
SN54S11 (J, W)

SN74H11 (J, N)
SN74LS11 (J, N)
SN74S11 (J, N)

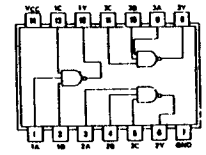


SN54H11 (W)

TRIPLE 3-INPUT
POSITIVE-NAND GATES
WITH OPEN-COLLECTOR OUTPUTS

**12**

positive logic:
$Y = \overline{ABC}$



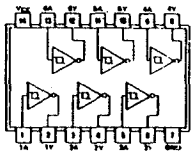
SN5412 (J, W)
SN54LS12 (J, W)

SN7412 (J, N)
SN74LS12 (J, N)

**HEX SCHMITT-TRIGGER INVERTERS**

**14**

positive logic:
$Y = \overline{A}$

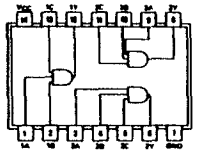


SN5414 (J, W) SN7414 (J, N)
SN54LS14 (J, W) SN74LS14 (J, N)

**TRIPLE 3-INPUT POSITIVE-AND GATES WITH OPEN-COLLECTOR OUTPUTS**

**15**

positive logic:
$Y = ABC$

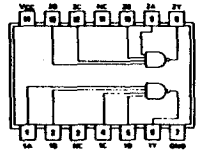


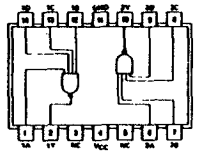
SN54H15 (J, W) SN74H15 (J, N)
SN54LS15 (J, W) SN74LS15 (J, N)
SN54S15 (J, W) SN74S15 (J, N)

**DUAL 4-INPUT POSITIVE-NAND GATES**

**20**

positive logic:
$Y = \overline{ABCD}$





SN5420 (J) SN7420 (J, N)
SN54H20 (J) SN74H20 (J, N)
SN54L20 (J) SN74L20 (J, N)
SN54LS20 (J, W) SN74LS20 (J, N)
SN54S20 (J, W) SN74S20 (J, N)

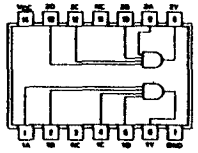
SN5420 (W)
SN54H20 (W)
SN54L20 (T)

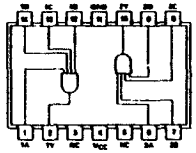
NC—No internal connection

**DUAL 4-INPUT POSITIVE-AND GATES**

**21**

positive logic:
$Y = ABCD$





SN54H21 (J) SN74H21 (J, N)
SN54LS21 (J, W) SN74LS21 (J, N)

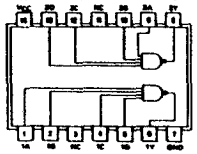
SN54H21 (W)

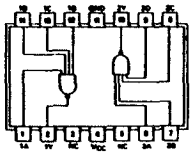
NC—No internal connection

**DUAL 4-INPUT POSITIVE-NAND GATES WITH OPEN-COLLECTOR OUTPUTS**

**22**

positive logic:
$Y = \overline{ABCD}$





SN5422 (J, W) SN7422 (J, N)
SN54H22 (J) SN74H22 (J, N)
SN54LS22 (J, W) SN74LS22 (J, N)
SN54S22 (J, W) SN74S22 (J, N)

SN54H22 (W)

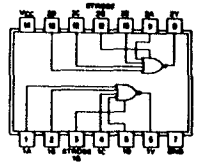
NC—No internal connection



**DUAL 4-INPUT POSITIVE-NOR GATES WITH STROBE**

**25**

positive logic:
$Y = \overline{G(A+B+C+D)}$

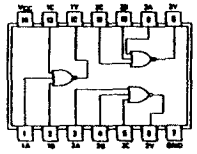


SN5425 (J, W) SN7425 (J, N)

**TRIPLE 3-INPUT POSITIVE-NOR GATES**

**27**

positive logic:
$Y = \overline{A+B+C}$

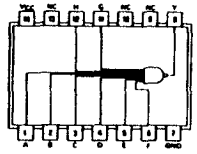


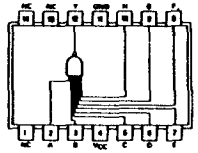
SN5427 (J, W) SN7427 (J, N)
SN54LS27 (J, W) SN74LS27 (J, N)

**8-INPUT POSITIVE-NAND GATES**

**30**

positive logic:
$Y = \overline{ABCDEFGH}$





SN5430 (J) SN7430 (J, N)
SN54H30 (J) SN74H30 (J, N)
SN54L30 (J) SN74L30 (J, N)
SN54LS30 (J, W) SN74LS30 (J, N)
SN54S30 (J, W) SN74S30 (J, N)

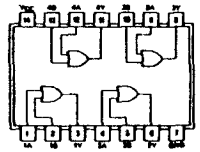
SN5430 (W)
SN54H30 (W)
SN54L30 (T)

NC—No internal connection

**QUADRUPLE 2-INPUT POSITIVE-OR GATES**

**32**

positive logic:
$Y = A+B$

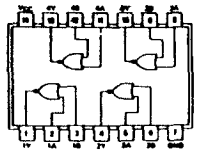


SN5432 (J, W) SN7432 (J, N)
SN54LS32 (J, W) SN74LS32 (J, N)
SN54S32 (J, W) SN74S32 (J, N)

**QUADRUPLE 2-INPUT POSITIVE-NOR BUFFERS WITH OPEN-COLLECTOR OUTPUTS**

**33**

positive logic:
$Y = \overline{A+B}$

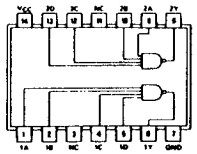


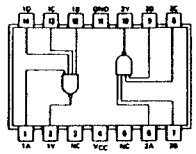
SN5433 (J, W) SN7433 (J, N)
SN54LS33 (J, W) SN74LS33 (J, N)

**DUAL 4-INPUT POSITIVE-NAND BUFFERS**

## 40

positive logic:
$Y = \overline{ABCD}$





SN5440 (J)
SN54H40 (J)
SN54LS40 (J,W)
SN54S40 (J, W)

SN7440 (J, N)
SN74H40 (J, N)
SN74LS40 (J, N)
SN74S40 (J, N)

SN5440 (W)
SN54H40 (W)

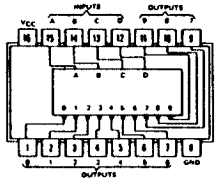
NC—No internal connection

**4 LINE-TO-10-LINE DECODERS**

## 42 BCD-TO-DECIMAL

## 43 EXCESS-3-TO-DECIMAL

## 44 EXCESS-3-GRAY-TO-DECIMAL



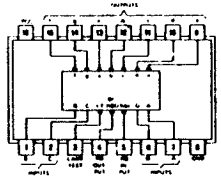
SN5442A (J, W)
SN54L42 (J)
SN54LS42 (J, W)
SN5443A (J, W)
SN54L43 (J)
SN5444A (J, W)
SN54L44 (J)

SN7442A (J, N)
SN74L42 (J, N)
SN74LS42 (J, N)
SN7443A (J, N)
SN74L43 (J, N)
SN7444A (J, N)
SN74L44 (J, N)

**BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS**

## 46 ACTIVE-LOW, OPEN-COLLECTOR, 30-V OUTPUTS

## 47 ACTIVE-LOW, OPEN-COLLECTOR, 15 V OUTPUTS

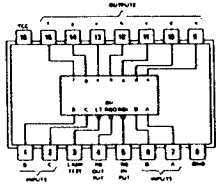


SN5446A (J, W)
SN54L46 (J)
SN5447A (J, W)
SN54L47 (J)
SN54LS47 (J, W)

SN7446A (J, N)
SN74L46 (J, N)
SN7447A (J, N)
SN74L47 (J, N)
SN74LS47 (J, N)

**BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS**

## 48 INTERNAL PULL-UP OUTPUTS



SN5448 (J, W)
SN54LS48 (J, W)

SN7448 (J, N)
SN74LS48 (J, N)

**DUAL J-K FLIP-FLOPS WITH CLEAR**

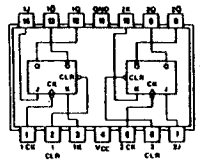
## 73

'73, 'H73, 'L73 FUNCTION TABLE

| INPUTS | | | | OUTPUTS | |
|---|---|---|---|---|---|
| CLEAR | CLOCK | J | K | Q | $\bar{Q}$ |
| L | X | X | X | L | H |
| H | ↓ | L | L | $Q_0$ | $\bar{Q}_0$ |
| H | ↓ | H | L | H | L |
| H | ↓ | L | H | L | H |
| H | ↓ | H | H | TOGGLE | |
| H | H | X | X | $Q_0$ | $\bar{Q}_0$ |

'LS73 FUNCTION TABLE

| INPUTS | | | | OUTPUTS | |
|---|---|---|---|---|---|
| CLEAR | CLOCK | J | K | Q | $\bar{Q}$ |
| L | X | X | X | L | H |
| H | ↓ | L | L | $Q_0$ | $\bar{Q}_0$ |
| H | ↓ | H | L | H | L |
| H | ↓ | L | H | L | H |
| H | ↓ | H | H | TOGGLE | |
| H | H | X | X | $Q_0$ | $\bar{Q}_0$ |



SN5473 (J, W)
SN54H73 (J, W)
SN54L73 (J, T)
SN54LS73 (J, W)

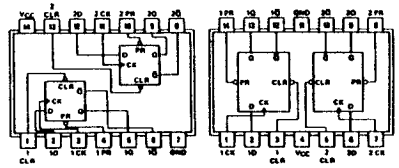
SN7473 (J, N)
SN74H73 (J, N)
SN74L73 (J, N)
SN74LS73 (J, N)

**DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR**

## 74

FUNCTION TABLE

| INPUTS | | | | OUTPUTS | |
|---|---|---|---|---|---|
| PRESET | CLEAR | CLOCK | D | Q | $\bar{Q}$ |
| L | H | X | X | H | L |
| H | L | X | X | L | H |
| L | L | X | X | H* | H* |
| H | H | ↑ | H | H | L |
| H | H | ↑ | L | L | H |
| H | H | L | X | $Q_0$ | $\bar{Q}_0$ |



SN5474 (J)
SN54H74 (J)
SN54L74 (J)
SN54LS74A (J, W)
SN54S74 (J, W)

SN7474 (J, N)
SN74H74 (J, N)
SN74L74 (J, N)
SN74LS74A (J, N)
SN74S74 (J, N)

SN5474 (W)
SN54H74 (W)
SN54L74 (T)

**DUAL J-K FLIP-FLOPS WITH PRESET AND CLEAR**

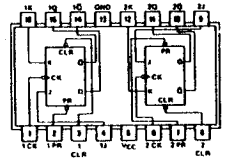
## 76

'76, 'H76 FUNCTION TABLE

| INPUTS | | | | | OUTPUTS | |
|---|---|---|---|---|---|---|
| PRESET | CLEAR | CLOCK | J | K | Q | $\bar{Q}$ |
| L | H | ↓ | X | X | H | L |
| H | L | ↓ | X | X | L | H |
| L | L | ↓ | X | X | H* | H* |
| H | H | ↓ | L | L | $Q_0$ | $\bar{Q}_0$ |
| H | H | ↓ | H | L | H | L |
| H | H | ↓ | L | H | L | H |
| H | H | ↓ | H | H | TOGGLE | |

'LS76 FUNCTION TABLE

| INPUTS | | | | | OUTPUTS | |
|---|---|---|---|---|---|---|
| PRESET | CLEAR | CLOCK | J | K | Q | $\bar{Q}$ |
| L | H | ↓ | X | X | H | L |
| H | L | ↓ | X | X | L | H |
| L | L | ↓ | X | X | H* | H* |
| H | H | ↓ | L | L | $Q_0$ | $\bar{Q}_0$ |
| H | H | ↓ | H | L | H | L |
| H | H | ↓ | L | H | L | H |
| H | H | ↓ | H | H | TOGGLE | |
| H | H | H | X | X | $Q_0$ | $\bar{Q}_0$ |



SN5476 (J, W)
SN54H76 (J, W)
SN54LS76 (J, W)

SN7476 (J, N)
SN74H76 (J, N)
SN74LS76 (J, N)

**GATED FULL ADDERS**

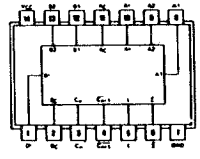
## 80 GATED COMPLEMENTARY INPUTS COMPLEMENTARY SUM OUTPUTS

FUNCTION TABLE
(See Notes 1, 2, and 3)

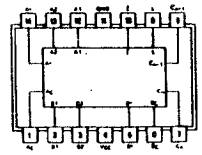
| INPUTS | | | OUTPUTS | | |
|---|---|---|---|---|---|
| $C_n$ | B | A | $\bar{C}_{n+1}$ | $\bar{\Sigma}$ | $\Sigma$ |
| L | L | L | H | H | L |
| L | L | H | H | L | H |
| L | H | L | H | L | H |
| L | H | H | L | H | L |
| H | L | L | H | L | H |
| H | L | H | L | H | L |
| H | H | L | L | H | L |
| H | H | H | L | L | H |

H = high level, L = low level

NOTES: 1. $A = \bar{A}_c + \bar{A}\Phi + A1 \cdot A2$, $B = \bar{B}_c + B\Phi + B1 \cdot B2$.
2. When A$\Phi$ is used as an input, A1 or A2 must be low. When B$\Phi$ is used as an input, B1 or B2 must be low.
3. When A1 and A2 or B1 and B2 are used as inputs, A$\Phi$ or B$\Phi$, respectively, must be open or used to perform dot-AND logic.



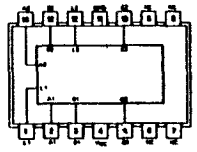
SN5480(J) SN7480(J,N)



SN5480(W)

2-BIT BINARY FULL ADDERS

**82**

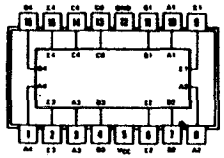


SN5482 (J, W) SN7482 (J, N)

NC—No internal connection

4-BIT BINARY FULL ADDERS WITH FAST CARRY

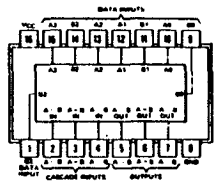
**83**



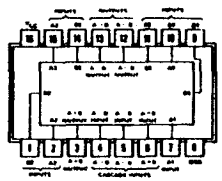
SN5483A (J, W) SN74 83A (J, N)
SN54LS83A (J, W) SN74LS83A (J, N)

4-BIT MAGNITUDE COMPARATORS

**85**



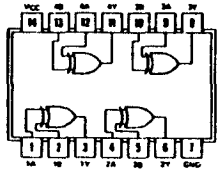
SN5485 (J, W) SN7485 (J, N)
SN54LS85 (J, W) SN74LS85 (J, N)
SN54S85 (J, W) SN74S85 (J, N)



SN54L85 (J) SN74L85 (J, N)

QUADRUPLE 2-INPUT EXCLUSIVE-OR GATES

**86** $Y = A \oplus B = \bar{A}B + A\bar{B}$

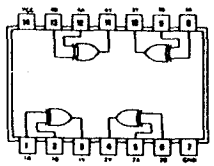


SN5486 (J, W) SN7486 (J, N)
SN54LS86 (J, W) SN74LS86 (J, N)
SN54S86 (J, W) SN74S86 (J, N)

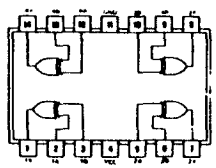
FUNCTION TABLE

| INPUTS | | OUTPUT |
|---|---|---|
| A | B | Y |
| L | L | L |
| L | H | H |
| H | L | H |
| H | H | L |

H = High level, L = low level



SN54L86 (J) SN74L86 (J, N)

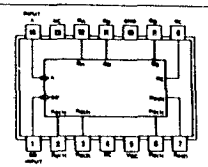


SN54L86 (T)



DECADE COUNTERS

**90** DIVIDE-BY-TWO AND DIVIDE-BY FIVE

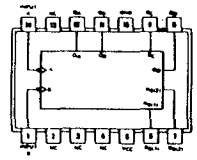


SN5490A (J, W) SN7490A (J, N)
SN54L90 (J, T) SN74L90 (J, N)
SN54LS90 (J, W) SN74LS90 (J, N)

NC – No internal connection

DIVIDE-BY-TWELVE COUNTERS

**92** DIVIDE-BY-TWO AND DIVIDE-BY-SIX

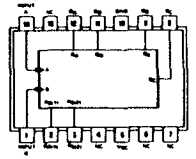


SN5492A (J, W) SN7492A (J, N)
SN54LS92 (J, W) SN74LS92 (J, N)

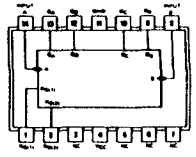
NC—No internal connection

4-BIT BINARY COUNTERS

**93** DIVIDE-BY-TWO AND DIVIDE-BY-EIGHT



SN5493A (J, W) SN7493A (J, N)
SN54LS93 (J, W) SN74LS93 (J, N)

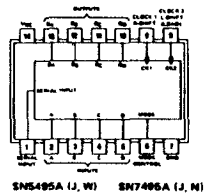


SN54L93 (J, T) SN74L93 (J, N)

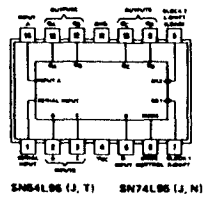
NC – No internal connection

4-BIT SHIFT REGISTERS

**95** PARALLEL IN/PARALLEL OUT
SHIFT RIGHT, SHIFT LEFT
SERIAL INPUT



SN5495A (J, W) SN7495A (J, N)
SN54LS95B (J, W) SN74LS95B (J, N)



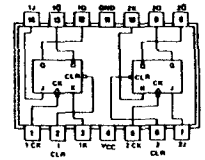
SN54L96 (J, T) SN74L96 (J, N)

DUAL J-K NEGATIVE-EDGE-TRIGGERED FLOPS WITH CLEAR

**103**

FUNCTION TABLE

| INPUTS | | | | OUTPUTS | |
|---|---|---|---|---|---|
| CLEAR | CLOCK | J | K | Q | $\bar{Q}$ |
| L | X | X | X | L | H |
| H | ↓ | L | L | $Q_0$ | $\bar{Q}_0$ |
| H | ↓ | H | L | H | L |
| H | ↓ | L | H | L | H |
| H | ↓ | H | H | TOGGLE | |
| H | H | X | X | $Q_0$ | $\bar{Q}_0$ |



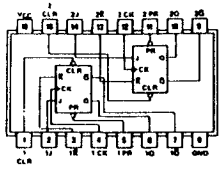
SN54H103 (J, W) SN74H103 (J, N)

DUAL J-$\overline{K}$ POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

## 109

FUNCTION TABLE

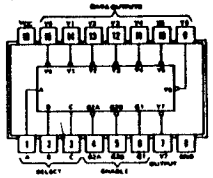
| INPUTS | | | | | OUTPUTS | |
|---|---|---|---|---|---|---|
| PRESET | CLEAR | CLOCK | J | $\overline{K}$ | Q | $\overline{Q}$ |
| L | H | X | X | X | H | L |
| H | L | X | X | X | L | H |
| L | L | X | X | X | H* | H* |
| H | H | ↓ | L | L | L | H |
| H | H | ↓ | H | L | TOGGLE | |
| H | H | ↓ | L | H | $Q_0$ | $\overline{Q}_0$ |
| H | H | ↑ | H | H | H | L |
| H | H | L | X | X | $Q_0$ | $\overline{Q}_0$ |



SN54109 (J, W) SN74109 (J, N)
SN54LS109A (J, W) SN74LS109A (J, N)

3-TO-8 LINE DECODERS/MULTIPLEXERS

## 138

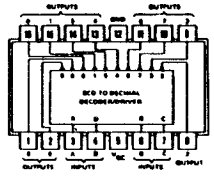


SN54LS138 (J, W) SN74LS138 (J, N)
SN54S138 (J, W) SN74S138 (J, N)

BCD-TO-DECIMAL DECODER/DRIVER

## 141

DRIVES COLD-CATHODE INDICATOR TUBES

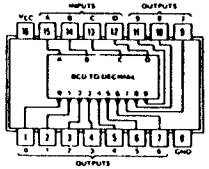


SN74141 (J, N)

BCD-TO-DECIMAL DECODERS/DRIVERS FOR LAMPS, RELAYS, MOS

## 145

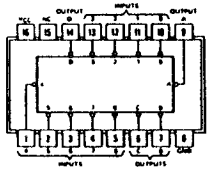
BCD-TO-DECIMAL



SN54145 (J, W) SN74145 (J, N)
SN54LS145 (J, W) SN74LS145 (J, W)

10-LINE DECIMAL TO 4-LINE BCD PRIORITY ENCODERS

## 147

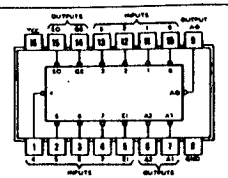


SN54147 (J, W) SN74147 (J, N)
SN54LS147 (J, W) SN74147 (J, N)
NC – No internal connection



8-LINE-TO-3-LINE OCTAL PRIORITY ENCODERS

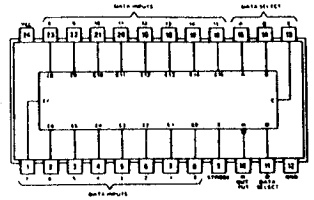
## 148



SN54148 (J, W) SN74148 (J, N)
SN54LS148 (J, W) SN74LS148 (J, N)

1-OF-16 DATA SELECTORS/MULTIPLEXERS

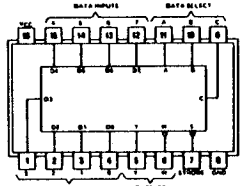
## 150



SN54150 (J, W) SN74150 J, N)

1-OF-8 DATA SELECTORS/MULTIPLEXERS

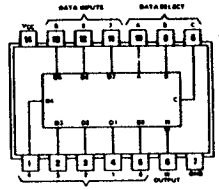
## 151



SN54151A (J, W) SN74151A (J, N)
SN54LS151 (J, W) SN74LS151 (J, N)
SN54S151 (J, W) SN74S151 (J, N)

1-OF-8 DATA SELECTORS/MULTIPLEXERS

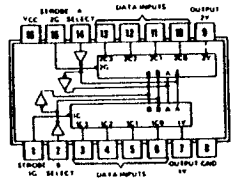
## 152



SN54152A (W)
SN54LS152 (W)

DUAL 4-LINE TO 1-LINE DATA SELECTORS/MULTIPLEXERS

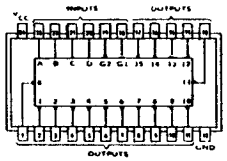
## 153



SN54153 (J, W) SN74153 (J, N)
SN54L153 (J) SN74L153 (J, N)
SN54LS153 (J, W) SN74LS153 (J, N)
SN54S153 (J, W) SN74S153 (J, N)

**4-LINE TO 16-LINE DECODERS/DEMULTIPLEXERS**

**154**



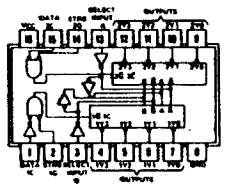
SN54154 (J, W) SN74154 (J, N)
SN54L154 (J) SN74L154 (J, N)

**DECODERS/DEMULTIPLEXERS**

DUAL 2- TO 4-LINE DECODER
DUAL 1- TO 4-LINE DEMULTIPLEXER
3- TO 8-LINE DECODER
1- TO 8-LINE DEMULTIPLEXER

**155** TOTEM-POLE OUTPUTS

**156** OPEN-COLLECTOR OUTPUTS

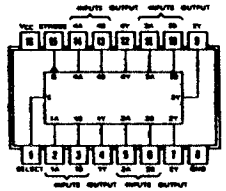


SN54155 (J, W) SN74155 (J, N)
SN54LS155 (J, W) SN74LS155 (J, N)
SN54156 (J, W) SN74156 (J, N)
SN54LS156 (J, W) SN74LS156 (J, N)

**QUAD 2- TO 1-LINE DATA SELECTORS/MULTIPLEXERS**

**157** NONINVERTED DATA OUTPUTS

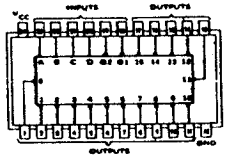
**158** INVERTED DATA OUTPUTS



SN54157 (J, W) SN74157 (J, N)
SN54L157 (J) SN74L157 (J, N)
SN54LS157 (J, W) SN74LS157 (J, N)
SN54S157 (J, W) SN74S157 (J, N)
SN54LS158 (J, W) SN74LS158 (J, N)
SN54S158 (J, W) SN74S158 (J, N)

**4- TO 16-LINE DECODERS/DEMULTIPLEXERS**

**159** OPEN-COLLECTOR OUTPUTS



SN54159 (J, W) SN74159 (J, N)



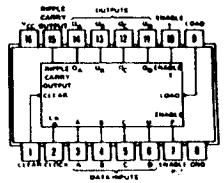
**SYNCHRONOUS 4-BIT COUNTERS**

**160** DECADE, DIRECT CLEAR

**161** BINARY, DIRECT CLEAR

**162** DECADE, SYNCHRONOUS CLEAR

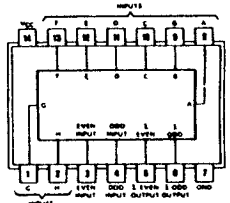
**163** BINARY, SYNCHRONOUS CLEAR



SN54160 (J, W) SN74160 (J, N)
SN54LS160A (J, W) SN74LS160A (J, N)
SN54161 (J, W) SN74161 (J, N)
SN54LS161A (J, W) SN74LS161A (J, N)
SN54162 (J, W) SN74162 (J, N)
SN54LS162A (J, W) SN74LS162A (J, N)
SN54S162 (J, W) SN74S162 (J, N)
SN54163 (J, W) SN74163 (J, N)
SN54LS163A (J, W) SN74LS163A (J, N)
SN54S163 (J, W) SN74S163 (J, N)

**9-BIT ODD/EVEN PARITY GENERATORS/CHECKERS**

**180**

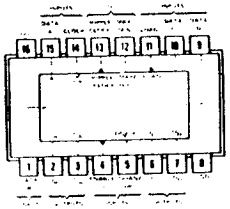


SN54180 (J, W) SN74180 (J, N)

**SYNCHRONOUS UP/DOWN COUNTERS**

**190** BCD

**191** BINARY

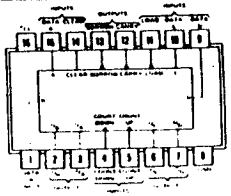


SN54190 (J, W) SN74190 (J, N)
SN54LS190 (J, W) SN74LS190 (J, N)
SN54191 (J, W) SN74191 (J, N)
SN54LS191 (J, W) SN74LS191 (J, N)

**SYNCHRONOUS UP/DOWN DUAL CLOCK COUNTERS**

**192** BCD WITH CLEAR

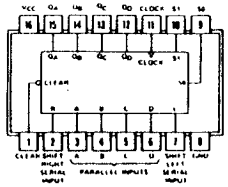
**193** BINARY WITH CLEAR



SN54192 (J, W) SN74192 (J, N)
SN54L192 (J) SN74192 (J, N)
SN54LS192 (J, W) SN74LS192 (J, N)
SN54193 (J, W) SN74193 (J, N)
SN54L193 (J) SN74L193 (J, N)
SN54LS193 (J, W) SN74LS193 (J, N)

4-BIT BIDIRECTIONAL UNIVERSAL SHIFT REGISTERS

**194**

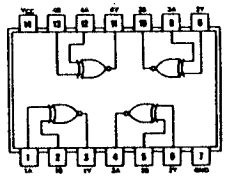


SN54194 (J, W) SN74194 (J, N)
SN54LS194A (J, W) SN74LS194A (J, N)
SN54S194 (J, W) SN74S194 (J, N)

QUAD 2-INPUT EXCLUSIVE-NOR GATES WITH OPEN-COLLECTOR OUTPUTS

**266**

positive logic: $Y = \overline{A \oplus B} = AB + \overline{A}\,\overline{B}$



SN54LS266 (J, W) SN74LS266 (J, N)

# Bibliografía

## 1. Libros y manuales


ANGULO, J. M.: *Electrónica digital moderna*. Paraninfo, Madrid, 1983.

ARRIAGA, J.; DE ANDOAIN, G., y DEPARTAMENTO DE SISTEMAS ELECTRÓNICOS Y DE CONTROL: *Problemas de electrónica digital*. Escuela Universitaria de Ingeniería Técnica de Telecomunicaciones, Madrid, 1990.

ESCUELA UNIVERSITARIA DE INFORMÁTICA DE MADRID: *Ejercicios de sistemas digitales*. Madrid, 1981.

GASCÓN DE TORO, M.; LEAL HERNÁNDEZ, A., y PEINADOS BOLOS, V.: *Problemas prácticos de diseño lógico*. Paraninfo, Madrid, 1990.

GIL PADILLA, A. J.: *Electrónica general. Dispositivos y sistemas digitales*. McGraw-Hill, Madrid, 1990.

MANDADO, E.: *Sistemas electrónicos digitales*. Marcombo, Barcelona, 1984.

MANDADO, E.: *Problemas de electrónica digital*. Marcombo, Barcelona, 1977.

MUÑOZ MERINO, E.: *Circuitos electrónicos. Tomo 4*. Escuela Universitaria Superior de Ingenieros de Telecomunicaciones, Madrid, 1981.

PAZ HUGET, A.: *Circuitería básica en TTL*. Marcombo, Barcelona, 1979.

RAMOS FERNÁNDEZ, A., y RAMOS RODRÍGUEZ, A.: *Automatismos digitales. Diseño lógico binodal*. Paraninfo, Madrid, 1982.

RODRÍGUEZ, A.; ROSILLO, M.; CARABALLO, R.; SERRANO, T., y BLANCO, P. J.: *Prácticas de electrónica. Sistemas digitales: principios y aplicaciones*. McGraw-Hill, Madrid, 1991.

TAUB, H.: *Circuitos digitales y microprocesadores*. McGraw-Hill, Madrid, 1991.

TOKHEIM, R. L.: *Principios digitales*. McGraw-Hill, Madrid, 1990.


## 2. Catálogos


MOTOROLA SEMICONDUCTORS: *Fast and LS TTL Data*. Gran Bretaña, 1987.

NATIONAL SEMICONDUCTORS CORPORATION: *Logic Databook Volúmenes I y II*. EE. UU., 1984.

PHILIPS: *Electronic Components and Materials. TTL Logic Series*.

TEXAS INSTRUMENTS: *The TTL Data Book for Design Engineers*. Italia, 1976.

TEXAS INSTRUMENTS: *TTL Advanced Low-Power Schottky, Advanced Schottky Volúmenes I y II*. 1989.

# Indice analítico


Absorción, 2, 3
Activación,
  por flanco, 228, 231
  por nivel, 228, 230
Algebra de Boole,
  complementación, 1, 2
  definición, 1
  multiplicación, 1, 2
  postulados, 2
  propiedades operaciones, 1
  suma, 1, 2
  teoremas, 2, 3
Armadura de un relé, 372
Arranque,
  asíncrono de un circuito secuencial, 289
  síncrono de un circuito secuencial, 288
Autómata,
  de Mealy, 279
  de Moore, 278
Autómatas finitos, 278
Automatismos,
  circuito de mando, 366
  circuito de potencia, 366
  clasificación, 365
  con ciclo de trabajo, 368
  definición, 365
  no programados, 366
  programados, 367
  sin ciclo de trabajo, 368
  trabajo en ciclo único, 368

Base, 125
Biestables,
  asíncronos, 228
  cronogramas, 236
  D, 230, 231, 237
  definición, 228
  *Edge triggered*, 231
  JK, 229, 231, 236
  *latch*, 230
  *Master-Slave*, 231
  RS, 229, 231, 235
  síncronos, 229
  T, 229, 236
Binario, 126
Binario natural, 126
Boole, álgebra, 1

Características de transferencia, 65
Cargabilidad, 66
Circuito combinacional, 164
Circuito secuencial síncrono, 278
Circuitos secuenciales, 228
Clasificación integrados, 164
Clasificación integrados combinacionales, 165
Codificadores,
  con prioridad, 166, 179
  definición, 165
  sin prioridad, 165
Códigos,
  BCD Aiken, 134, 191
  BCD exceso en tres, 134, 217
  BCD natural, 134, 183, 191
  BCD ponderados, 134
  binarios, 132
  Gray, 132, 218
  Johnson, 133
Comparadores binarios, 175, 212
Contactos NA, 372
Contactos NC, 372
Contadores,
  asíncronos, 232, 253
  definición, 232
  síncronos, 232
Convenio niveles lógicos, 1, 65
Conversiones,
  binario a decimal, 127
  binario a hexadecimal, 129

binario a octal, 129
decimal a binario, 128
decimal a octal, 130
hexadecimal a binario, 131
hexadecimal a decimal, 132
hexadecimal a octal, 132
octal a binario, 131
octal a decimal, 130
octal a hexadecimal, 131
Convertidores de código, 171, 193
Cronogramas, 67, 236
Culata de un relé, 372
*Chip select*, 408

De Morgan, 3
Decodificadores,
ánodo común, 167
cátodo común, 167, 189, 213
definición, 167, 182
excitadores, 167
no excitadores, 167
Diagrama de flujo de un autómata, 280, 281
Diseño de,
autómatas finitos, 279
circuitos digitales, 68
contadores asíncronos, 253
Divisor de frecuencia, 236

Ecuación maxterms, 3
Ecuación minterms, 3
Entrada de,
emergencia, 369
marcha, 368
parada, 368
rearme, 369
Escala de integración, 164
Esquema de bloques de un automatismo, 366
Estados,
de entrada, 278
de salida, 278
equivalentes, 281
internos, 278

Familia lógica, 66
*Fan out*, 66
*Flip-Flops*, 231
Forma dual de una ley, 2
Formas canónicas de una ecuación, 3
Formas de arranque, 287

Hexadecimal, 126

Implementación de funciones lógicas,
con decodificadores, 169, 183
con multiplexores, 172, 203
con pulsadores y contactores, 372
con puertas, 66, 69
con puertas NOR, 66, 82
con puertas NAND, 66, 80
Implementar un tipo de biestable con otros tipos, 243
Indiferentes en una función lógica, 31
Inmunidad al ruido, 65
Integrados,
LSI, 164
MSI, 164
SSI, 164
VLSI, 164

Leyes de,
absorción, 2, 3
absorción generalizada, 6
transposición, 3

Mapa de memoria, 416
Mapas de Karnaugh,
de cinco variables, 27, 49
de cuatro variables, 27, 41
de dos variables, 27, 32
de tres variables, 27, 33
definición, 27
para OR exclusiva, 93
representación de ecuaciones, 28, 32
simplificación de indiferentes, 108
Matriz de memoria, 410
Maxterms, 3
Memoria,
capacidad, 406
características, 406
direccionamiento, 408
expansión de la capacidad, 409
expansión de la longitud de palabra, 409
organización, 410
tipos, 407, 408
Método de inducción completa, 2
Minterms, 3
Módulo de cuenta, 232
Multiplexores, 171, 202
Multiplicación en binario natural, 153

Niveles lógicos, 65
*Noise margins*, 65

Obtención de la ecuación de una función, 3
Obtención de la ecuación maxterms, 4, 17
Obtención de la ecuación minterms, 4, 17
Octal, 126
Operadores lógicos, 63





Principio de funcionamiento de un relé, 371
Principio de funcionamiento de un contactor, 371
*Propagation delay*, 65
Puertas lógicas,
AND, 63, 64
*Buffer*, 64
características de transferencia, 65
cargabilidad, 66,
definición, 63
*imply*, 64
*inhibit*, 64
inmunidad al ruido, 65
inversora, 63
multiplicadora, 63
multiplicadora negadora, 63
NAND, 63, 64
NO, 63, 64
NOR, 63, 64
NOR EXCLUSIVA, 63, 64
OR, 63, 64
OR EXCLUSIVA, 63, 64
suma exclusiva, 63
suma exclusiva negada, 63
sumadora, 63
sumadora negadora, 11
tiempo de propagación, 65

R/W, 408
RAM, 408
Registro de almacenamiento, 265, 266
Registro de desplazamiento, 234
Resta en binario natural, 153
Restador, 178
ROM, 408

Selección celda de memoria lineal, 410
Selección celda de memoria por coincidencia, 411
Semirrestador, 215
Semisumador, 176
Simbología de,
contactores, 370
pulsadores, 369
relés, 371
representación de puertas integradas, 63, 64
representación de puertas lógicas, 63, 64
Simplificación de,
ecuaciones, 4
ecuaciones en mapas de Karnaugh, 27, 43
ecuaciones método algebraico, 4
ecuaciones método tabular, 4, 27
ecuaciones tablas de Quine-McCluskey, 29
Sistemas de numeración, 125
Suma en binario BCD, 156
Suma en binario natural, 153
Sumador total, 177

Tablas de,
agrupamientos base, 30
agrupamientos primer orden, 30
agrupamientos segundo orden, 30
estados, 282
excitación, 283
Quine-McCluskey, 29
reductora final, 31
transiciones (*véase* tabla de excitación)
verdad, 2
verdad, obtención partiendo de una ecuación, 13
Tecnología,
CMOS, 66
de apoyo, 66
de base, 66
fabricación, 66
MOS, 66
TTL, 66
Teorema de De Morgan, 3
Tiempo de propagación, 63

Variables,
anuladoras, 367, 378
creadoras, 367, 378
lógicas, 1
Visualizador led de siete segmentos, 168, 189, 213